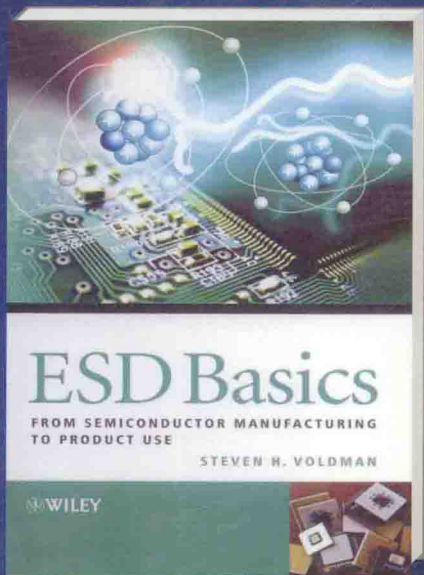




WILEY



ESD Basics

From Semiconductor Manufacturing to Product Use

ESD揭秘

静电防护原理和典型应用

[美] Steven H. Voldman 著 来萍 恩云飞 肖庆中 等译



机械工业出版社
China Machine Press

ESD防护入门必读的一本书

本书是Steven H. Voldman博士在半导体器件静电放电（ESD）领域20多年研究和工作经验的结晶，对ESD的基本原理、现实中的ESD环境、半导体器件制造、处理和组装过程的ESD现象、半导体器件片上和片外保护技术，以及对未来纳米结构中的ESD问题展望等，进行了系统而全面的阐述，是帮助了解半导体器件ESD及其所有相关问题的一本非常好的基础性书籍。

本书在介绍当今所面临的半导体芯片制造问题、ESD半导体芯片设计和系统问题，以及描述未来纳米技术的ESD现象方面是独一无二的。

本书是作者在ESD保护方面系列书籍的补充。对刚进入这个领域的人员来说，本书是一个重要的参考，也可以帮助了解进入纳米电子时代后现代技术所面临的问题。

本书主要内容

- 深入阐释静电和摩擦起电的基础，以及与当今微纳电子技术制造环境的关系；
- 防止ESD失效的半导体制造操作及监测工艺；
- ESD、EOS、EMI、EMC及门锁效应的半导体器件级及系统级测试，以确定产品对人体模型（HBM）、传输线模型（TLP）、放电器件模型（CDM）、人体金属模型（HMM）、电路放电事件（CDE）到系统级IEC61000-4-2测试的抵抗力；
- 服务器、笔记本电脑、磁盘驱动器、手机、数码相机、手持设备、汽车和空间应用的系统级问题；
- 最新技术的ESD设计案例，包括CMOS、BiCMOS、SOI、双极工艺、高压CMOS（HVCMOS）、RF CMOS、智能电源、磁记录技术、微机械（MEM）和纳米结构。

作者简介

Steven H. Voldman 1979年获得巴法罗大学工学学士学位，1981年获得麻省理工学院电气工程硕士学位，1986年在IBM实习项目的帮助下，获得佛蒙特州大学工程物理学硕士学位，1991年获得博士学位。他是麻省理工学院等离子体聚变中心和高电压研究实验室（HVRL）的成员。

WILEY

www.wiley.com

投稿热线：(010) 88379604

客服热线：(010) 88378991 88361066

购书热线：(010) 68326294 88379649 68995259



www.hzbook.com

www.china-pub.com

数字阅读：www.hzmedia.com.cn



上架指导：电子与电气工程

ISBN 978-7-111-46365-8

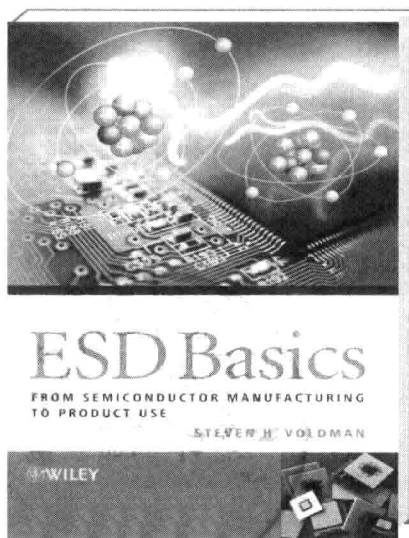


9 787111 463658 >

定价：59.00元



电子与嵌入式系统
设计译丛



ESD Basics

From Semiconductor Manufacturing to Product Use

ESD揭秘

静电防护原理和典型应用

[美] Steven H. Voldman 著 来萍 恩云飞 肖庆中 等译



机械工业出版社
China Machine Press

图书在版编目 (CIP) 数据

ESD 揭秘: 静电防护原理和典型应用 / (美) 沃尔德曼 (Voldman, S. H.) 著; 来萍等译.
—北京: 机械工业出版社, 2014.5

(电子与嵌入式系统设计译丛)

书名原文: ESD Basics: From Semiconductor Manufacturing to Product Use

ISBN 978-7-111-46365-8

I. E… II. ①沃… ②来… III. 芯片—静电防护—设计 IV. TN430.2

中国版本图书馆 CIP 数据核字 (2014) 第 067760 号

本书版权登记号: 图字: 01-2013-2603

Copyright © 2012 John Wiley & Sons, Ltd

All Rights Reserved. This translation published under license. Authorized translation from the English language edition, entitled ESD Basics: From Semiconductor Manufacturing To Product Use, ISBN 978-0-470-97971-6, by Steven H. Voldman, Published by John Wiley & Sons. No part of this book may be reproduced in any form without the written permission of the original copyrights holder.

本书中文简体字版由约翰·威利父子公司授权机械工业出版社独家出版。未经出版者书面许可, 不得以任何方式复制或抄袭本书内容。

本书封底贴有 Wiley 防伪标签, 无标签者不得销售。

ESD 揭秘: 静电防护原理和典型应用

[美] Steven H. Voldman 著

出版发行: 机械工业出版社 (北京市西城区百万庄大街 22 号 邮政编码: 100037)

责任编辑: 秦 健

责任校对: 董纪丽

印 刷: 三河市宏图印务有限公司

版 次: 2014 年 6 月第 1 版第 1 次印刷

开 本: 186mm × 240mm 1/16

印 张: 11

书 号: ISBN 978-7-111-46365-8

定 价: 59.00 元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

客服热线: (010) 88378991 88361066

投稿热线: (010) 88379604

购书热线: (010) 68326294 88379649 68995259

读者信箱: hzjsj@hzbook.com

版权所有·侵权必究

封底无防伪标均为盗版

本书法律顾问: 北京大成律师事务所 韩光 / 邹晓东

译 者 序

半导体器件从诞生之日起就面临着静电放电 (ESD) 带来的可靠性问题。随着器件尺寸减小、集成度提高, 静电问题不仅不消除反而有可能愈加严重。因此, 对于半导体器件, 静电放电是一个需要关注的永恒问题。

半导体器件的静电问题涉及范围很广, 覆盖产品从研发设计到生产制造乃至使用维修等全寿命过程。目前已有大量的关于半导体器件 ESD 方面的书籍和标准, 主要集中在半导体器件片上 ESD 保护设计、生产制造过程的防 ESD 控制以及 ESD 测试等几个方面, 为专业技术人员提供指导。但是, 对非专业以及刚刚入门的技术人员, 理解我们身边的静电问题及如何对半导体器件或系统实施有效的防护也是非常必要的。

本书作者 Steven H. Voldman 博士总结其在半导体器件静电放电 (ESD) 领域 20 多年的研究和工作经验, 撰写了本书, 系统而全面地阐述了 ESD 的基本原理、现实中的 ESD 环境、半导体器件制造、处理和组装过程的 ESD 现象、半导体器件片上和片外保护技术, 以及对未来纳米结构中的 ESD 问题展望等, 这是一本可以帮助读者了解半导体器件 ESD 及其所有相关问题的优秀基础性书籍。

电子元器件可靠性物理及其应用技术重点实验室从 20 世纪 90 年代初开始, 就开展了半导体器件 ESD 设计、检测和防护方面的技术研究及工程应用, 译者在这方面有比较丰富的知识和经验, 因此, 非常高兴能将此书介绍给国内的相关技术人员。

本书由来萍和恩云飞研究员组织翻译和审校, 其中作者介绍、前言、致谢、第 1 章由刘宏志、恩云飞翻译, 第 2 章和第 3 章由来萍翻译, 第 4 章由肖庆中翻译, 第 5 章由何玉娟翻译, 第 6 章由王力纬翻译, 第 7 章由师谦翻译, 并由恩云飞、来萍、肖庆中、师谦、刘虹志、王力纬、何玉娟、陈义强进行了审校。

为了给读者提供一本具有专业水平的科技书籍, 译者对书稿进行了多次审校, 还针对术语表、标准中的专业术语进行了集体讨论, 以求尽量减少技术和编辑错误。但由于译者水平所限, 难免会有不妥之处, 恳请读者批评指正。

前 言

本书的创作源于从制造过程到产品的静电放电基本原理的阅读需求。随着制造技术的发展，半导体器件规模与系统都在发生变化，对可靠性与 ESD 防护的需求和要求也随之发生改变。本书旨在构建实际环境与基本的 ESD 现象之间的联系。

尽管目前已经出版了有关片上 ESD 设计的大量书籍，但它们主要针对相关领域的专业技术人员。而对于非相关领域的技术人员，理解现实中的各种静电问题仍然是十分必要的。如今，静电放电与电磁干扰问题在我们身边比比皆是：从油箱爆炸、汽车中的静电放电、电缆引起的计算机服务器门锁到与汽车噪声相关的问题。因此，对于非专业人士来说，仍然有必要理解我们身边的静电问题以及如何对它们实施有效防护。

本书的目的如下：

- 让读者了解静电学和摩擦生电的基础知识，并将它们与半导体制造、处理和组装过程中的静电放电现象联系在一起。在讲述基本原理的同时，也介绍部分静电学发展史的内容。
- 分别对静电放电 (ESD)、摩擦生电、过电应力 (EOS) 和门锁进行专题讲解，引发读者对电磁干扰 (EMI) 和电磁兼容 (EMC) 等问题的思考。
- 探讨如今的芯片和系统中所存在的上述问题，书中所列实例将尽量与主题相关并且具有趣味性。
- 说明如何利用片上保护网络来对半导体芯片进行 ESD 保护。
- 向读者介绍半导体芯片与系统的 ESD 测试方法。
- 探讨未来静电放电、相关标准、测试技术以及产品设计的方向。
- 展望未来新型纳米结构和纳米系统可能出现的静电和电磁问题。

本书内容安排如下：

- 第 1 章综述静电学概念、术语和基本原理。前半部分以静电学发展史上各个时期的主要历史人物作为主线，简要介绍了静电学和摩擦起电现象，包括了泰勒斯、格雷、达菲、富兰克林、托普勒、法拉第、卡文迪许、库仑、麦克斯韦等人的故

事。后半部分则主要介绍目前电子元件和系统中所存在的静电放电 (ESD)、过电应力 (EOS)、闩锁、电磁干扰 (EMI) 和电磁兼容 (EMC) 等问题。

- 第 2 章讨论了如何对制造环境中的静电放电进行控制。旨在让读者了解在制造中, 建立静电放电防护区所涉及的问题以及为此而采用的测试方法、标准和控制程序。
- 第 3 章深入阐述静电放电、过电应力、电磁干扰和电磁兼容。以上每个领域均有大量的出版物。在前言部分, 已列举了部分基本概念、专业术语和测试标准。
- 第 4 章探讨了目前及未来应用中系统级的静电放电、过电应力、闩锁、电磁干扰和电磁兼容等问题。讨论了服务器、笔记本电脑、便携设备、手机、磁盘驱动器、数码相机、汽车和空间应用中的静电问题, 让读者充分认识到现代电子环境中存在着大量的静电问题, 并讨论了系统级的静电放电测试, 如 IEC 61000-4-2 标准、HMM、CDE 和 CBM 等。
- 第 5 章主要介绍半导体器件的防护方案, 重点介绍片上 ESD 防护网络的构建、数字、模拟和射频应用中的 ESD 防护、ESD 电路原理图、版图设计以及半导体芯片的版图规划。
- 第 6 章介绍系统级防护解决方案, 包括目前正在应用的系统级静电放电、电磁干扰和电磁兼容防护方案, 以及系统级电磁兼容扫描等新技术。
- 第 7 章讨论了当前及未来纳米结构中的 ESD 防护问题。随着器件尺寸达到纳米尺度, 所有器件都必须解决静电、静电放电、电磁干扰和过电应力等问题。这种情况将在光刻掩模、磁记录器件、半导体器件、纳米线和纳米管中切实存在。作为结束章节, 该章还介绍微型马达、微镜、射频 MEMS 开关和其他新型器件中的情况。

但愿本序能激发读者对于静电放电、过电应力、电磁干扰和电磁兼容等问题的兴趣, 并了解它们如何与现实生活中的现象相联系。若读者想进一步了解静电放电防护, 可参阅以下书籍:《ESD 物理与器件》、《ESD 电路与技术》、《ESD 射频电路与技术》、《ESD 失效机理与模型》、《ESD 设计与综合》和《闩锁效应》。

愿大家喜欢这本书, 享受学习静电放电、过电应力、闩锁、电磁干扰和电磁兼容现象的乐趣!

Baruch HaShem (B"H)

Steven H. Voldman 博士

IEEE 会士

致 谢

感谢美国半导体行业技术联盟 (SEMATECH)、ESD 协会、IEEE 和 JEDEC 组织多年来对我的支持。感谢 IBM、Qimonda、TSMC 和 Intersil 公司的支持。本书内容系我 30 年来从事双极存储器、DRAM、SRAM、NVRAM、微处理器、ASIC、混合电压、混合信号、射频和功率应用技术等方面工作的总结而得。我有幸参与了众多技术团队的工作，结识了大量客户。有幸从事双极存储器、CMOS DRAM、CMOS 逻辑、ASIC、绝缘体上硅 (SOI) 以及 $1\mu\text{m} \sim 45\text{nm}$ 的锗硅技术研究。有幸成为众多优秀技术和设计团队中的一员，他们想法新颖、聪明而且富有创造力。这为把科学实验付诸实践，并将 ESD 设计中的新想法赋予实施和产品应用创造了条件。

感谢那些给我提供机会在会议、论坛、企业和大学里进行专题报告和授课的机构，这也给了我写作本书的动力。感谢以下大学的教职员工：麻省理工学院、斯坦福大学、中佛罗里达大学、凡德比特大学、伊利诺伊大学厄巴纳-香槟分校、加州大学河滨分校、巴法罗大学、新加坡国立大学、南洋理工大学、北京大学、复旦大学、上海交通大学、浙江大学、华中科技大学、马来西亚理科大学、马来西亚博特拉大学、马来西亚伯乐学院、泰国朱拉隆功大学、泰国马汉科大学、泰国农业大学、泰国国立法政大学和菲律宾马布亚科技学院。

感谢 EOS/ESD 年会、国际可靠性物理年会 (IRPS)、台湾静电放电研讨会 (T-ESDC)、国际电子器件会议 (IEDM)、固态和集成电路技术国际会议 (ICSICT)、物理与失效分析国际会议 (IPFA)、IEEE ASICON 和 IEEE 智能信号处理与通信系统 (ISPACS) 会议多年来的支持，使得我有机会能够进行讲座、特邀报告和短期培训课程。

感谢众多朋友们 20 年来在 ESD 领域的合作与支持：Ming Dou Ker 教授、J. J. Liou 教授、Albert Wang 教授、Elyse Rosenbaum 教授、Jo Chiranut Sa-ngiamsak 教授、Timothy J. Maloney、Charvaka Duvvury、Eugene Worley、Robert Ashton、Yehuda Smooha、Vladislav Vashchenko、Ann Concannon、Albert Wallash、Vessilin Vassilev、Warren Anderson、Marie Denison、Alan Richter、Andrew Olney、Bruce Atwood、Jon Barth、Evan Grund、David Bennett、Tom Meuse、Michael Hopkins、Yoon Huh、Jin Min、Keichi Hasegawa、Nathan Peachey、Kathy

Muhonen、Augusto Tazzoli、Gaudenzio Menneghesso、Marise BaFleur、Jeremy Smith、Nisha Ram、Swee K. Lau、Tom Diep、Lifang Lou、Stephen Beebe、Michael Chainé、Pee Ya Tan、Theo Smedes、Markus Mergens、Christian Russ、Harold Gossner、Wolfgang Stadler、Ming Hsiang Song、J. C. Tseng、J.H. Lee、Michael Wu、Erin Liao、Stephen Gaul、Jean-Michel Tschann、Tze Wee Chen、Shu Qing Cao、Slavica Malobabic、David Ellis、Blerina Aliaj、Lin Lin、David Swenson、Donn Bellmore、Ed Chase、Doug Smith、W. Greason、Stephen Halperin、Tom Albano、Ted Dangelmayer、Terry Welsher、John Kinnear 和 Ron Gibson。

感谢 ESD 协会办公室对于出版、标准开发和会议举办等活动的支持。感谢 John Wiley & Sons 国际出版公司及其员工对本书以及本系列 ESD 丛书的支持。

致我的孩子 Aaron Samuel Voldman 和 Rachel Pesha Voldman，祝你们好运常在！

感谢我的妻子 Annie Brown Voldman 多年来的支持和付出。

感谢我的父母 Carl 和 Blossom Voldman。

Baruch HaShem (B"H)

Steven H. Voldman 博士

IEEE 会士

作者简介

Steven H. Voldman 博士是静电放电 (ESD) 领域首位 IEEE 会士, 其主要贡献在于 CMOS、绝缘体上硅和硅锗技术的静电放电防护。他于 1979 年获得巴法罗大学工程学学士学位; 1981 年获得麻省理工学院电气工程硕士学位; 在 IBM 固定员工研究学者进修计划的资助下, 先后于 1986 年和 1991 年获得佛蒙特大学工程物理学硕士学位和电气工程博士学位。

在 IBM 开发部门工作的 25 年间, Voldman 一直致力于半导体器件物理、器件设计和可靠性研究 (如软错误率 (SER)、热电子、漏电机理、门锁和静电放电等)。他进行门锁及其抑制技术研究的时间更是长达 27 年。研究涉及双极 SRAM、CMOS DRAM、CMOS 逻辑电路、绝缘体上硅 (SOI)、BiCMOS、锗硅 (SiGe)、射频 CMOS、射频 SOI、智能电源和图像处理等。2008 年, 进入 Qimonda DRAM 研发团队, 从事 70nm、58nm 和 48nm CMOS 技术研究。同年, 创办了自己的公司, 并作为台积电 (TSMC) 45nm 静电放电与门锁开发团队的一员在新竹总部工作。2009 ~ 2011 年, 他担任 Intersil 公司静电放电与门锁研发的资深高级工程师。自 2011 年起, 他开始在自己的公司进行专职工作, 提供咨询顾问、教学和专利诉讼专家证人的服务。

1995 ~ 2000 年间, Voldman 博士担任美国半导体行业技术联盟 (SEMATECH) ESD 工作组主席, 领导该组建立 ESD 技术基准, 成立首个传输线脉冲 (TLP) 标准开发小组, 制定长期发展规划, 与 JEDEC-ESD 协会协调人体模型 (HBM) 标准。2000 ~ 2010 年, 他担任 ESD 协会 TLP 和超快 TLP (VF-TLP) 工作组主席, 起草 TLP 和 VF-TLP 的第一份规程及标准。Voldman 还是 ESD 协会董事会和教育委员会成员。他发起并开展了“ESD 在校园”活动, 该活动旨在将 ESD 课程带入全球各大校园, 并与学校教职员工和学生开展互动。如今, 该活动已在美国、新加坡、中国台湾、马来西亚、菲律宾、泰国、印度和中国等国家或地区 40 多所大学校园内开展。

Voldman 博士在美国、中国、新加坡、马来西亚、中国台湾、斯里兰卡和以色列等国家或地区多次举办了有关 ESD、门锁等方面的短期课程或专题报告。他还获得了 240 多个有关 ESD 和 CMOS 门锁效应的美国授权专利, 亦是该领域专利诉讼案中的专家证人。

Voldman 博士也是《科学美国人》杂志的撰稿人，并编写了首套 ESD 与门锁系列丛书，包括《ESD 物理与器件》、《ESD 电路与器件》、《ESD 射频技术与电路》、《门锁效应》、《ESD 失效机理与模型》和《ESD 设计与综合》。同时，他也是《锗硅——技术、建模及设计》和《纳米电子学——纳米线、分子电子学与纳米器件》等书籍的撰稿人。目前，《ESD 电路与器件》和《ESD 射频技术与电路》中译本已出版发行。

目 录

译者序	
前言	
致谢	
作者简介	
第 1 章 静电学基本原理	1
1.1 引言	1
1.2 静电学	1
1.2.1 泰勒斯和静电引力	1
1.2.2 静电学和摩擦生电序列	2
1.2.3 摩擦生电序列和吉尔伯特	3
1.2.4 摩擦生电序列和格雷	4
1.2.5 摩擦生电序列和达菲	4
1.2.6 摩擦生电序列和富兰克林	4
1.2.7 静电学——西莫和人体 模型	4
1.2.8 静电学——库仑和卡文 迪许	5
1.2.9 静电学——法拉第和冰桶 实验	5
1.2.10 静电学——法拉第和 麦克斯韦	5
1.2.11 静电学——帕邢	5
1.2.12 静电学——斯托尼与 “电子”	5
1.3 摩擦生电——它是如何发生的	6
1.4 导体、半导体和绝缘体	7
1.5 静电耗散材料	7
1.6 静电放电和材料	7
1.7 充电和库仑定律	8
1.7.1 摩擦生电	8
1.7.2 感应生电	8
1.7.3 传导生电	9
1.8 电磁学和电动力学	9
1.9 电击穿	9
1.9.1 静电放电与击穿	9
1.9.2 击穿与帕邢定律	10
1.9.3 击穿和汤森德	10
1.9.4 击穿与托普勒定律	11
1.9.5 雪崩击穿	11
1.10 电准静态和磁准静态	12
1.11 电动力学与麦克斯韦方程	13
1.12 静电放电	13
1.13 电磁兼容	13
1.14 电磁干扰	13
1.15 本章小结	14
参考文献	14
第 2 章 生产和静电的基本原理	18
2.1 材料、工具、人为因素和 静电放电	19

2.2	制造环境和工具	19
2.3	生产设备和 ESD 生产问题	19
2.4	生产材料	20
2.5	测量和测试设备	20
2.6	接地及连接系统	22
2.7	工作台面	22
2.8	防静电腕带	22
2.9	在线监测仪	23
2.10	鞋类	23
2.11	地板	23
2.12	人员服装接地	23
2.13	空气离子化	24
2.14	座椅	25
2.15	推车	25
2.16	包装和运输	25
2.16.1	运输包装管	25
2.16.2	托盘	26
2.17	ESD 识别	26
2.18	ESD 程序管理——12 步构建 ESD 战略	26
2.19	ESD 程序审核	27
2.20	防静电片上保护	27
2.21	本章小结	28
	参考文献	28

第 3 章 ESD、EOS、EMI、 EMC 和 闩锁效应 32

3.1	ESD、EOS、EMI、EMC 和 闩锁效应	32
3.1.1	ESD	32
3.1.2	过电应力	33
3.1.3	电磁干扰	33
3.1.4	电磁兼容	33

3.1.5	闩锁效应	33
3.2	ESD 模型	33
3.2.1	人体模型	34
3.2.2	机器模型	35
3.2.3	盒式模型	36
3.2.4	充电器件模型	36
3.2.5	传输线脉冲	37
3.2.6	超快传输线脉冲	39
3.3	过电应力	39
3.3.1	EOS 来源——雷击	40
3.3.2	EOS 来源——电磁脉冲	40
3.3.3	EOS 来源——机械装置	41
3.3.4	EOS 来源——配电装置	41
3.3.5	EOS 来源——开关、继电器 和线圈	41
3.3.6	EOS 设计流程和产品定义	41
3.3.7	EOS 来源——设计问题	42
3.3.8	EOS 失效机理	43
3.4	电磁干扰	45
3.5	电磁兼容	45
3.6	闩锁	45
3.7	本章小结	46
	参考文献	47

第 4 章 系统级 ESD 52

4.1	系统级测试	52
4.1.1	系统级测试目标	52
4.1.2	系统级与元器件级测试 失效判据的区别	53
4.2	系统与芯片何时相互影响	54
4.3	ESD 和系统级失效	54
4.3.1	ESD 电流和系统级失效	55
4.3.2	ESD 感应电场 / 感应磁场和	

系统级失效	55
4.4 电子系统	56
4.4.1 卡和板	56
4.4.2 系统机架和屏蔽	56
4.5 当前的系统级问题	57
4.5.1 便携系统	57
4.5.2 移动电话	57
4.5.3 服务器和电缆	58
4.5.4 笔记本电脑和电缆	59
4.5.5 磁盘驱动器	59
4.5.6 数码相机	60
4.6 汽车、ESD、EOS 和 EMI	61
4.6.1 汽车和 ESD——点火系统	61
4.6.2 汽车和 EMI——电子脚踏 装置	61
4.6.3 汽车和油箱起火	61
4.6.4 混合动力汽车和电动汽车	62
4.6.5 未来的汽车	62
4.7 航空航天应用	63
4.7.1 飞机、局部放电和闪电	63
4.7.2 卫星、飞船充电和单粒子 翻转	63
4.7.3 太空登陆任务	64
4.8 ESD 和系统级测试模型	65
4.9 IEC 61000-4-2	65
4.10 人体金属模型	66
4.11 带电板模型	68
4.12 电缆放电事件	69
4.12.1 电缆放电事件和范围	70
4.12.2 电缆放电事件——电缆 测量设备	71
4.12.3 电缆构形——测试放置	72
4.12.4 电缆构形——移动电缆	72

4.12.5 电缆构形——手持电缆	72
4.12.6 电缆放电事件——峰值 电流和充电电压的关系	72
4.12.7 电缆放电事件——电流 幅度和充电电压的关系	72
4.13 本章小结	72
参考文献	73

第 5 章 元器件级问题——问题 与解决方法

5.1 ESD 芯片保护——问题与解决 方法	76
5.2 ESD 芯片级设计方案——设计 综合的基本要素	76
5.2.1 ESD 电路	79
5.2.2 ESD 信号引脚保护网络	79
5.2.3 ESD 电源钳位保护网络	80
5.2.4 ESD 电源域——域电路	81
5.2.5 ESD 内部信号线域——域 保护电路	81
5.3 ESD 芯片平面设计——设计 布局 and 综合基础	82
5.3.1 ESD 信号引脚 HBM 电路 的布置	83
5.3.2 ESD 信号引脚 CDM 电路 布置	83
5.3.3 ESD 电源钳位电路的放置	84
5.3.4 ESD V_{SS} - V_{SS} 电路布置	85
5.4 ESD 模拟电路设计	86
5.4.1 ESD 模拟电路对称和 共质心设计	86
5.4.2 模拟信号引脚到电源线的 ESD 网络	87

5.4.3 共质心模拟信号引脚到 电源线的 ESD 网络·····	87	6.7.2 场发射器件·····	107
5.4.4 共质心模拟电路和 ESD 网络的协同综合·····	88	6.8 系统级瞬态解决方案·····	110
5.4.5 信号引脚到信号引脚的 差分对 ESD 网络·····	89	6.8.1 瞬态电压抑制器件·····	111
5.4.6 共质心信号引脚差分 ESD 保护·····	89	6.8.2 聚合物电压抑制器件·····	112
5.5 射频 ESD 设计·····	91	6.9 封装级机械 ESD 解决方案—— 机械撬棒·····	113
5.5.1 射频 ESD 设计原则·····	91	6.10 硬盘 ESD 解决方案·····	114
5.5.2 ESD 射频电路——信号 引脚 ESD 网络·····	96	6.10.1 内嵌“ESD 短路”·····	114
5.5.3 ESD 射频电路——ESD 电源钳位·····	97	6.10.2 电枢-机械“短路”—— 一种内建的电气“撬棒”·····	114
5.5.4 ESD 射频电路——ESD 射频 V_{SS} - V_{SS} 网络·····	99	6.11 半导体芯片级解决方案—— 版图布局、版图及结构·····	115
5.6 本章小结·····	100	6.11.1 混合信号模拟和数字的 版图布局·····	116
参考文献·····	100	6.11.2 BCD 版图布局·····	116
第 6 章 系统中的 ESD 问题及 解决方案·····	101	6.11.3 片上系统设计的版图 布局·····	117
6.1 ESD 系统解决方案——从 最大到最小·····	101	6.12 半导体芯片解决方案——电源 栅格设计·····	118
6.2 航空航天解决方案·····	101	6.12.1 HMM 和 IEC 规范的 电源栅格及互连设计上 的考虑·····	118
6.3 油轮解决方案·····	101	6.12.2 ESD 电源钳位设计综合—— 响应 IEC 61000-4-2 的 ESD 电源钳位网络·····	119
6.4 汽车解决方案·····	102	6.13 ESD 和 EMC——当芯片 影响了系统·····	120
6.5 计算机和服务器等·····	102	6.14 系统级和器件级 ESD 测试与 系统级响应·····	120
6.6 主板和板卡·····	103	6.14.1 ESD 测试中的时域反射和 阻抗方法学·····	120
6.6.1 系统板卡插入的触点·····	103	6.14.2 时域反射 ESD 测试系统 评估·····	121
6.6.2 系统级的电路板设计—— 接地设计·····	103		
6.7 系统级“板上”ESD 防护·····	104		
6.7.1 火花隙·····	105		

6.14.3 ESD 退化系统级方法—— 眼图测试	125	7.6 微马达	142
6.15 EMC 和 ESD 扫描	127	7.7 微机电射频开关	143
6.16 本章小结	129	7.8 微机电反射镜	145
参考文献	130	7.9 晶体管	146
第 7 章 静电放电的未来	133	7.9.1 晶体管—体硅和 SOI 技术	146
7.1 ESD 未来如何	133	7.9.2 晶体管和 FinFET	147
7.2 工厂与制造	133	7.9.3 FinFET 中的 ESD 问题	148
7.3 光刻掩膜与十字线	134	7.10 硅纳米线	149
7.3.1 光刻掩膜中的 ESD 问题	134	7.11 碳纳米管	149
7.3.2 光刻掩膜的雪崩击穿	135	7.12 未来的系统和系统设计	150
7.3.3 光刻掩膜的电模型	136	7.13 本章小结	150
7.3.4 光刻掩膜中的失效缺陷	137	参考文献	151
7.4 磁记录技术	138	术语表	155
7.5 微机电器件	140	ESD 标准	157

第 1 章

静电学基本原理

1.1 引言

我们都熟悉静电放电 (Electrostatic Discharge, ESD) 现象: 你穿着心爱的运动鞋在长毛地毯上缓慢走过, 忽然撞到了一个金属片, 接着就是“嚓—”的一声。我们人类会因此痛得叫出声来, 而带有微电子器件和纳米电子器件的产品会因此失效。^[1]

无论是现在还是未来, 静电问题始终是电子器件和电子系统产业需要重点考虑的问题, 同样也是军火、炸药、化学和材料等工业领域需考虑的问题。任何工业, 只要静电问题可能影响到产品的质量、成品率, 造成产品的性能退化或物理损伤, 都需要考虑静电放电 (ESD)、过电应力 (Electrical Overstress, EOS)、电磁干扰 (Electromagnetic Interference, EMI) 和电磁兼容 (Electromagnetic Compatibility, EMC) 等方面的问题。

本书概要介绍了从产品的制造到使用中所出现的各种静电放电现象。正文部分将讨论静电学基本原理、制造中的静电问题、元器件级问题、系统级问题以及防静电设计。

那么, 我们从哪里开始介绍呢?

1.2 静电学

静电引力和静电放电现象的发现是人类对自然界最早的科学认知之一。历史上静电现象的最初发现要追溯到人类对于物质本源、天文和数学知识的早期探索以及希腊哲学的最初奠基, 甚至更早的时期。

1.2.1 泰勒斯和静电引力

泰勒斯 (Thales), 生于公元前 624 年, 卒于公元前 546 年, 爱奥尼亚学派 (又称米利都学派) 创始人, 苏格拉底时期之前的古希腊七贤之一。泰勒斯是古希腊天文学家、数学家和哲学家, 也是发明家和工程师。他创立了追求知识的传统, 发展了科学理性思维, 建立了经验观察方法, 并提出通过猜想来质疑自然现象以了解其本质。米利都学派建立了质疑、

辩论、解释、辩护和考证的批判法。泰勒斯的学生包括欧几里得、毕达哥拉斯和欧德摩斯等^[2]。

泰勒斯发现了琥珀摩擦后存在静电引力这一现象。他记载，摩擦后的琥珀能够吸引稻草。从此，希腊语中用于表示琥珀的单词“ $\epsilon\lambda\epsilon\kappa\tau\rho\nu$ ”（翻译为电子“electron”）开始与电现象联系在一起。

泰勒斯的思想多记载于其门徒和其他希腊哲学家的著作中。亚里士多德（Aristotle）在他的《论灵魂》（411 a7-8）一书中指出“一些人认为整个宇宙都是有生命的，这出自泰勒斯的万物皆有灵”^[3]。

静电现象的发现要早于人类对于物质本源的探索。当泰勒斯进行静电放电实验和静电引力研究时，希腊和罗马的物质的原子论学说还没有出现。无论是希腊的德谟克利特（Democritus，公元前420年）和伊壁鸠鲁（Epicurus，公元前370年），还是罗马的卢克莱修（Lucretius，公元前50年），他们的原子论在时间上都晚于对静电现象的描述和思考。泰勒斯逝于原子学说正流行的时代。在他的墓志铭上写着：“伟大的泰勒斯长眠于此，他的智慧声望高达云霄^[4]。”

Robert A. Millikan 在其1917年出版的《电子》一书引言中写道^[5]：

很少有人能同时做到这两点：最先发现琥珀在摩擦作用下将产生一个新的显著的诱发态，即今人所谓的充电；同时也深信并首次明确提出所有这些现象必然存在着某种统一的规则，使得它们能够在逻辑上被理解和接受。事物状态发生明显变化必然起源于某种基本因素，寻找这些因素应该是所有自然科学的最终目的。就算是巧合，泰勒斯的成就也为他带来了无可置疑的双重荣誉。早在公元前600年，他就首次构思并正确指出了指导整个物理学从古发展至今的灵魂所在。尽管粗浅且不完善，他的描述却首次将之前彼此独立的物理部分（如辐射热、光、磁和电）联系在一起，并带领我们前所未有地接近事物的本质。

J. H. Jeans 在其《电学和磁学的数学理论》（1925年，第5版）中写道：

琥珀被摩擦后会吸引轻小物体的事实在希腊妇孺皆知。这要归功于泰勒斯。

第二个事实是卢克莱修所发现的某些矿物（天然磁石）会吸引铁。这两个事实构成了现代电磁学的基础。

1.2.2 静电学和摩擦生电序列

泰勒斯去世之后，静电放电现象的研究进展甚微。尽管历史不断向前发展，但摩擦生电和静电放电研究却落后于时代的变迁。在欧洲，人们历经罗马帝国、中世纪、黑死病、文艺复兴、宗教改革和社会大发展时期。在亚洲，当泰勒斯发现静电放电现象时，中国正处于周朝，随后历经了秦、汉、隋、唐、宋、元、明等朝代的更替，然而，静电研究却毫无进展。

随着社会的变迁，直到18世纪，人们对于静电现象的认识才有了较大进展。获得欧洲王室和法国、英国实验室资助的科学家们开始对摩擦生电和静电现象产生了研究兴趣。

那么，摩擦生电是怎么发生的呢？

当两种物质接触时，其原子也随之紧密接触。图 1.1 显示了两种不同物质的原子。中子和质子通过强相互作用而紧密结合，形成原子核，使得原子核带正电。根据玻尔模型，带负电的电子和带正电的原子核之间将产生静电引力，使得电子围绕原子核旋转，形成电子轨道。在一个中性的未带电原子中，质子与电子数目相等。

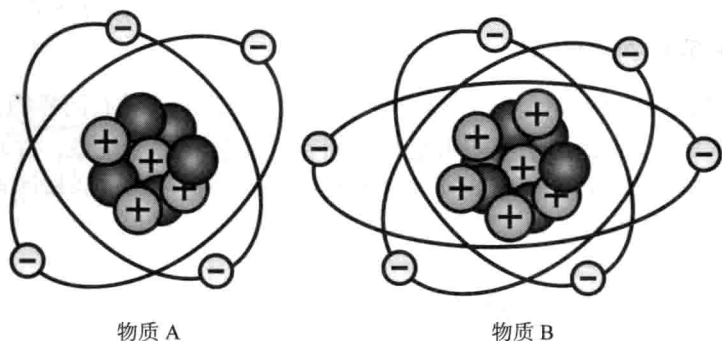


图 1.1 物质摩擦生电——物理接触

当这两种物质彼此接触时，摩擦或物理接触将会导致电荷在两者之间发生转移。外层轨道电子能够从一种物质转移到另一种物质。图 1.2 为这两种接触物质分离后的情况。此时，失去电子的物质带正电，得到电子的物质带负电。

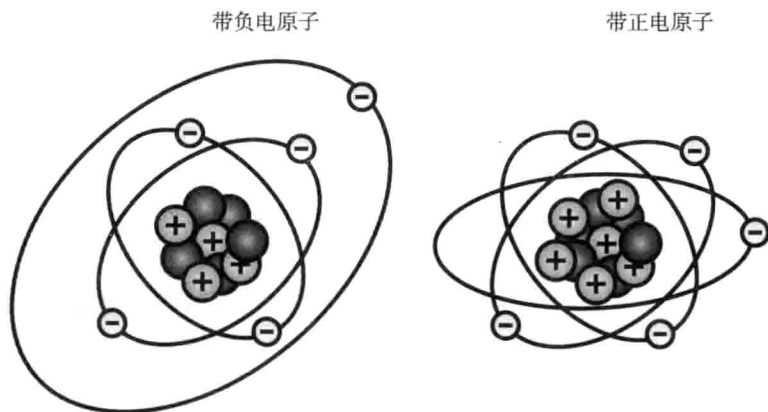


图 1.2 物质摩擦生电——分离

1.2.3 摩擦生电序列和吉尔伯特

吉尔伯特 (Gilbert) 在 17 世纪时指出玻璃棒和丝绸之间相互作用也会产生泰勒斯所描述的那种现象，即丝绸摩擦过的材料将会“琥珀化”^[5]。他进而考察了多种物质，并构建了最早的摩擦生电序列。

1.2.4 摩擦生电序列和格雷

同一时期，史蒂芬·格雷（Stephen Gray，1696—1736）开始考虑根据能失去或保留电荷这一本质特点来对物质进行划分^[5]。他将能够移除“琥珀化”效果的那类物质定义为导体，而另一类能保留电荷的物质定义为非导体或绝缘体。

1.2.5 摩擦生电序列和达菲

法国物理学家达菲（Dufay）在1733年发现封蜡和猫皮摩擦具有同样的作用，但与玻璃棒的效果不同^[5]。他首先提出了不同带电物质间存在吸引和排斥现象，并将两种相反的电性分别命名为“玻璃的”和“树脂的”。（玻璃电即现在所说的正电，树脂电即现在所说的负电。）

1.2.6 摩擦生电序列和富兰克林

本杰明·富兰克林（Benjamin Franklin）是美国第一位ESD工程师。他在1747年引入“正”、“负”概念分别表示吸引过程和排斥过程。“正”过程是第一个过程，即吉尔伯特发现的“琥珀化”过程。任何物体，只要对丝绸摩擦过的玻璃棒产生排斥作用，它就带正电。相反，物体对猫皮摩擦过的封蜡产生的排斥作用称为“负”过程，这是从达菲的成果扩展而来的。

此时，静电科学家们开始记录起电过程中一种物体与另一种物体之间的关系。这些记录下来的物质列表构成了早期的摩擦生电序列^[6]。

……这就使得在一张列表中排列任意数量的物质成为可能。而判断一种物质被第二种物质摩擦后带正电还是带负电，可以根据它们在列表中的相对位置而确定，即第一种物质是位于第二种物质的上方还是下方。下面所列为一些重要物体的摩擦电序：猫皮、玻璃、象牙、丝绸、水晶、手、木材、硫黄、绒布、棉布、虫胶、橡胶、树脂、马来树胶、金属、火药棉。

——J. H. 琼斯 D. Sc, LL. D, F. R. S

《电学和磁学的数学理论》，英国，剑桥，1925

1.2.7 静电学——西莫和人体模型

同一时期，一些静电科学家和工程师开始探索人体自身的静电现象。这也成为关乎服装静电放电研究起源的早期探索，同时对人体模型的创建可能也存在一定早期影响。

罗伯特·西莫（Robert Symmer，1759）在黑暗中开展实验，研究自己脱掉长袜时发生的静电放电现象。另外，他把两只白袜放在一只手里，而把两只黑袜放在另一只手里^[5]，观察两种不同袜子之间存在的相互作用。

1.2.8 静电学——库伦和卡文迪许

当其他静电学家仍乐此不疲地探索长袜及其他摩擦物所产生的静电放电现象时，库伦（Coulomb）在1785年设计出了精巧的扭秤，并由此开展一系列探索静电力、电荷和距离之间关系的研究。卡文迪许（Cavendish）在此之前也进行过类似探索，但其研究成果并未公开发表，直至1879年詹姆斯·克拉克·麦克斯韦（James Clerk Maxwell）整理其手稿时才将上述成果公之于世^[7]。

1.2.9 静电学——法拉第和冰桶实验

此时，正负起电关系尚不完全清楚。1837年，迈克尔·法拉第（Michael Faraday）利用玻璃棒和丝绸进行的“冰桶实验”表明“正负电荷总是以精确的等量关系同时产生”。

法拉第在其“物质的力—第五讲 磁与电”中提供证明，证实了静电带电现象以及正负带电之间的关系^[8]。他以电现象结束其讲座：“……这就是我们所说的‘电’，我们开发利用这种能源的征程才刚刚开始。”

1.2.10 静电学——法拉第和麦克斯韦

这一时期，物质、起电和电力之间的关系仍未被深刻理解，不同的模型（如单电流模型、双电流模型）被提出用于解释带电过程。众多电现象模型被建立起来以解释与介质应力应变相关的现象（从原子层到场层面）。也正是在该时期，法拉第和詹姆斯·克拉克·麦克斯韦开始将对电和电力的理解以场的概念表达出来。电荷被看做一种“以太中的应变态”。詹姆斯·克拉克·麦克斯韦在他1873年出版的《电磁学通论》一书中，创立了我们今天所理解的电磁学理论^[7]。

1.2.11 静电学——帕邢

1889年，帕邢（Paschen）开始研究气体击穿现象，并尝试解释气压和电极距离之间的关系^[9]。介质击穿现象的研究使现代器件静电放电现象研究跃上了一个新的台阶。即使在今天，帕邢击穿曲线对于理解空气隙和纳米结构的电学击穿仍然具有重要的意义。

1.2.12 静电学——斯托尼与“电子”

1891年，G. 约翰斯通·斯托尼（Johnstone Stoney）博士提出“电子”这一概念作为电学的基本单位，与法拉第电解定律相联系^[9]。此时，科学家们尚未将“电子”与物质实体联系在一起，而仅仅把它作为一种测量单位或电荷单元。G. 约翰斯通·斯托尼博士重新将电子与希腊单词琥珀联系在一起，将泰勒斯的早期工作与现代电学的基本单元联系在一起。之后，电子被证实与物质实体和原子理论相关联。

从上述简史可以看出，在人类探索物质本原之前就发现了静电引力现象。然而从公元

前600年直至19世纪90年代，泰勒斯的发现与物质的电子转移这两者之间的关系一直未被理解。

1.3 摩擦生电——它是怎么发生的

两种材料的物体发生物理接触后分离，就会产生摩擦生电（表1.1）。正如前文所述，“电子”一词来源于希腊语中的单词“琥珀”；“tribo”一词同样源于希腊语，是“摩擦”的意思。摩擦生电与先接触后分离的两个物体相关。在摩擦生电过程中，电子从一种材料转移到另一种材料。原子由原子核和核外电子所构成，而原子核由带正电的质子和不带电的中子构成。电子带负电，在原子核外面围绕原子核旋转形成驻波轨道。当两种材料具有不同电势时，电子就能从一种材料转移到另一种材料，当这两种材料分离之后，携带多余电子的材料就会带负电，而失去电子的材料则带正电。

因此，材料特性影响着电子能否发生转移。正如琼斯所指出的^[6]，可以构建一张表单来预测电荷转移的方向。

这就使得在一张列表中排列任意数量的物质成为可能。而一种物质被第二种物质摩擦后带正电还是带负电，就可以根据它们在列表中的相对位置来确定，即第一种物质位于第二种物质的上方还是下方……

表 1.1 摩擦生电序列表

正 (+)	材料
	兔皮
	玻璃
	人发
	尼龙
	羊毛
	毛皮
	丝绸
	铝片
	纸
	棉花
	钢铁
	木材
	琥珀
	镍
	金
	涤纶
	硅
	特氟隆
负 (-)	

1.4 导体、半导体和绝缘体

电气工程师喜欢根据导电能力的大小来对绝缘体、半导体和金属进行明确划分。电导率如下：

$$\text{绝缘体 } \sigma < 10^{-9} \Omega^{-1} \text{cm}^{-1}$$

$$\text{半导体 } 10^{-9} < \sigma < 10^2 \Omega^{-1} \text{cm}^{-1}$$

$$\text{金属 } \sigma > 10^2 \Omega^{-1} \text{cm}^{-1}$$

——亚瑟·冯·希佩尔 (Arthur Von Hippel) 第 2 章“原子构造”

《材料与器件的分子设计》，MIT 出版社，1965

物理学家亚瑟·冯·希佩尔教授根据固态物质电导率的大小来对绝缘体、半导体和金属进行区分，大大地简化了它们的定义^[9]。通俗来讲，绝缘体就是那些限制电子在其体内或表面自由流动的材料，导体则是那些允许电子在其体内或表面自由流动的材料。绝缘体的表面电阻可达 $\rho_s=10^{11}\Omega$ ，体电阻 $\rho=10^{11}\Omega \cdot \text{cm}$ ；而导体的表面电阻和体电阻则分别低于 $10^4\Omega$ 和 $10^4\Omega \cdot \text{cm}$ 。两者之间的界限并不很清晰。

从应用角度来看，绝缘体并不允许电子在其表面或体内自由流动，而对于半导体和金属，载流子则可以在其表面或体内流动。

在半导体器件、元件和系统中，材料的某一特性既可能是有利的，也可能带来不利影响。当材料内载流子不能自由移动时，就会积累过多电荷，导致产生内部电场。强电场将产生电击穿或过电应力。而对于那些允许载流子自由流动的材料，则会产生大电流，进而导致大的放电电流、静电放电事件、自热效应、热击穿，以及元器件、封装和系统的熔化等问题。

1.5 静电耗散材料

在静电放电防护领域，既非高绝缘性也非高导电性的材料是具有优势的。这些材料就是所谓的静电耗散材料，它们介于绝缘体和导体之间。因此，我们可以把它们定义为表面电阻在 $10^4 \sim 10^{11}\Omega$ 之间，体电阻在 $10^4 \sim 10^{11}\Omega \cdot \text{cm}$ 之间的材料。既非绝缘体也非导体的材料的优势就在于可以避免静电累积或大电流。

1.6 静电放电和材料

但是，电子器件和系统并非如此简单，它们既包括绝缘体和半导体，也包括金属。半导体元器件由绝缘电介质、半导体和金属构成。

绝缘电介质可作为层间介质、薄层氧化物或衬底中的埋氧。MOSFET 栅介质中的绝缘层非常薄，其厚度取决于制造技术。层间介质薄膜存在于半导体芯片的导线层之间，其厚度与

金属布线层的厚度在同一个数量级上。电介质击穿是一种由过电应力或静电放电事件所引起的失效机理。绝缘体可在系统中用于卡、板、支撑体或其他部件。

金属层主要用于实现半导体器件电路之间的互连线。这些互连线层通常为铝或铜薄膜，而难熔金属钛、钴、钽和钨等也常用于接触孔、通孔、硅化物层，覆盖互连线。在系统中，金属常用于系统底座和屏蔽材料。

半导体材料常用作半导体器件的基片，掺杂后，半导体器件的电导率从电阻区到导电区将发生巨大变化。

因此，半导体器件是一种由金属、绝缘体和静电耗散材料层所构成的多层系统。控制半导体器件的传导和耗散特性十分困难，高传导和高绝缘区域尤为如此。

1.7 充电和库仑定律

两个微小带电体之间的静电力与其电荷的乘积成正比，与其距离的平方成反比。而静电力是排斥力还是吸引力则取决于这两个带电体带同种电荷还是异种电荷。

——库仑，1785

根据库仑定律，两个物体之间的静电力与电荷的乘积有关，且反比于其距离的平方。因此，作用于一个测试电荷上面的电场作用力就等于该带电体所带电荷除以它与作用电荷距离的平方。

1.7.1 摩擦生电

物体可以通过许多方式带电，摩擦只是其中之一。

——第一部分 静电学 第1章 摩擦生电

《电磁学通论》

詹姆斯·克拉克·麦克斯韦，1891

将两物体放在一起摩擦可以使它们带电。通过表面间的摩擦（如材料接触），可以导致其电荷发生转移，进而使物体带电。当两种材料摩擦时，摩擦力能够协助电荷转移过程^[7, 10]。

1.7.2 感应生电

带电体与非带电体之间并不存在任何力，无论是吸引力还是排斥力都不存在。如果事先并不带电的物体被观察到受带电体作用，那就是它因感应而带了电。

——第一部分 静电学 第1章 感应生电

《电磁学通论》

詹姆斯·克拉克·麦克斯韦，1891

从静电放电观点来看，带电材料或带电表面会产生电场，电力线从正电荷指向负

电荷。

因此，当一个系统或元件靠近带电体表面时，它将由于极化而在表面产生电荷。在感应作用下，如果此时物体与地面通过导体连接，它将产生极化。接地移除后，物体就会带电。电荷通过连接要么流向地面，要么从地面流入。如果接地和电场都移除，器件或系统就会保持充电状态^[7,11]。

对于半导体器件，已处在外场作用下但未接地时要特别关注其感应生电。正如下面所讨论，这也是“充电器件模型”关注的内容。尽管器件带电时无需关注，但当电荷通过接地快速放电时，产生的大电流将导致器件损伤。

1.7.3 传导生电

詹姆斯·克拉克·麦克斯韦指出，在两个物体之间放置一根“导线”就能充电，使电流从一个物体流向另一个物体。麦克斯韦将此称作“传导生电”^[7]，也就是今天所说的物体通过电源和电路进行充电的过程。可见，可以采用许多方式使物体带电。

如今，在制造环境中，电子元件和系统经常会发生充电过程，甚至放电事件，因此必须加以监测、控制和消除。

1.8 电磁学和电动力学

电磁学有三个分支：静电学、静磁学和电动力学。静电学和静磁学彼此独立，并且只研究静止态的问题。而电动力学则研究电学与磁学中的运动态问题^[6]。

1.9 电击穿

尽管我们将静电放电看做一种静电现象，但电荷是运动的，电流是流动的，实际上它是准静态电。静电放电可以源于人体向物体所发的电弧。当人体与物体之间的空气间隙被击穿时，就会发生静电放电事件。放电过程与间隙的距离、形状（例如曲度、电极半径）、表面清洁度、相对湿度和接近的速度有关。

那么，什么是电击穿呢？

1.9.1 静电放电与击穿

我的导师 Markus Zahn 教授必须在新泽西州林登市的埃克森美孚公司做一些研究工作。因此，作为麻省理工学院高压研究实验室的一名年轻研究生，我们也一起做关于石油击穿的一些实验……他有一个实验室，里面有 200 000V 的充电电源、一个大的电晕环和一个连接石油样品的金属管道。石油击穿与其纯度、污垢和放电过程油降解性有关。我们的目的是将石油击穿后所产生的电不稳定性隔离开来并捕捉到它的信号变化。我们采用一个电光隔离克

尔盒—硝基苯、两个偏光片和一个激光器。在此之前他已工作了6个月来研究石油击穿后的电振荡……我们只有5天期限，但经过4天探索我们就完成了这个任务……理解气体、液体和固体介质击穿的基本原理非常重要！……这就是暑期我们在麻省理工学院所做的事情！

静电放电包括气体、液体和固体击穿^[12]。气、液、固介质击穿源于载流子加速而产生二次载流子所诱发的一种反馈。气体击穿现象在火花隙、ESD模拟器和磁记录行业的ESD应用中起着重要的作用，目前的研究集中在带电器件模拟器击穿现象上。

在磁记录行业中，击穿常发生在磁阻（MR）元件与空气轴承表面防护罩之间。可见，气体击穿物理与现实中的问题紧密相连。当处于高速状态时，它能提供给半导体器件的防护能力是有限的，因此场发射器件与火花隙在空气桥应用和微机械中可发挥重要的作用。

1.9.2 击穿与帕邢定律

帕邢在1889年研究了平板间隙气体击穿的物理问题^[13]。帕邢研究发现，击穿过程与气压和电极间距的乘积有关：

$$pd \approx \frac{d}{l}$$

式中， p 为压力， d 为极板之间的距离， l 为电子平均自由程。根据帕邢的研究结果，可以建立一条具有相同变化特征的曲线，它与极板间的气体无关。帕邢曲线描述了击穿电压 V_{BD} 与气压和极板间距乘积之间的函数关系，并以它们的对数为变量作图。

$$V_{BD} = f(pd)$$

当 pd 乘积较小时，电子与原子的碰撞概率较小，因此必须通过加速电子来突破电离限制进而产生雪崩过程。此时，击穿电压随着 pd 乘积的增加而降低，直至达到一个极小值。然而，当 pd 乘积较大时，非弹性碰撞数则会相应增加，使得击穿电压也随之增加。可见，在气体击穿过程中，击穿电压与 pd 乘积之间表现出U形的特征依赖关系。当气压较高时，还会产生光发射等二次过程。图1.3所示为帕邢曲线，曲线具有U形变化特征。

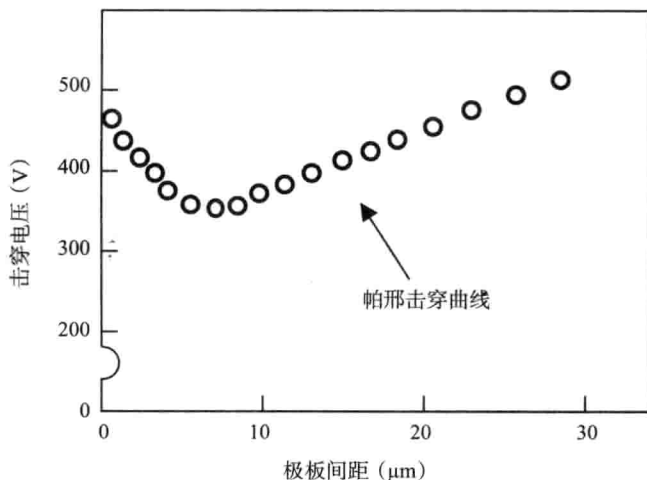


图1.3 帕邢击穿曲线

1.9.3 击穿和汤森德

雪崩现象对于理解半导体及其他材料的击穿过程具有重要的意义。汤森德（Townsend）于1915年指出，当雪崩高度达到某一个临界值时，就会发生击穿^[12, 14]：

$$H = e^{ad} = \frac{1}{\gamma}$$

式中，雪崩高度 H 等于电离概率系数（电子沿电场方向单位距离内所产生的碰撞电离数）与电极间距乘积的指数。雪崩高度 H 也可表示为电子再生概率的倒数（即阴极每个阳离子所释放的新电子的数目）。

1.9.4 击穿与托普勒定律

电弧放电中的阻抗评估对于静电现象来说是非常重要的，静电现象在如元件的放电器件模型（Charged Device Model, CDM）、机器模型（Machine Model, MM）、系统中的 ESD 枪模拟器等 ESD 模拟中十分明显。

1906 年，托普勒（Toepler）建立了放电过程中电弧阻抗的关系式^[15]。托普勒定律指出，在任何时刻，电弧阻抗都与流过电弧的电荷成反比。

$$R(t) = \frac{k_T D}{\int_0^t I(t') dt'}$$

式中， $I(t)$ 为 t 时刻电弧放电的电流， D 为电极之间的距离， k_T 为常数，其值为 $4 \times 10^{-5} \text{V} \cdot \text{sec/cm}$ 。

1.9.5 雪崩击穿

雪崩击穿对于理解静电放电问题具有重要作用。雪崩击穿能导致半导体器件的物理性失效。然而，也可以利用这一特性将半导体作为开启 ESD 电路的触发元件。在半导体芯片正常工作时，ESD 元件和电路处于反向偏置状态，一旦电压高于正常工作电压，它们就会开启，这正是雪崩击穿在 ESD 元件和电路中起到了关键性作用。雪崩击穿同样是 MOSFET 和双极型器件 ESD 保护网络的关键所在：这些保护网络被置于电路的输入引脚，在公共电源之间起到了 ESD 能量钳位的作用。因此，雪崩击穿是 ESD 保护的基础。

那么，什么是雪崩过程呢？

雪崩击穿发生在当载流子在电场作用下加速运动时，会与材料相碰撞产生二次载流子（如图 1.4 所示），二次载流子进一步被加速，又产生三次载流子。这就是所谓的“雪崩倍增”。

更具体地说，它实际上是载流子与介质之间能量传递的一个过程。当载流子在介质中被加速时，能量就从电场传递给载流

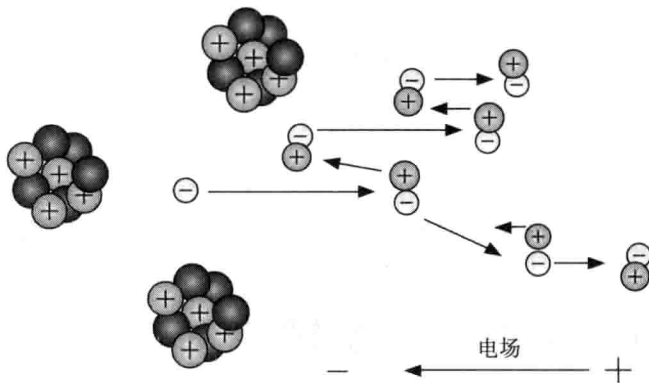


图 1.4 雪崩击穿

子。随着电场的增强，载流子达到一个极限漂移速度，电场进一步增强，则会产生热振动。当载流子被加速后，其能量既可能传递给电子，也可能传递给晶格，即两者之间存在一种竞争关系。这种关系是电离阈值、载流子能量和光学声子散射平均自由程的函数。载流子雪崩过程中，电离速率是雪崩概率总和的函数。初始载流子的电离概率与载流子达到电离区的概率以及它在该区内对中性原子的电离概率有关。二次载流子电离概率指载流子获得一个声子和电离能的概率，此过程首先是声子的发射，而后伴随着电离。三次载流子电离概率指一个电子获得两个声子和一份电离能的概率，即两个声子发射之后伴随着电离发生这一事件的概率，此后继续不停地进行下去。根据以上碰撞过程，我们就可以推导出与雪崩碰撞过程相关的电离系数。

研究气体击穿现象有助于理解 ESD 防护中 ESD 模拟器及相关技术问题。例如，D. Lin 和 T. Welsher 将气体放电现象用于解释首个放电器件模型（Charged Device Model, CDM）测试系统中的物理学问题^[16]。

假设有一个简单形状的间隙，间隙距离为 d ，电荷为 Q ，电压为 V ，那么我们就可采用汤森德雪崩公式计算出电压、电场、峰值电流和上升时间、下降时间。假定间隙内的击穿电压与击穿电场足以导致间隙间产生电流，同时认为电流仅为电子漂移电流（忽略扩散电流），则有：

$$I = en_e v_d$$

$$v_d = \mu E$$

那么，我们就可以在电流与电荷对时间的偏导 $dQ=(env)dt$ 之间，以及漂移电压与电场之间建立起关系式，因为电场 E 是电压与间隙距离的函数， $E=V/d=Q/Cd$ 。

以击穿电压和击穿电场的幅度作为触发放电的初始条件，我们可以推导出方程解释这一现象。当电子密度随时间的变化关系确定后，就可以获得间隙中电压、电场、电荷和电流。因此，所有这些最终的信息都可以表达为随时间的电荷密度的函数。其中，电流随时间的变化可以通过电场、载流子密度和碰撞电离系数来确定。峰值电流是最大场强下电容、间隙尺寸、迁移率和电离率的函数。

气体击穿对于 ESD 现象和失效物理具有重要的作用。其中，最令人感兴趣的关键参数是气体放电的峰值电流，因为许多 ESD 失效机理均与该峰值电流的幅度有关。峰值电流可表达如下^[16]：

$$I_{Peak} = (\mu C d) E_{max}^2 \alpha(E_{max})$$

可见，峰值电流与最大电场下电容、间隙尺寸、迁移率和电离率的函数有关。

1.10 电准静态和磁准静态

对于静电场和静磁场，利用麦克斯韦方程进行电准静态和磁准静态的近似处理已经足够了。这种近似通过电荷弛豫时间、磁扩散时间以及时间常数的函数完成。

1.11 电动力学与麦克斯韦方程

詹姆斯·克拉克·麦克斯韦给出了描述电场与磁场中电磁关系的方程组^[7]。电荷产生静电场，电流产生磁场。而随时间变化的场将影响到电子元件与系统。

在生产和制造过程中，我们不仅需要关注静态场，还应该关注产生电磁干扰 (Electromagnetic Interference, EMI) 和电磁兼容 (Electromagnetic Compatibility, EMC) 问题的时变场。

1.12 静电放电

目前，静电放电学科主要关注 ESD 对于元件和系统的影响。20 世纪 90 年代之前，静电放电方面的书籍还很少；最近 20 年来，已经出版了讨论 ESD 设计和门锁设计的很多书籍^[17-30]。

目前已建立了用于评价元件和系统 ESD 的许多新测试标准，本书后续章节将进一步介绍。元件的测试包括人体模型 (Human Body Model, HBM)、机器模型 (Machine Model, MM)、放电器件模型 (Charged Device Model, CDM)、传输线脉冲 (Transmission Line Pulse, TLP) 和超快传输线脉冲 (Very Fast Transmission Line Pulse, VF-TLP) 测试^[31-43]。

系统级评价则包括电缆放电事件测试^[44-46]、IEC 61000-2 系统测试和人体金属模型 (HMM)^[47-53]。

1.13 电磁兼容

电磁兼容 (Electromagnetic Compatibility, EMC) 是指一个电子系统在预期的电磁环境中正确运行，并且不成为该电磁环境中的发射源的能力。电磁兼容包含两个特征：一是能发射电磁场；二是能收集电磁能量。第一个特征与电磁场的发射相关，它可能导致对其他元件或系统的电磁干扰。第二个特征则与元器件或系统对于非期望电磁场的敏感度相关。目前，关于电磁兼容方面已建立了许多标准和测试方法^[54-75]。

1.14 电磁干扰

电磁干扰 (Electromagnetic Interference, EMI) 是指电磁场所产生的干扰或者噪声。电磁干扰是电场或磁场对电子元件、磁元件以及电磁系统的干扰。电磁干扰能导致电子系统中器件级或系统级的失效。电磁干扰无需通过物理接触就可导致电子系统中元件级或系统级的失效。在工业界，目前许多标准和测试可用于解决 EMC 和 EMI 问题^[54-76]。

1.15 本章小结

本章以静电学发展史各时期历史人物作为主线，简要介绍了静电学和摩擦生电现象。这些历史人物主要包括泰勒、格雷、达菲、富兰克林、托普勒、法拉第、卡文迪许、库仑和麦克斯韦等。本章还介绍了目前电子元件和系统中所存在的静电放电、电磁兼容、电磁干扰等问题以及其他的热点。

第2章将讨论制造和工厂环境以及它们与第1章内容之间的联系。目前，工厂环境均是基于第1章中所提及的材料、传导和静电放电事件的规避而建立，在下一章中会介绍如何集成它们并应用到制造环境和商业流程中，以减少ESD所带来的不利影响。

……泰勒将会惊讶于我们今天所取得的进步！

参考文献

1. Voldman, S. (2002) Lightning rods for nanoelectronics. *Scientific American*, vol. 287, no. 4, 90–97.
2. (1944) *Philologus*, **96**, 170–182.
3. Aristotle. *De Anima*, **411**, a7–a8.
4. Kirk, G.S., Raven, J.E., and Schofield., M. (1995) *The Pre-Socratic Philosophers*, 2nd edn, Cambridge University Press.
5. Millikan, R.A. (1917) *The Electron*, University of Chicago Press.
6. Jeans, J.H. (1925) *The Mathematical Theory of Electricity and Magnetism*, Fifth edn, Cambridge University Press.
7. Maxwell, J.C. (1873) *A Treatise on Electricity and Magnetism*.
8. Faraday, M. (1910) *The Forces of Matter, Lecture V: Electricity, Scientific Papers, Harvard Classics*, vol. **30**, P.F. Colliers & Sons Company, New York, pp. 62–74.
9. Von Hippel, A. (1965) Building from atoms, Chapter 2, in *The Molecular Designing of Materials and Devices*, MIT Press, Cambridge, Massachusetts, pp. 9–28.
10. Thomson, Sir W. (March 1848) *On the Mathematical Theory of Electricity in Equilibrium*, Cambridge and Dublin Mathematical Journal, Cambridge, England.
11. Faraday, M. (1843) On static electrical induction action. *Philosophy Magazine*.
12. Paschen, F. (1889) Ueber die zum Funkenübergang in Luft, Wasserstoff und Kohlensäure bei verschiedenen Drucken erforderliche Potentialdifferenz, *Annals of Physics*, vol. 273, no. 5, 69–86.
13. Von Hippel, A. (1965) Conduction and breakdown, in *The Molecular Designing of Materials and Devices*, MIT Press, Cambridge, Massachusetts, pp. 183–197.
14. Townsend, J.S. (1915) *Electricity in Gases*, Clarendon Press, Oxford.
15. Toepler, M. (1906) Über Funkenspannungen *Annalen der Physik*, vol. 324, no. 1, **191–209**, 191.
16. Lin, D. and Welsher, T. (1992) From lightning to charged device model electrostatic discharges. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 68–75.
17. Dabral, S. and Maloney, T.J. (1998) *Basic ESD and I/O Design*, John Wiley and Sons Ltd., West Sussex.
18. Wang, A.Z.H. (2002) *On Chip ESD Protection for Integrated Circuits*, Kluwer Publications, New York.
19. Amerasekera, A. and Duvvury., C. (2002) *ESD in Silicon Integrated Circuits*, 2nd edn, John Wiley and Sons, Ltd., West Sussex.

20. Gossner, H., Esmark, K., and Stadler, W. (2003) *Advanced Simulation Methods for ESD Protection Development*, Elsevier Science Publication.
21. Voldman, S. (2004) *ESD: Physics and Devices*, John Wiley and Sons, Ltd., Chichester, England.
22. Voldman, S. (2005) *ESD: Circuits and Devices*, John Wiley and Sons, Ltd., Chichester, England.
23. Voldman, S. (2006) *ESD: RF Circuits and Technology*, John Wiley and Sons, Ltd., Chichester, England.
24. Voldman, S. (2007) *Latchup*, John Wiley and Sons, Ltd., Chichester, England.
25. Voldman, S. (2008) *ESD: Circuits and Devices*, Publishing House of Electronic Industry (PHEI), Beijing, China.
26. Voldman, S. (2009) *ESD: Failure Mechanisms and Models*, John Wiley and Sons, Ltd., Chichester, England.
27. Mardiquan, M. (2009) Electrostatic discharge, in *Understand, Simulate, and Fix ESD Problems*, John Wiley and Sons, Co., New York.
28. Ker, M.D. and Hsu, S.F. (2009) *Transient Induced Latchup in CMOS Integrated Circuits*, John Wiley and Sons, Ltd., Singapore.
29. Vashchenko, V. and Shibkov, A. (2010) *ESD Design in Analog Circuits*, Springer, New York.
30. Voldman, S. (2009) *ESD: Design and Synthesis*, John Wiley and Sons, Ltd., Chichester, England.
31. ANSI/ESD ESD-STM 5.1 – 2007 (2007) ESD Association Standard Test Method for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing - Human Body Model (HBM) Testing - Component Level. Standard Test Method (STM) document.
32. ANSI/ESD SP 5.1.2-2006 (2006) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items - Human Body Model (HBM) and Machine Model (MM) Alternative Test Method: Split Signal Pin-Component Level.
33. ANSI/ESD ESD-STM 5.2 – 1999 (1999) ESD Association Standard Test Method for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing - Machine Model (MM) Testing - Component Level. Standard Test Method (STM) document.
34. ANSI/ESD ESD-STM 5.3.1 – 1999 (1999) ESD Association Standard Test Method for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing – Charged Device Model (CDM) Testing - Component Level. Standard Test Method (STM) document.
35. Voldman, S., Ashton, R., Barth, J. *et al.* (2003) Standardization of the transmission line pulse (TLP) methodology for electrostatic discharge (ESD). Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 372–381.
36. ANSI/ESD Association ESD-SP 5.5.1-2004 (2004) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing – Transmission Line Pulse (TLP) Testing Component Level. Standard Practice (SP) document.
37. ANSI/ESD Association ESD-STM 5.5.1-2008 (2008) ESD Association Standard Test Method for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing – Transmission Line Pulse (TLP) Testing Component Level. Standard Test Method (STM) document.
38. ANSI/ESD STM5.5.1-2008 (2008) Electrostatic Discharge Sensitivity Testing – Transmission Line Pulse (TLP) – Component Level.
39. ANSI/ESD STM5.5.2-2007 (2007) Electrostatic Discharge Sensitivity Testing - Very Fast Transmission Line Pulse (VF-TLP) - Component Level.
40. ESD Association ESD-SP 5.5.2 (2007) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing Very Fast Transmission Line Pulse (VF-TLP) Testing Component Level. Standard Practice (SP) document.
41. ANSI/ESD Association ESD-SP 5.5.2-2007 (2007) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing –

- Very Fast Transmission Line Pulse (VF-TLP) Testing Component Level. Standard Practice (SP) document.
42. ESD Association ESD-STM 5.5.2 (2009) ESD Association Standard Test Method for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing Very Fast Transmission Line Pulse (VF-TLP) Testing Component Level. Standard Test Method (STM) document.
 43. ANSI/ESD Association ESD-STM 5.5.1-2008 (2008) ESD Association Standard Test Method for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing – Very Fast Transmission Line Pulse (VF-TLP) Testing Component Level. Standard Practice (SP) document.
 44. ESD Association DSP 14.1-2003 (2003) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items – System Level Electrostatic Discharge Simulator Verification Standard Practice. Standard Practice (SP) document.
 45. ESD Association DSP 14.3-2006 (2006) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items – System Level Cable Discharge Measurements Standard Practice. Standard Practice (SP) document.
 46. ESD Association DSP 14.4-2007 (2007) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items – System Level Cable Discharge Test Standard Practice. Standard Practice (SP) document.
 47. International Electro-technical Commission (IEC) IEC 61000-4-2 (2001) Electromagnetic Compatibility (EMC): Testing and Measurement Techniques – Electrostatic Discharge Immunity Test.
 48. Grund, E., Muhonen, K., and Peachey, N. (2008) Delivering IEC 61000-4-2 current pulses through transmission lines at 100 and 330 ohm system impedances. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 132–141.
 49. IEC 61000-4-2 (2008) Electromagnetic Compatibility (EMC) – Part 4-2: Testing and Measurement Techniques – Electrostatic Discharge Immunity Test.
 50. Chundru, R., Pommerenke, D., Wang, K. *et al.* (2004) Characterization of human metal ESD reference discharge event and correlation of generator parameters to failure levels – Part I: Reference Event. *IEEE Transactions on Electromagnetic Compatibility*, **46** (4), 498–504.
 51. Wang, K., Pommerenke, D., Chundru, R. *et al.* (2004) Characterization of human metal ESD reference discharge event and correlation of generator parameters to failure levels – Part II: Correlation of generator parameters to failure levels. *IEEE Transactions on Electromagnetic Compatibility*, **46** (4), 505–511.
 52. ESD Association ESD-SP 5.6-2008 (2008) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing – Human Metal Model (HMM) Testing Component Level. Standard Practice (SP) document.
 53. ANSI/ESD SP5.6-2009 (2009) Electrostatic Discharge Sensitivity Testing - Human Metal Model (HMM) - Component Level.
 54. Jowett, C.E. (1976) *Electrostatics in the Electronic Environment*, Halsted Press, New York.
 55. Lewis, W.H. (1995) *Handbook on Electromagnetic Compatibility*, Academic Press, New York.
 56. Morrison, R. and Lewis, W.H. (1990) *Grounding and Shielding in Facilities*, John Wiley and Sons Inc., New York.
 57. Paul, C.R. (2006) *Introduction to Electromagnetic Compatibility*, John Wiley and Sons Inc., New York.
 58. Morrison, R. and Lewis, W.H. (2007) *Grounding and Shielding*, John Wiley and Sons Inc., New York.
 59. Ott, H.W. (2009) *Electromagnetic Compatibility Engineering*, John Wiley and Sons Inc., Hoboken, New Jersey.
 60. Ott, H.W. (1985) Controlling EMI by proper printed wiring board layout. Sixth Symposium on EMC, Zurich, Switzerland.

61. ANSI C63.4-1992 (July 17 1992) *Methods of Measurement of Radio-Noise Emissions from Low-Voltage Electrical and Electronic Equipment in the Range of 9 kHz to 40 GHz*, IEEE.
62. EN 61000-3-2 (2006) *Electromagnetic Compatibility (EMC) – Part 3-2: Limits-Limits for Harmonic Current Emissions (Equipment Input Current < 16 A Per Phase)*, CENELEC.
63. EN 61000-3-3 (2006) *Electromagnetic Compatibility (EMC) – Part 3-3: Limits-Limitation of Voltage Changes, Voltage Fluctuations and Flicker in Public Low-Voltage Supply Systems for Equipment with Rated Current <16 A Per Phase and Not Subject to Conditional Connection*, CENELEC.
64. EN 61000-4-2 (2001) *Electromagnetic Compatibility (EMC) – Part 4-2: Testing and Measurement Techniques – Electrostatic Discharge Immunity Test*.
65. MDS MDS-201-0004 (October 1 1979) *Electromagnetic Compatibility Standards for Medical Devices*, U.S. Department of Health Education and Welfare, Food and Drug Administration.
66. MIL-STD-461E (August 20 1999) *Requirements for the Control of Electromagnetic Interference Characteristics of Subsystems and Equipment*.
67. RTCA RTCA/DO-160E (December 7 2004) *Environmental Conditions and Test Procedures for Airborne Equipment*, Radio Technical Commission for Aeronautics (RTCA).
68. SAE SAE J551 (June 1963) *Performance Levels and Methods of Measurement of Electromagnetic Compatibility of Vehicles and Devices (60 Hz to 18 GHz)*, Society of Automotive Engineers.
69. SAE SAE J1113 (June 1995) *Electromagnetic Compatibility Measurement Procedure for Vehicle Component (Except Aircraft) (60 Hz to 18 GHz)*, Society of Automotive Engineers.
70. Wall, A. (2004) Historical Perspective of the FCC Rules for Digital Devices and a Look to the Future. IEEE International Symposium on Electromagnetic Compatibility, August 9–13, 2004.
71. Denny, H.W. (1983) *Grounding for the Control of EMI*, Don White Consultants, Gainesville, VA.
72. Boxleitner, W. (1989) *Electrostatic Discharge and Electronic Equipment*, IEEE Press, New York.
73. Gerke, D. and Kimmel, W.D. (1994) The Designer's Guide to Electromagnetic Compatibility, EDN, vol. 39, no. 2, pp. S3-S114.
74. Kimmel, W.D. and Gerke, D.D. (1993) Three keys to ESD system design. *EMC Test and Design*.
75. Violette, J.L.N. and Violette, M.F. (1986) ESD case history – Immunizing a desktop business machine. *EMC Technology*, May–June 1986, vol. 4, 55–60.
76. Wong, S.W. (1984) ESD design maturity test for a desktop digital system. *Evaluation Engineering*, vol. 23, 104–112.

第 2 章

生产和静电的基本原理

客户有一种在芯片表面有公司商标的封装。封装上有金属盖板，上面印有公司名称。制造工程师不想让客户因为商标上有划痕而不满，于是他把塑料带覆盖在载有芯片的传输带上。

两班次的工人捡取封装好的部件，置于防静电泡沫塑料上后再进行包装，以防止部件在运输过程中受到碰撞。结果，66% 的微处理器经过包装设备装配后功能受损，即 300 个芯片中有 200 个失效。成品率分析专家研究了批与批、片与片的相关性，评估了半导体制造过程中部件经过的工具，发现失效与班次有关。

第一个班次中，封装装配线的操作员长得高挑，而第二个班次的操作员个子矮。高个子操作员在从传输带移动封装时没有碰到引脚，而矮个子操作员的手指碰到了引脚。

制造环境是复杂的场所，包括建筑物、通风、地板、工具、机器、设备、操作员、技术员和电气部件。在这些复杂的环境中，很难采取所有适当的控制措施，避免静电放电（Electrostatics Discharge, ESD）、电过应力（Electrical Overstress, EOS）、静态电磁场以及电磁干扰（Electromagnetic Interference, EMI）等。

制造中的一个关键挑战是提供对在造产品没有不良影响的环境，包括生产线、产品装配、运输及操作过程。

在静电放电现象发展初期，主要的挑战有：如何创造一个没有 ESD 问题的生产环境？如何发现 ESD 的关注点？如何鉴定生产线？如何监控生产线？如何检查和验证生产线符合规范的要求？从根本上说，如果不关注从生产到运输过程中的 ESD 问题，你就无法经营企业并取得成功。

在 20 世纪 70 年代末和 80 年代，对 ESD 的测量、监测、评估、检查和验证是关键问题。对 ESD 的认识、ESD 控制程序以及 ESD 程序管理引起了高度关注^[1-18]。ESD 程序管理领域的早期领导者是 McAteer、McFarland、Halperin 和 Dangelmayer。20 世纪 70 年代末和 80 年代的早期程序和其他一些企业内部的 ESD 管理程序一起，成为当今 ESD 程序管理系统的基础，如 S20.20（当今的 S20.20 静电控制程序产生于 IBM 内部审核和控制系统）^[19-24]。

与 ESD 程序管理系统同步，ESD 标准和技术报告用于静电防护设备和材料的测量及符合性验证^[23]。今天，在静电保护区（ESD Protected Area, EPA）的所有材料、设备和工具都有

了 ESD 标准。

本章的主题是生产环境中 ESD 的控制、测量和验证。本章中，我们将讨论测试仪器、防护装备和材料，然后讨论 ESD 控制程序和审核。

2.1 材料、工具、人为因素和静电放电

生产中 ESD 涉及了材料、器具和人为等因素的综合影响。材料会影响摩擦电荷的转移，使用工具会导致电荷转移，操作者也会参与这种转移过程。

在生产区域，天花板和地板间的电场受到天花板高度、空气流通和离子发生器位置的影响。离子发生器与放有敏感零件的工作台面的相对位置将影响离子发生器的使用效果。工作台面的材料和物理尺寸也是影响因素。

对于磁存储器生产厂的隧穿磁阻 (Tunneling Magneto-Resistors, TMR) 来说，其人体放电模式 (Human Body Model, HBM) 敏感度低于 10V，生产部门采用小的工作台面，且仅有几名操作人员在指定工作台工作。空气离子消电器放置在靠近工作台面和敏感零件处很低的位置。

材料及人体引入的电场

生产线的操作员会影响摩擦生电过程。操作员的外表面、衣服材料的类型、操作员和物品间的距离都会影响电荷转移以及人体引入的电场。鞋类、外套、防静电腕带以及接地的工作服都会影响操作员的摩擦生电和静电放电。而且，座椅、位置及操作员与敏感零件的距离也会影响电场。

2.2 制造环境和工具

随着圆片直径从 200mm 变为 300mm，制造炉腔、圆片托架以及和圆片的尺寸都将增加。跨过圆片的横向电场成为等离子刻蚀炉的一个问题。等离子电弧划过圆片，导致圆片上一些区域被破坏。在被破坏的位置，芯片防护环、通孔和金属层发生熔融，在半导体芯片上留下明显的损伤痕迹 (图 2.1)。

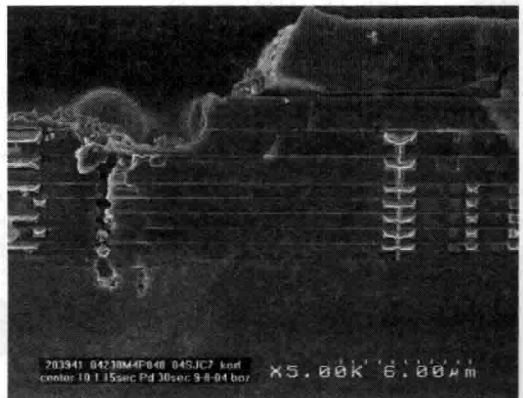


图 2.1 等离子电弧损伤

2.3 生产设备和 ESD 生产问题

在圆片划片操作中，使用锯子切割硅圆片以分离半导体芯片。在划片操作中，当锯子刀

锋切过时需要有液体喷射流，喷射流中含有的离子会增加半导体圆片上的电荷。

在这个操作过程中，圆片上的锡球和键合区收集电荷，导致锡球/键合区结构带电。如果键合区或焊球/键合区结构不与电路连接，则结构体充电会导致层间介质 (Inter Level Dielectric, ILD) 的绝缘体击穿产生裂缝。在潮湿试验中，这些绝缘体裂缝可导致水分进入半导体芯片。

在ESD模拟试验中，用HBM测试标准对“悬浮焊球”进行试验。对于某代技术来说，ESD失效发生在1200V HBM。而对尺寸缩小的下一代技术来说，ESD发生在900V HBM (图2.2)。

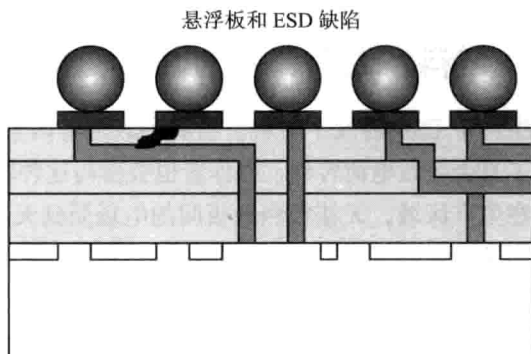


图 2.2 悬浮焊球

2.4 生产材料

生产环境中选择的防静电材料对ESD保护区 (ESD Protected Area, EPA) 有很大影响。选择的材料会影响EPA最初的电导率以及与时间有关的电导率。材料涂层和清洗过程会影响材料电导率。地板或外套的磨损会影响总体的电导率和空间分布变化。正是这些因素说明对生产环境进行鉴定，建立一套测试程序并对生产中使用的物品进行定期审核是非常重要的。

2.5 测量和测试设备

生产环境如何划分？生产环境包括以下分类 (图2.3) [23]：

- 接地及连线系统
- 工作台面
- 防静电腕带
- 监视器
- 鞋类
- 地板
- 人员服装接地
- 离子发生器
- 座椅
- 移动设备
- 包装

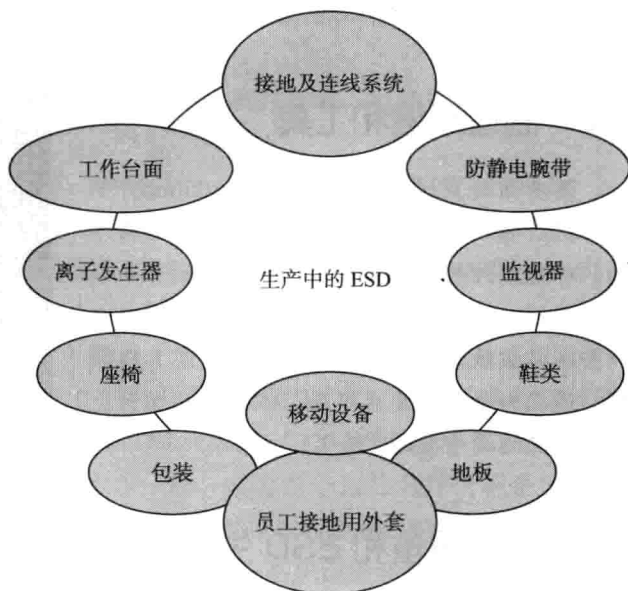


图 2.3 生产中的ESD

生产符合性测试

评估与规范的符合性需要生产测试设备。ESD 测试设备包括 (图 2.4):

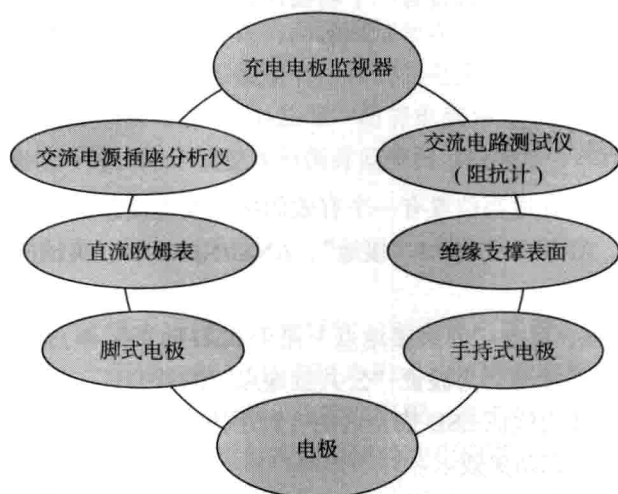


图 2.4 生产测试设备

- 直流欧姆表
- 电极
- 手持式电极
- 脚式电极
- 交流电源插座分析仪
- 交流电路测试仪 (阻抗计)
- 绝缘支撑表面
- 充电电板监视器

对于所有以上物品，必须验证电气测量。为了进行符合性验证，需用电气测量来确定“ESD 安全”环境，并与目标相符。

要评估生产环境，直流欧姆表的精度要达到 $\pm 10\%$ ，并能测量范围 $0.1 \sim 1.0 \times 10^6 \Omega$ 的直流电阻^[23]。

规范中定义了电极、手持式电极和脚式电极。标准电极是重量为 5 英镑 (± 2 盎司) 的圆柱电极，圆柱直径为 2.5 英寸 (± 0.1 英寸)，接触面具有硬度 -A (国际橡胶硬度 IRHD) 50 ~ 70 计示硬度。手持式电极的直径有所不同：不锈钢手持式电极长为 3 英寸或更长，直径为 1 英寸，尾部有香蕉插头。脚式电极则为 12 英寸的正方形金属板。

交流电所需设备和用途：交流电源插座分析仪用来确定设备接地连接器，交流电路测试仪用来测量设备接地导体的阻抗。

而且，要将这组物品组合起来对生产线进行符合性验证，还需要电阻大于 $1.0 \times 10^{13} \Omega / \square$

的绝缘支撑台面^[23]。

最后，评估和验证符合性还需要一个充电电荷平板监视器 (Charged Plate Monitor, CPM) 或手提式验证装备。手提式验证装备有一个场强计、一个独立的导电板、一个平板充电器和一个接地线。

2.6 接地及连接系统

对于生产环境来说，在适当位置有一个有效的接地及连接系统，以避免有害的静电放电 (ESD) 失效非常重要。ANSI/SED S6.1 “接地”、ANSI/NFPA 70 “美国国家电气规程”等为正确接地提供了指导。

在 ESD 防护工作区，建立“公共接地点”用于 ESD 防护工作台面、ESD 防护垫、桌子抽屉、固定装置和人员的接地。为验证“公共接地点”的符合性，需要使用交流电插座分析仪、交流电路测试仪。作为验证 ESD 安全区的一种手段，人员接地点与公共接地点之间的连接及电插座必须经过检查以防失效。

等电位连接对于消除两个物体间的静电放电也很重要。要知道当操作者区域的所有物体和敏感零部件处于等电位时，就不会发生 ESD 事件。

2.7 工作台面

在生产环境中，工作台面会影响电场和电荷积累。因为对于 ESD 敏感部件，无论是单个芯片、托盘、系统级卡片还是电路板，工作台面的带电状态都是提供 ESD 安全工作区的关键。工作台面的导电不均衡会导致电气失效。因此，检验工作台面对于 ESD 安全区至关重要。

应用于工作台面的 ESD 标准有 ESD ADV53.1 “ESD 防护工作台面”、ANSI/ESD S4.1 “工作台面—电阻测量”以及前面提到的 ANSI/ESD 6.1 “接地参考”^[32-34]。这些测试的目的是确保工作台面电气连接至接地参考点。影响测试的过程因素有：

- 台面清洁度
- 被测器件 (Device Under Test, DUT) 的移动
- 电气连接
- 电极放置
- 综合检查仪的稳定性

2.8 防静电腕带

在生产环境中，防静电腕带用于防止人体产生的电荷转移至电子元器件或系统。

人体与地板或其他表面间的摩擦生电会导致人体电荷积累。在与其他物品接触前，人体

会存储这些电荷。当人体接触电子元器件时，电荷就会沿着人的胳膊和外套转移，导致对元器件或工具静电放电。使用低电阻的防静电腕带后，电流会沿着腕带流至工作站的接地端，而不是流向 ESD 敏感零件。

为确保防静电腕带有效性，到接地端的路径阻抗必须低于到元器件的阻抗。因此，保证腕带连续性的目标是验证防静电腕带系统所有组成的总电阻在允许的电阻范围内。防静电腕带的标准和技术报告包括 ANSI/ESD S1.1-2006 “防静电腕带”、ESD TR1.0-01-01、“防静电腕带在线（连续）监测仪”等，用于确定规范值并监测腕带的完好性和符合性。^[35, 36]

2.9 在线监测仪

监测仪用于验证生产区域不同物品的完好性，如防静电腕带。防静电腕带系统的在线监测仪是在线监测仪的一个例子，如 ESD TR1.0-01-01、“防静电腕带用在线（连续）监测仪”^[36]。在装卸元器件时，要检测接地点、防静电腕带、操作员身体的电气连接。这些在线监测仪可以反映生产 ESD 安全区域的完好性随时间的变化情况。

2.10 鞋类

防静电鞋、脚接地带及其与地板的相互作用对于控制和限制生产操作员的摩擦生电很重要。描述和测量人体电阻的标准有 ANSI/ESD STM9.1-2006 “鞋子—电阻特性”、ESD SP9.2-2003 “鞋子—脚接地带电阻特性”和 ANSI/ESD STM97.1-2006 “地板材料和鞋—人员穿鞋和地板之间的电阻测量”^[37-39]。鞋类包含鞋、脚接地带和工靴。生产环境中需用综合检查仪、仪表、手持式电极、脚式电极等经常验证鞋类电阻。符合性验证程序中，测量电阻以确保它在可接受范围内。

2.11 地板

在生产环境中，地板会影响其与人员及移动设备之间的摩擦生电。地板的充电特性与材料性质、安装、涂料、抛光、油漆和地垫相关。鞋类和地板标准有 ANSI/ESD STM97.1-2006 “地板材料和鞋—人员穿鞋和地板之间的电阻测量”和 ANSI/ESD S7.1-2005 “材料电阻特性—地板材料”^[39, 40]。使用综合检查仪、电极、设备接地点可以实现对地板电阻的测试，从而提供点到地的电阻评估。

2.12 人员服装接地

员工服装接地是一项重要的评估。员工服装接地对于生产环境很重要。验证和符合性程

序部分包含在 ANSI/ESD S1.1 “腕带”标准中^[41]。

服装

生产环境中使用的服装影响人员身上的静电荷积累，也影响静电放电（ESD）事件中的电荷转移。关于服装要求和规范的标准是 ANSI/ESD STM2.1—“服装”^[42]。

2.13 空气离子化

空气离子化用于中和绝缘体表面、工作台面和绝缘物体的静电荷。空气离子发生器同时提供正离子和负离子。静电荷通过吸收相反极性的离子进行中和。在离子化过程中会使用不同类型的离子发生器。空气离子发生器在超净间使用，因为空气电离化是这里可采用的控制静电放电的唯一方式。空气离子发生器的效果与施加的电压、发生器电极头、电极头清洁度、离子发生器距工作台面的高度相关。例如在磁存储器制造厂，隧道磁电阻（Tunneling Magneto Resistor, TMR）对静电非常敏感，离子发生器要放置在距工作台面很近的位置。离子化标准包括：ANSI/ESD STM3.1-2006 “离子化”、ANSI/ESD 3.3-2006 “空气离子发生器的周期性检查”。图 2.5 显示了离子发生器的探头阵列和正负离子。图 2.6 是在半导体生产环境中使用的商用离子发生器。

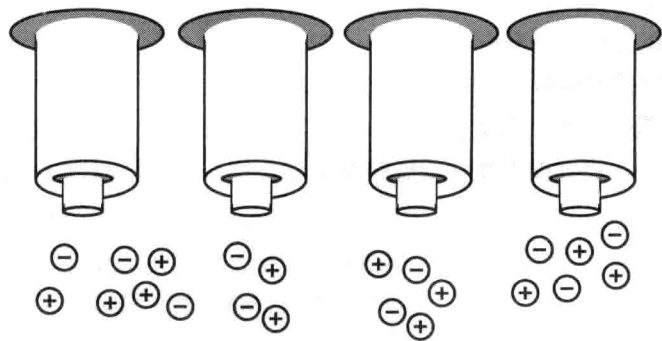


图 2.5 空气离子消电器

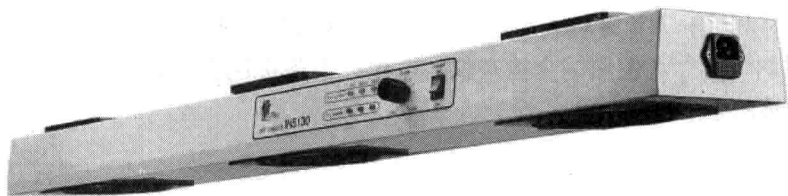


图 2.6 商用离子发生器，Transforming Technologies Inc 许可

2.14 座椅

生产环境中，当员工坐在椅中，理想的情况是人体通过地电位放电。而椅子还可能带有轮子。理想的接地电阻特性是从椅子座位到地板接地的电阻在耗散电阻范围内（如，定义了最大和最小电阻值）。生产座椅的标准是 ANSI/ESD STM12.1-2006 “座椅—电阻测量”^[45]。可用两个测试来验证与电阻要求的符合性。第一个测试是评估椅子靠背和座位区域到设备接地的电阻（在椅子和设备接地点之间使用综合检查仪或仪表）。需要使用电极来接触如前所说的椅子的各个区域。为验证符合性，椅子的不同位置都应评估（如座位中央、靠背中央、底座及破损和污浊处）^[23]。

2.15 推车

在生产环境中，半导体零部件、托盘、卡式组件和器材都放置在推车上。操作员小心翼翼并戴防静电腕带，防止装配零件在上推车前就带电。推车上的链条在移动时可能会产生噪声，操作员提起链条以便不打扰其他人。另一个操作员接过装配推车并推过生产区。当推车移动时，操作员和推车通过推车轮传送的电荷开始充电。第三个电气接地的操作员从推车上搬动装配零件。这时推车和装配件已充电，在搬动过程中对在装配件发生放电。

2.16 包装和运输

生产中 ESD 控制系统的一个重要部分是选择合适的包装及包装材料。包装材料间的相互作用、ESD 敏感零部件在摩擦充电效应下会相互影响。因此在生产过程之后，包装和运输就成了关乎 ESD 产品失效的重要因素，也是罪魁祸首。1981 年，J.M. Kolyer 和 W.E. Anderson 强调了 ESD 敏感物品包装材料的重要性及如何选择合适材料。此项工作由 J.R. Huntsman、B. Unger、D. L. Hart、M.C. Jon、Robinson-Hahn 和 T.L. Welsher 等继续研究^[48, 50-52]。现在已有 ESD 安全袋的标准，如 ANSI/ESD STM11.31-2006 “袋”^[53]。

2.16.1 运输包装管

在用包装管运输半导体器件（如 DRAM）时，会发生摩擦电荷 ESD。这说明芯片在塑料包装管内的运动不仅会导致半导体芯片带电，还会发生静电放电。芯片运动会发生在运输和装卸的过程中。B. A. Unger、R.G. Chemelli、P.R. Bossard 和 M.R. Hudock 在 1981 年的一本出版物中说明了这种影响，指出带电与包装管的材料相关^[48]。一个众所周知的影响是当带电芯片离开包装管时，如果它们在工作台面放电，则拐角的引脚会发生 ESD 失效。可以证实，移动带电芯片也会产生可测量的电磁干扰（EMI）噪声（图 2.7）。

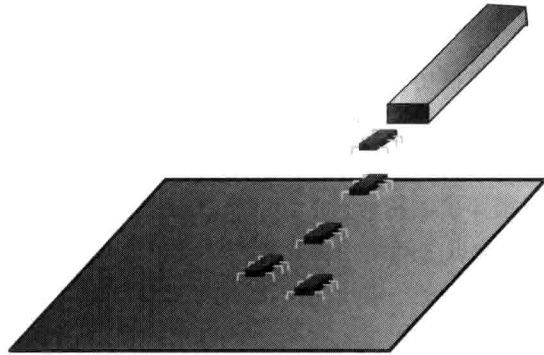


图 2.7 运输包装管和芯片

2.16.2 托盘

磁阻 (Magneto Resistive, MR) 磁头分割后放置在运输托盘中。对静电敏感器件, 塑料托盘里会压制有碳粉, 从而具有适当的导电性。为验证托盘的电阻, 需对托盘的两个对角间的电阻进行测量。

磁阻磁头发生了 ESD 失效, 引发了全公司范围的调查。经过 6 个月的分析, 发现碳粉没有均匀地压制在塑料托盘内, 导致托盘内有局部“盲点”使得磁阻磁头失效。在对角位置测量托盘电阻无法提供评估碳元素均匀性的正确信息。

在塑料托盘内压制碳粉是为了改进运输托盘的电阻特性。单个芯片会放在这些托盘中。现实的问题是要验证符合性, 你如何保证托盘的所有部分都有期望的电阻率? 因此, 验证方法很重要。这个问题已经对磁存储器工厂产生了影响, 出现了无法解释的失效。而未来任何敏感器件都可能会遇到这个问题。

2.17 ESD 识别

认识和识别 ESD 敏感器件、组件和系统的方法之一是使用符号和标签。在 ANSI/ESD S8.1-2007 “符号—ESD 标识”中有 ESD 符号的范例^[54]。ESD 敏感性符号为“ESD Susceptibility Symbol”(ESD 敏感性符号), 这个符号可直接贴于集成电路、线路板、组件和系统上。第二种 ESD 符号为“ESD Protective Symbol”(ESD 防护符号); 它标明静电保护材料, 可以贴在垫子、椅子和其他提供静电保护的设备上。

2.18 ESD 程序管理——12 步构建 ESD 战略

在实际执行 ESD 程序时, 成功交付 ESD 敏感部件需要采取很多步骤。在 ESD 程序管

理中, T. Dangelmeyer 给出了 12 条“关键因素”用于构建从生产到消费的 ESD 战略。这 12 条是:

- 有效的实施计划
- 管理委员会
- 专职协调员
- 积极的 ESD 委员会
- 现实的要求
- 目标可衡量的 ESD 培训
- 科学的审核
- 静电测试设备
- 沟通程序
- 系统规划
- 人员因素工程
- 持续改进

这个程序的核心是对机构和公司人员的管理、采取的手段以及建立共同目标。

2.19 ESD 程序审核

要保证 ESD 程序成功,重要的是为生产环境的符合性及连续性评估建立一个审核过程。目前实际上有三种类型的 ESD 审核。第一种审核类型是程序管理审核,评估实施方案、要求和验证实践。第一种审核主要是由 ESD 团队和管理驱动的。第二种审核类型面向质量过程控制和统计过程控制流程,是由生产操作人员逐天、逐周、逐月完成的。第三种审核类型是工作场所审核,包括电气测量和满足 ESD 标准。第三种审核类型运用了 2.5 节讨论过的 ESD 测量设备和 ESD 生产标准。

现在已有的审核程序,如 ANSI/ESD STM20.20-2007“电气和电子元件、组件和设备的保护”^[22],也称为“S20.20”。为保证 ESD 培训和审核过程成功,需要有一个覆盖所有员工的培训计划。ESD 综合培训包括教师授课、演示、影视培训和其他教学手段。

2.20 防静电片上保护

ESD 控制着重生产环境、ESD 片上保护和系统级片外保护^[56、57]。为进行测试并验证与 ESD 目标的符合性,已有若干 ESD 测试规范方法,以及针对半导体器件和系统 ESD 现象的标准^[62-79]。

2.21 本章小结

生产环境中静电放电控制的意图是提供一个控制程序来防止生产过程中的成品率损失。本章的目的是让读者对 ESD 问题、测试方法、标准以及生产中为提供 ESD 保护区建立的控制程序等有个基本了解。

第3章的主题将转到静电放电 (ESD)、电过应力 (EOS)、电磁干扰 (EMI) 和电磁兼容性 (EMC) 上。

参考文献

1. McAteer (1979) An effective ESD awareness training program. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 1-3.
2. Schnetker, T.R. (1979) Human factors in electrostatic discharge protection. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 122-125.
3. Halperin, S. (1980) Facility evaluation: Isolating environmental ESD problems. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 192-205.
4. McAteer, R.E., Lucas, G.H., and McDonald, A. (1981) A pragmatic approach to ESD problem solving in the manufacturing environment. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 34-39.
5. McFarland, W.Y. (1981) The economic benefits of an effective ESD awareness and control program - an empirical analysis. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 28-33.
6. Frank, D.E. (1981) The perfect "10" - Can you really have one? Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 21-27.
7. Euker, R. (1982) ESD in I.C. assembly (a baseline solution). Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 142-144.
8. Kirk, W.J. (1982) Uniform ESD protection in a large multi-department assembly plant. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 165-168.
9. Strand, C.J., Tweet, A., and Weight, M.E. (1982) An effective electrostatic discharge protection program. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 145-156.
10. Dangelmayer, G.T. (1983) ESD - How often does it happen? Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 1-5.
11. Downing, M.H. (1983) Control implementation and cost avoidance analysis. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 6-11.
12. Hansel, G.E. (1983) The production operator: Weak link or warrior in the ESD battle? Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 12-16.
13. Dangelmayer, G.T. (1984) A realistic and systematic ESD control plan. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 1-6.
14. Dangelmayer, G.T. and Jesby, E.S. (1985) Employee training for successful ESD control. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 20-23.
15. Lindholm, A.W. (1985) A case history of an ESD problem. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 10-14.

16. Halperin, S. (1986) Estimating ESD losses in the complex organization. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 12–18.
17. Lai, E. and Plaster, J. (1987) ESD control in the automotive electronic industry. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 10–17.
18. Zezulka, R.J. (1989) Tracking results of an ESD control program. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 36–42.
19. ESD Association ESD-ADV 1.0 2009, *Glossary*, ESD Association, Rome, N.Y.
20. ANSI/ESD S20.20-2007, *Protection of Electrical and Electronic Parts, Assemblies, and Equipment*, ESD Association, Rome, N.Y.
21. ESD TR20.20, 2008, *Handbook*, ESD Association, Rome, N.Y.
22. ANSI/ESD S20.20-2007, *Standard for the Development of Electrostatic Discharge Control Program*, ESD Association, Rome, N.Y.
23. ESD TR53-01-06, 2006, ESD Technical Report for the Protection of Electrostatic Discharge Susceptible Items – Compliance Verification of ESD Protective Equipment and Materials.
24. Dangelmayer, T. (1990) *ESD Program Management: A Realistic Approach to Continuous Measurable Improvement in Static Control*, Kluwer Academic Publishers, New York.
25. ESD ADV 11.2, *Triboelectric Charge Accumulation*, ESD Association, Rome, N.Y.
26. ANSI/ESD S6.1, *Grounding*, ESD Association, Rome, N.Y.
27. ANSI/NFPA 70. National Electric Code.
28. ESD DSTM11.13-2009, *Two Point Resistance Measurement*, ESD Association, Rome, N.Y.
29. ANSI/ESD STM11.11-2006, *Surface Resistance Measurement of Static Dissipative Planar Materials*.
30. ANSI/ESD SP15.1-2005, *In Use Resistance Testing of Gloves and Finger Cots*, ESD Association, Rome, N.Y.
31. ESD STM13.1-2000, *Electrical Soldering/Desoldering Hand Tools*, ESD Association, Rome, N.Y.
32. ESD ADV53.1, *ESD Protective Workstations*, ESD Association, Rome, N.Y. 1995.
33. ANSI/ESD S4.1-2006, *Worksurfaces – Resistance Measurements*, ESD Association, Rome, N.Y.
34. ANSI/ESD STM3.1 – 2006, *ESD Protective Worksurfaces - Charge Dissipation Characteristics*, Rome, N.Y.
35. ANSI/ESD S1.1-2006, *Wrist Straps*, ESD Association, Rome, N.Y.
36. ESD TR1.0-01-01, *Survey of Constant (Continuous) Monitors for Wrist Straps*, ESD Association, Rome, N.Y. 2001.
37. ANSI/ESD STM9.1-2006, *Footwear – Resistive Characterization*, ESD Association, Rome, N.Y.
38. ESD SP9.2-2003, *Footwear – Foot Grounders Resistive Characterization*, ESD Association, Rome, N.Y.
39. ANSI/ESD STM97.1-2006, *Floor Materials and Footwear – Resistance Measurements in Combination with A Person*, ESD Association, Rome, N.Y.
40. ANSI/ESD S7.1 – 2005, *Resistive Characterization of Materials – Floor Materials*, ESD Association, Rome, N.Y.
41. ANSI/ESD S1.1-2006, *Wrist Straps*, ESD Association, Rome, N.Y.
42. ANSI/ESD STM2.1-1997, *Garments*, ESD Association, Rome, N.Y.
43. ANSI/ESD STM3.1 – 2006, *Ionization*, ESD Association, Rome, N.Y.
44. ANSI/ESD SP3.3-2006, *Periodic Verification of Air Ionizers*, ESD Association, Rome, N.Y.
45. ANSI/ESD STM12.1-2006, *Seating- Resistive Measurements*, ESD Association, Rome, N.Y.
46. ANSI/ESD STM4.1-2006, *Worksurfaces – Resistance Measurements*, ESD Association, Rome, N.Y.
47. ANSI/ESD SP10.1-2007, *Automatic Handling Equipment (AHE)*, ESD Association, Rome, N.Y.
48. Unger, B.A., Chemelli, R.G., Bossard, P.R., and Hudock, M.R.-(1981) Evaluation of integrated circuit shipping tubes. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 57–64.

49. Kolyer, J.M. and Anderson, W.E. (1981) Selection of packaging materials for electrostatic discharge sensitive (ESDS) items. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 75–84.
50. Huntsman, J.R. (1984) Triboelectric charge: Its ESD ability and a measurement method for its propensity on packaging materials. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 64–77.
51. Unger, B.A. and Hart, D.L. (1985) Triboelectric characterization of packaging materials. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 107–110.
52. Jon, M.C., Robinson-Hahn, D., and Welsher, T.L. (1988) Tape and reel packaging – an ESD concern. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 15–23.
53. ANSI/ESD STM11.31-2006, *Bags*, ESD Association, Rome, N.Y.
54. ANSI/ESD S8.1 – 2007 Symbols – ESD Awareness.
55. Voldman, S. (2004) *ESD: Physics and Devices*, John Wiley and Sons, Ltd., Chichester, England.
56. Voldman, S. (2005) *ESD: Circuits and Devices*, John Wiley and Sons, Ltd., Chichester, England.
57. Voldman, S. (2006) *ESD: RF Circuits and Technology*, John Wiley and Sons, Ltd., Chichester, England.
58. Voldman, S. (2008) *ESD: Circuits and Devices*, Publishing House of Electronic Industry (PHEI), Beijing, China.
59. Voldman, S. (2009) *ESD: Failure Mechanisms and Models*, John Wiley and Sons, Ltd., Chichester, England.
60. Voldman, S. (2007) *Latchup*, John Wiley and Sons, Ltd., Chichester, England.
61. Ker, M.D. and Hsu, S.F. (2009) *Transient Induced Latchup in CMOS Integrated Circuits*, John Wiley and Sons, Ltd., Singapore.
62. ANSI/ESD ESD-STM 5.1 – 2007 (2007) ESD Association Standard Test Method for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing - Human Body Model (HBM) Testing -Component Level. Standard Test Method (STM) document.
63. ANSI/ESD ESD-STM 5.2 – 1999 (1999) ESD Association Standard Test Method for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing - Machine Model (MM) Testing -Component Level. Standard Test Method (STM) document.
64. ANSI/ESD ESD-STM 5.3.1 – 1999 (1999) ESD Association Standard Test Method for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing – Charged Device Model (CDM) Testing -Component Level. Standard Test Method (STM) document.
65. ESD Association DSP 14.1-2003 (2003) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items – System Level Electrostatic Discharge Simulator Verification Standard Practice. Standard Practice (SP) document.
66. ESD Association DSP 14.3-2006 (2006) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items – System Level Cable Discharge Measurements Standard Practice. Standard Practice (SP) document.
67. ESD Association DSP 14.4-2007 (2007) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items – System Level Cable Discharge Test Standard Practice. Standard Practice (SP) document.
68. Geski, H. (September 2004) DVI compliant ESD protection to IEC 61000-4-2 level 4 standard. *Conformity*, 12–17.
69. ANSI/ESD Association ESD-SP 5.5.1-2004 (2004) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing – Transmission Line Pulse (TLP) Testing Component Level. Standard Practice (SP) document.
70. ANSI/ESD Association ESD-STM 5.5.1-2008 (2008) ESD Association Standard Test Method for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing – Transmission Line Pulse (TLP) Testing Component Level. Standard Test Method (STM)

document.

71. ESD Association ESD-SP 5.5.2 (2007) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing Very Fast Transmission Line Pulse (VF-TLP) Testing Component Level. Standard Practice (SP) document.
72. ANSI/ESD Association ESD-SP 5.5.2-2007 (2007) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing - Very Fast Transmission Line Pulse (VF-TLP) Testing Component Level. Standard Practice (SP) document.
73. ESD Association ESD-STM 5.5.2 (2009) ESD Association Standard Test Method for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing Very Fast Transmission Line Pulse (VF-TLP) Testing Component Level. Standard Test Method (STM) document.
74. International Electro-technical Commission (IEC) IEC 61000-4-2 (2001) Electromagnetic Compatibility (EMC): Testing and Measurement Techniques - Electrostatic Discharge Immunity Test.
75. IEC 61000-4-2 (2008) Electromagnetic Compatibility (EMC) - Part 4-2: Testing and Measurement Techniques - Electrostatic Discharge Immunity Test.
76. Chundru, R., Pommerenke, D., Wang, K. *et al.* (2004) Characterization of human metal ESD reference discharge event and correlation of generator parameters to failure levels - Part I: Reference Event. *IEEE Transactions on Electromagnetic Compatibility*, **46** (4), 498-504.
77. Wang, K., Pommerenke, D., Chundru, R. *et al.* (2004) Characterization of human metal ESD reference discharge event and correlation of generator parameters to failure levels - Part II: Correlation of generator parameters to failure levels. *IEEE Transactions on Electromagnetic Compatibility*, **46** (4), 505-511.
78. ESD Association ESD-SP 5.6-2008 (2008) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing - Human Metal Model (HMM) Testing Component Level. Standard Practice (SP) document.
79. ANSI/ESD SP5.6-2009 (2009) Electrostatic Discharge Sensitivity Testing - Human Metal Model (HMM) - Component Level.

第 3 章

ESD、EOS、EMI、EMC 和门锁效应

一款新型电脑号称拥有全新的高密度存储芯片。在新个人电脑发布会前，来宾们尽享美酒和奶酪。不过，当电脑第一次通电时，并未能建立良好的接地，当存储芯片上的信号引脚为“低”时，由于衬底没有接地，导致电流流过芯片上的 ESD 网络，引起芯片外驱动电路发生“门锁”。此时半导体芯片进入过电流状态，电脑冒烟了。

另一个房间的顾客嗅嗅鼻子问道：“哪冒烟啦？”

3.1 ESD、EOS、EMI、EMC 和门锁效应

作为这些问题的介绍，本章首先给出这些名词的简要说明，然后介绍各种 ESD 来源和模型，再介绍 EOS 问题及其他问题（图 3.1）。

3.1.1 ESD

静电放电（ESD）是过电应力的一个分类，会导致器件立即失效、永久的参数改变，以及引起退化加速的潜在损伤。它至少由三种因素之一引起：局部发热，高电流密度和高电场梯度，或几安培电流的持续存在将能量转移到器件结构中导致损坏。

通过 ESD 保护电路、芯片结构和设计在半导体器件上解决静电放电（ESD）问题^[1-13]。在静电放电事件中，ESD 失效机理发生在半导体器件中^[1-24]。在 ESD 半导体芯片设计中，针对不同的应用空间确定不同的 ESD 设计规则，如 ESD 数字设计^[1-5, 7, 9, 10]、ESD 射频（Radio Frequency, RF）设计^[6, 25]和 ESD 模拟设计^[13]。随着半导体器件尺寸减小，进化和革命都在带来改变，ESD 设备和设计也必须发展。

近三十年来，ESD 测试实践在器件和系统上都发生了变化。随着半导体器件的变化和新问题的出现，ESD 标准实践和标准本身也发生了变化。对于系统而言，出现了一些新问题，如电缆放电事件^[52-59]，从而产生了 IEC61000-4-2 的“系统事件”^[60-63]及人体金属放电

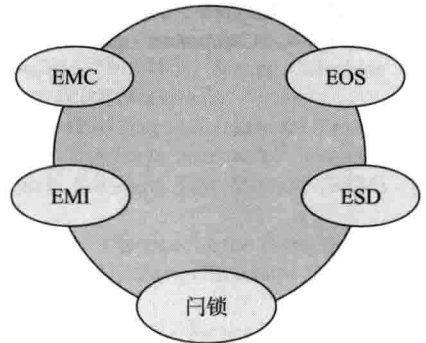


图 3.1 ESD、EOS、EMI、EMC 和门锁

模型^[64-67]。

3.1.2 过电应力

过电应力 (Electrical Overstress, EOS) 是电子器件和电子系统过流条件的一个大类。EOS 事件会导致功能损失、热失效、电子器件和系统损毁。EOS 和 ESD 对于功率和模拟半导体器件来说是重要的考虑因素。

3.1.3 电磁干扰

电磁干扰 (Electromagnetic Interference, EMI) 是电磁场产生的干扰或噪声。EMI 会导致电子系统的器件级或系统级故障。EMI 不与电子系统物理接触就可以导致电子器件故障。

3.1.4 电磁兼容

电磁兼容 (Electromagnetic Compatibility, EMC) 是指一个电子系统在预期电磁环境下能运行正常, 同时又不会成为该电磁环境的辐射源^[81-103]。从电磁兼容的角度看, 一个电子系统充当两个角色: 一是电磁场的辐射源, 二是电磁能的收集者。第一方面关注电磁场的辐射对其他器件或系统的电磁干扰, 第二方面与器件或系统对非预期电磁场的敏感性有关。

3.1.5 闩锁效应

闩锁 (latchup) 效应是描述半导体器件内发生的特殊类型短路的一个术语。形成的寄生结构包含 P 道 MOSFET 和 N 沟 MOSFET 晶体管, 从而导致寄生的 PNP 结构产生。在 MOSFET 电路的电源供给线之间会意外形成一个低阻通路, 导致进入低电压大电流状态。这会导致功能中断, 并会产生热奔、过电应力和封装损坏。

3.2 ESD 模型

近三十年来, 静电放电 (ESD) 评价技术发展方面引进了新的 ESD 模拟模型。图 3.2 给出了一些当前在用的 ESD 模型。

图 3.3 显示了评价用的 ESD 模型以及将要提出的新模型。ESD 模型包括人体放电模型 (Human Body Model, HBM)^[32-38]、机器放电模型 (Machine Model, MM)^[39]、放电器件模型 (Charged Device Model, CDM)^[40]、传输线脉冲 (Transmission Line Pulse, TLP) 方式^[41-44]、超快传输线脉冲 (Very Fast Transmission Line Pulse,

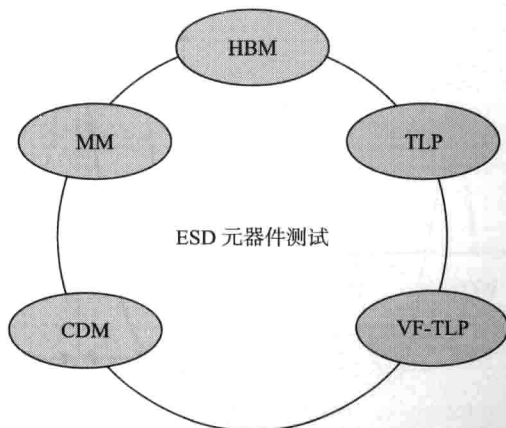


图 3.2 ESD 模型

VF-TLP) 方式^[45-50], 还有盒式模型 (也称为小充电模型 (Small Charge Model, SCM))。

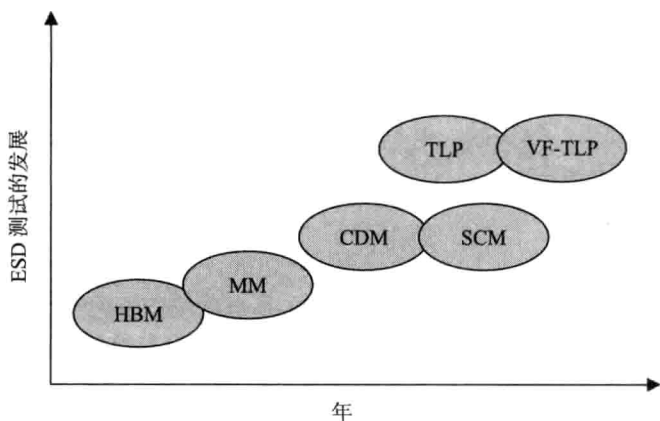


图 3.3 ESD 测试的发展

3.2.1 人体模型

众所周知, 在 ESD 行业中采用的最基本的模型是人体放电模型 (Human Body Model, HBM)^[32-38]。这种模型用于表示带电人体放电时与器件或物体的相互作用。模型假设人体带电为初始状态, 然后用手指接触了器件或物体, 带电人体与器件或物体的物理接触使得二者之间发生了电流转移。HBM 事件的特征时间与模拟人体的电子元器件有关。在 HBM 标准中, 模拟带电人体的电路元件是一个与 1500Ω 电阻器串联的 100pF 电容器。这个电路有特征上升时间和延迟时间。特征延迟时间与下列电路时间相关:

$$\tau_{\text{HBM}} = R_{\text{HBM}}C_{\text{HBM}}$$

其中: R_{HBM} 是串联电阻, C_{HBM} 是充电电容。这是充电电源的特征时间。图 3.4 是人体放电模型 (HBM) 的脉冲波形。

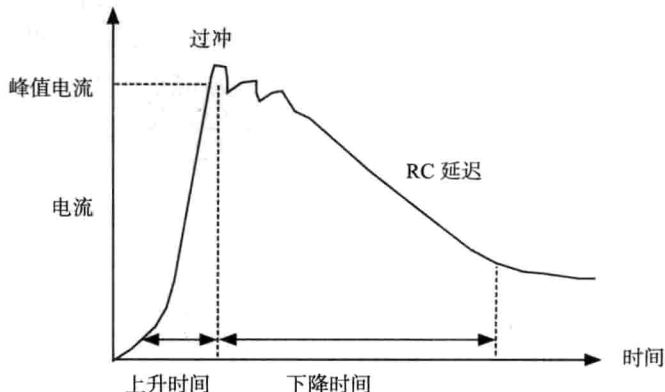


图 3.4 人体模型 (HBM) 脉冲波形

图 3.5 给出了等效电路模型。等效电路模型包括一个电容和一个电阻。在 HBM 标准中, 模拟带电人体的电路元件是一个串联 1500Ω 电阻器的 100pF 电容器。

图 3.6 是自动化 HBM 测试设备中使用的人体放电模型 (HBM) 源, 它包含一个 100pF 电容器与一个 1500Ω 电阻器, 二者串联。

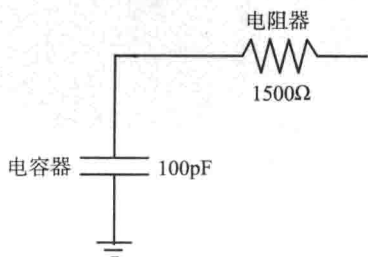


图 3.5 人体模型 (HBM) 等效电路模型

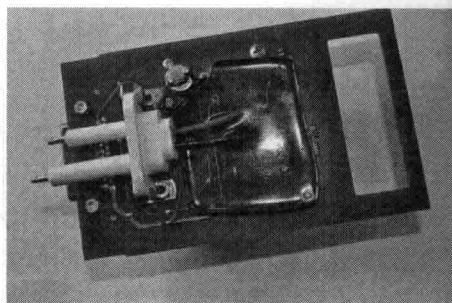


图 3.6 HBM 脉冲源照片

3.2.2 机器模型

在半导体行业中使用的另一基本模型称为机器模型 (MM) 脉冲^[39]。MM 事件用于表示带电导体源放电与器件或物体的相互作用。这种模型假设初始状态为“机器”带电, 然后带电源接触器件或物体。在此模型中, 假设带电源与器件或物体间发生电弧放电, 使得带电物体与器件或物体间发生电流转移。MM 特征时间与模拟放电过程的电子器件有关。在 MM 标准中, 电路元件是一个 200pF 电容器而没有电阻元件 (图 3.7)。电弧放电会有一个 $10 \sim 25\Omega$ 的电阻。衰减特征时间与以下电路时间相关:

$$\tau_{\text{MM}} = R_{\text{MM}} C_{\text{MM}}$$

其中 R 是电弧放电电阻, C 是带电电容。这是充电电源的特征时间。

图 3.8 显示了机器模型 (MM) 脉冲波形的一个例子。由于没有大电阻成分, MM 脉冲波形是一个在正向和

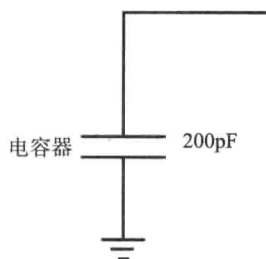


图 3.7 机器模型 (MM) 等效电路模型

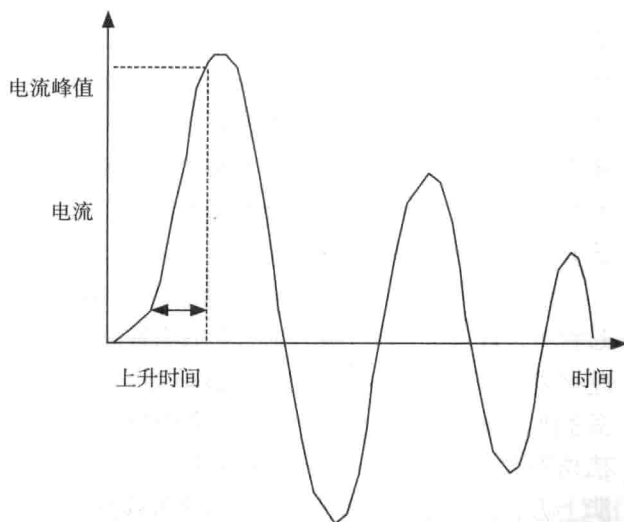


图 3.8 机器模型 (MM) 脉冲波形

负向之间进行的弱阻尼振荡。而且，MM 脉冲波形的峰值电流明显高于 HBM 脉冲波形。由于具有更高峰值电流和极性转换的特征，器件在 ESD 测试中更难以达到期望的规范要求。图 3.9 是一个自动化 MM ESD 测试仪的 MM 源。

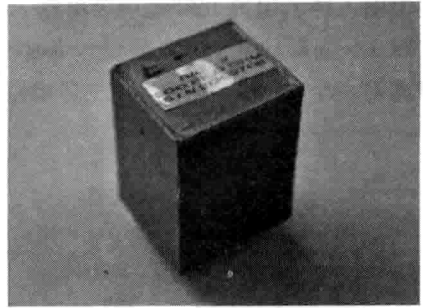


图 3.9 机器模型 (MM) 源

3.2.3 盒式模型

盒式模型 (Cassette Model, CM) 也称为充电盒式模型 (Charged Cassette Model, CCM) 或小电荷模型, 是与消费类电子产品相关的最新型模型。在消费类电子产品的很多应用中, 人们将小卡盘或盒带插入电子插座中。这在流行的电子游戏中很常见。因此, 游戏行业的公司关注盒式模型。当今电子世界中, 许多掌上电子器件须通过插座连接到系统中用于非无线应用。为了评估这类设备的电子安全性, 插座本身被假设为一个充电源。“盒式模型”假设为一个电容而忽略电阻。这个模型等效于带有较小电容元件的 MM 型电流源。这个模型假设为一个电弧放电电阻和一个 10pF 的电容^[10]。对 CCM 来说, 用户的目标要求约为 600V 。

3.2.4 充电器件模型

质量与可靠性团队希望将“充电器件模型”标准作为质量鉴定要求的一部分。设计团队由于不想冒险发布专用集成电路 (ASIC) 程序库, 因而拒绝这样做。质量与可靠性团队只好放弃争取。

用于质量鉴定的带有所有电路的鉴定测试装置是在日本制造、切割和包装的。当装置返回时, 四个引脚出现失效, 两个引脚在顶部两个引脚在底部。百分之一的硬件会有这种失效情况发生, 而由于缺乏硬件, 电路设计鉴定也失败了。两个顶部引脚和两个底部引脚都在生产员工的手指可触碰区域。

图 3.10 是 CDM 测试过程框图。在 CDM 过程中, 放置了一个半导体芯片, 其背面贴在绝缘表面。半导体芯片通过电场感应充电, 然后撤掉接地连接, 让芯片在绝缘表面处于充满电荷状态。再将一个放电尖端置于信号引脚上方, 向下接触引脚 (或键合区或焊锡球), 这样半导体芯片就会通过一个 1Ω 的电阻接地

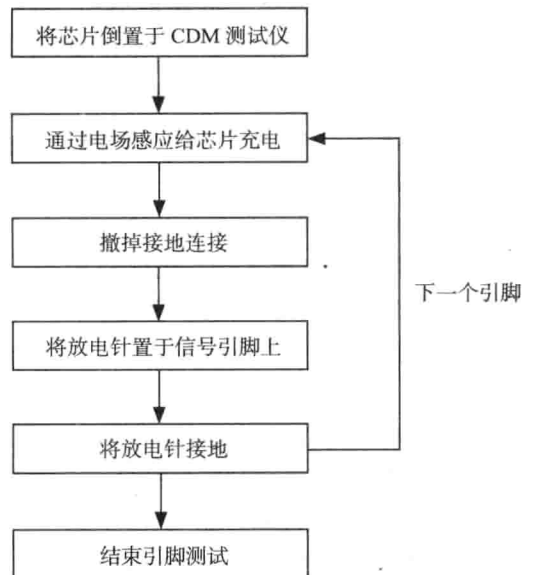


图 3.10 CDM 测试流程

放电。

图 3.11 是用于半导体芯片质量鉴定的商用 CDM 测试仪的一个例子，设计符合 CDM 测试标准。

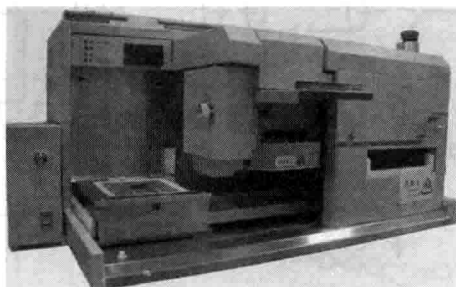


图 3.11 CDM 测试仪 . Hanwa 电子公司许可

3.2.5 传输线脉冲

传输线脉冲 (Transmission Line Pulse, TLP) 测试在 ESD 领域中显著增长^[41-44]。TLP 测试是用电压源为一根传输线电缆进行充电，然后 TLP 系统对被测器件 (Device Under Test, DUT) 释放脉冲。脉冲的特征时间与电缆的长度相关。传输线脉冲的脉冲宽度与传输线的长度及传播速度相关。

TLP 系统有不同的结构设计。TLP 系统的结构有：电流源、时域反射 (Time Domain Reflectometry, TDR)、时域传输 (Time Domain Transmission, TDT) 和时域反射及传输 (Time Domain Reflectometry and Transmission, TDRT)^[41]。在所有结构中，源都是传输线，它的特征时间常数取决于传输线电缆的长度。不同 TLP 结构影响系统的特征阻抗、被测器件位置以及发送信号或反射信号的测量。脉冲宽度如何选择取决于是将 TLP 测试作为 HBM 方法的等价还是替代方法。现在的标准实践是，选择 TLP 电缆长度以提供脉宽 100ns、上升时间小于 10ns 的 TLP 脉冲。图 3.12 是 TLP 波形的例子。

图 3.13 是时域反射 (TDR) 测试结构的 TLP 系统^[41-44]。在此结构中，有一个入射波和一个反射波。器件的吸收功率等于入射功率减去反射功率。通过入射波和反射波，可估算被测器件两端的电流和电压。

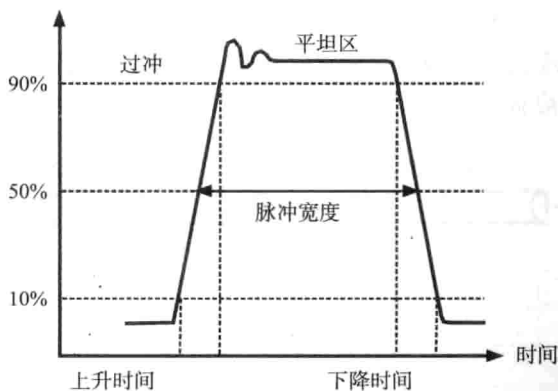


图 3.12 传输线脉冲模式 - 脉冲波形

图 3.14 是时域传输测试结构的 TLP 测试系统例子^[41-44]。在此结构中，有一个入射波和一个传输波。器件的吸收功率为入射功率减去传输功率。ESD 设计工程师主要对 TLP 的电

流-电压 (I-V) 脉冲波形感兴趣, 它通过在测试时提取被测器件 (DUT) 两端的电流和电压得到。

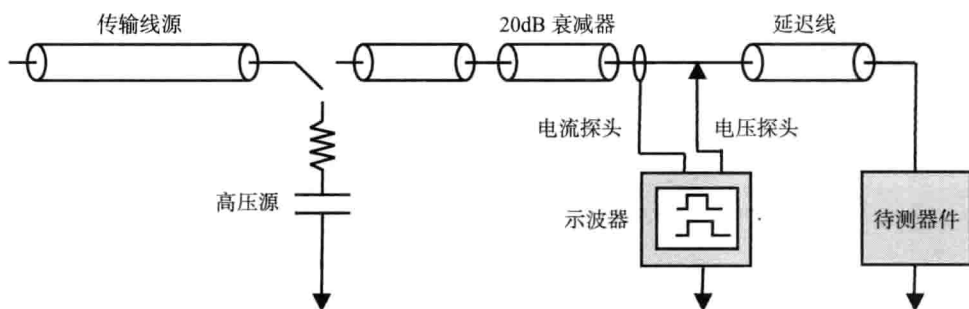


图 3.13 TLP 时域反射 (TDR) 测试结构

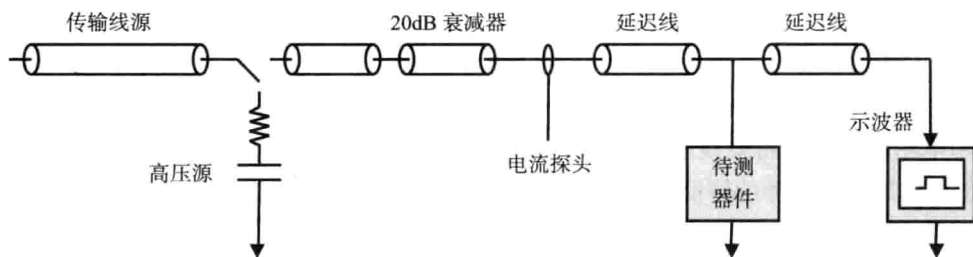


图 3.14 TLP 时域传输 (TDT) 测试结构

图 3.15 是时域反射和传输测试结构的 TLP 测试系统^[41-44]。在此结构中, 有一个入射波、一个反射波和一个发射波。器件的吸引功率等于入射功率减去传输功率再减去反射功率。

图 3.16 是 TLP 脉冲电流-电压 (I-V) 图。在此图中, 每个数据点代表施加于设备的一个独立脉冲, 脉冲宽度固定, 电流幅值增加。测量被测器件 (DUT) 两端的电压和电流, 构成脉冲 I-V 图。

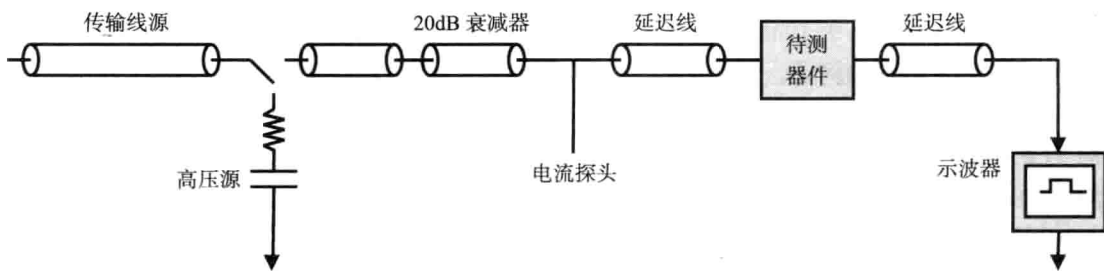


图 3.15 TLP 时域反射传输 (TDRT) 测试结构

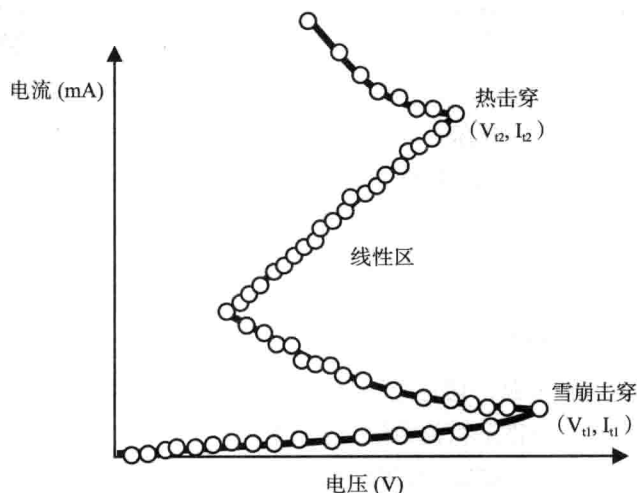


图 3.16 TLP 脉冲电流 - 电压 (I-V) 曲线

3.2.6 超快传输线脉冲

超快传输线脉冲 (Very Fast TLP, VF-TLP) 测试方法类似于 TLP 方法^[45-50]。关注 VF-TLP 是希望在接近于 CDM 时间常数的时间段内了解半导体器件的响应特性。其特征时间还是取决于传输线电缆源的传输特性及长度, 但 VF-TLP 的脉冲宽度小于 5ns, 上升时间小于 1ns。而这个时间量级远小于半导体中的热扩散时间常数。快速时间常数方法限制了 VF-TLP 系统的可接受结构, 以及适合于测量的设备。

3.3 过电应力

过电应力 (EOS) 对电子系统来说与半导体器件相关。EOS 事件是可观察到的电气条件分类之一。

EOS 事件可包括:

- 静电放电 (ESD)
- 雷击
- 系统瞬态
- 电磁脉冲 (Electromagnetic Pulse, EMP)
- 充电

ESD 属于过电应力 (EOS) 现象的一种。过电应力还可包括雷击、系统瞬态、电磁脉冲 (EMP) 和充电形式。充电会在很广的事件范围内发生, 包括芯片制造、产品组织、系统安装和实际应用。圆片级半导体充电发生的原因如下:

- 等离子电弧放电
- 半导体蚀刻
- 圆片切割
- 圆片运载装置（如盒子、托盘、运送车辆）

在封装前，半导体芯片能承受运输管道和托盘的充电效应。

本节的重点是半导体芯片、封装和系统中发生的与过电流和过电压事件相关的 EOS 事件。

3.3.1 EOS 来源——雷击

雷击是过电应力的一种来源，它是无线电通信和飞机关注的问题。业内使用的雷击或间接雷击效应标准有很多种。与雷击相关的标准举例如下：

- 航空无线电技术委员会 (RTCA)/DO-160E 第 22 部分
- 美国汽车工程师学会 (SAE) ARP5412
- 欧洲 (EURO) CAE/ED-14E
- 联邦航空局 (FAA) AC: 20-136
- SAE AE4L
- 美国军用规格 (MIL-STD)-1757

EOS 测试组合包括以下程序：

- 引脚注入
- 线缆注入
- 接地端注入

这些 EOS 标准针对不同形式的雷击事件：

- 单一雷击
- 多重雷击
- 多重爆发 (Multiple burst)

对于 EOS 测试组合，引脚注入、线缆注入或接地端注入可使用单一雷击、多重雷击或多重爆发事件。对于每一种情况，都有波形系列和测试等级 (Test Levels)。波形系列由特定波形组成。在上述标准中，对这些波形集和测试标准会有定义，如航空无线电技术委员会 (RTCA)/DO160E 第 22 部分。而欧洲标准 EUROCAE/ED-14D 与 RTCA DO 160 测试标准是一致的。

3.3.2 EOS 来源——电磁脉冲

电磁脉冲 (Electromagnetic Pulse, EMP) 事件是过电应力事件的一个来源。电磁脉冲 (EMP) 被定义为高幅值、单脉冲、短周期、宽频带的电磁能量脉冲。EMP 是由核装置爆炸导致的电磁效果。高空 EMP 的其他定义为 HEMP、HAEMP、HNEMP。

EMP 测试方法包括美军标 MIL-STD-461, 它提供了辐射 (RS105) 和传导测试方法 (CS116) 及测试等级, 以确定器件对 EMP 的抗干扰性; RS105 辐射测试方法关注在 EMP 事件中辐射暴露的危险; 此项测试适用于暴露或部分暴露环境安装在飞机、水面舰艇、潜水艇和地面车辆上的器件。CS116 耦合测试方法关注 EMP 耦合进互连线的效应。此项测试是为了确保设备对从电缆引入的阻尼正弦振荡瞬态波形的抗干扰性。测试适用于所有应用, 但对水下装置适用性有限。

美军标 MIL-STD-188-125 是为执行重要、紧急的指令控制、通信、计算和情报任务 (C4I) 的固定陆基设备制定的高空电磁脉冲 (High Altitude Electromagnetic Pulse, HAEMP) 强化保护的最低要求和设计目标。与美军标 MIL-STD-461 给出的方法相似, 此标准提供了辐射和传导两种测试方法及测试等级。

3.3.3 EOS 来源——机械装置

机械装置与其他设备包含同样的电源线, 也会成为过电应力的来源。水泵、马达和其他装置是大的感性负载, 会导致明显的瞬态效应, 以及负载与其他元器件的感性交互作用。同一电路和同一接地的电气部件会受机械装置开关的影响。

3.3.4 EOS 来源——配电装置

配电装置也可是过电应力 (EOS) 的一种来源。配电装置既有大电流、电浪涌, 也有其他形式的负载瞬变。在电气系统中, 加电和关电的时序会导致电流过载。时序问题会导致静电防护电路或片外驱动 (Off Chip Driver, OCD) 电路的正向偏压。即使在半导体芯片上, 功率晶体管的开关也会对同一衬底圆片上的低压和模拟电路产生影响。LDMOS 器件也容易由于同一电路区域的高电压和功率瞬变发生 EOS 失效。

3.3.5 EOS 来源——开关、继电器和线圈

开关、继电器和线圈也可是过电应力的来源。这些元器件可以是强瞬变电流、噪声和感性负载瞬变的来源。开关在“开”和“关”的过程中会引起强的电流瞬变。开关可以是 CMOS 电路, 或者开关结构中的功率 LDMOS 晶体管。继电器和线圈引入感性负载, 当流过这些元件的电流快速变化时会产生电压瞬变。

3.3.6 EOS 设计流程和产品定义

在抗 EOS 元器件的发展中, 设计流程会不同于标准产品设计流程。产品设计流程包括市场评估、确定规范、规定成本预算、成立设计团队和制定时间表。标准产品要执行标准测试要求和可靠性要求。图 3.17 显示了产品的标准设计流程。

抗 EOS 元器件需要更加综合的环境和技术规定。抗 EOS 元器件的设计流程考虑如下:

□ 市场定义

- 环境
- 应用特性和规格
- 应用和规格的技术符合性
- 技术选择和定义
- EOS 及 ESD 器件设计和定义

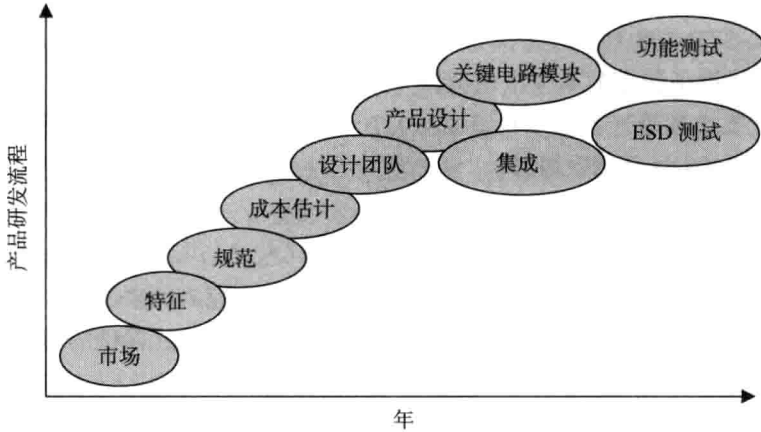


图 3.17 标准产品设计流程

抗 EOS 能力强的元器件需要明确市场定义。最重要的问题之一是要了解元器件将被放置的环境。图 3.18 是产品设计流程，在产品定义的初始阶段重点关注 EOS 环境。

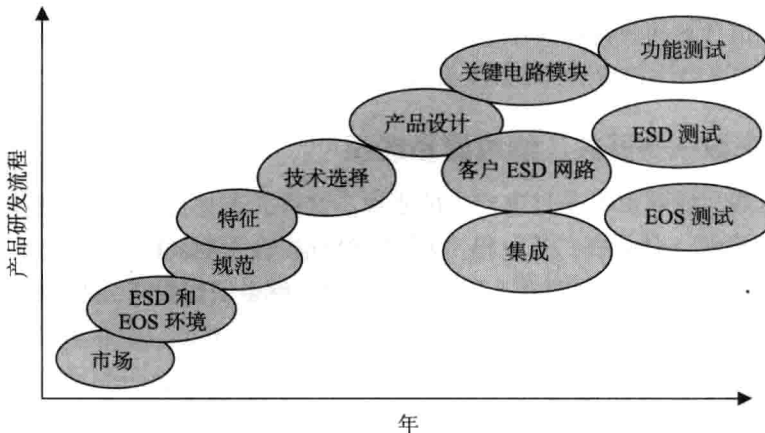


图 3.18 EOS 环境设计流程

3.3.7 EOS 来源——设计问题

许多过电应力 (EOS) 问题是在半导体器件、系统及集成的设计过程中产生的。EOS 来

源的设计问题举例如下(图 3.19):

- 半导体工艺和应用不匹配
- 印刷电路板(Printed Circuit Board, PCB)电感
- 印刷电路板(PCB)电阻
- 门锁敏感
- 安全工作区额定功率超限
- 安全工作区额定电压超限
- 安全工作区额定电流超限
- 安全工作区(电流变化率和电压变化率)瞬变

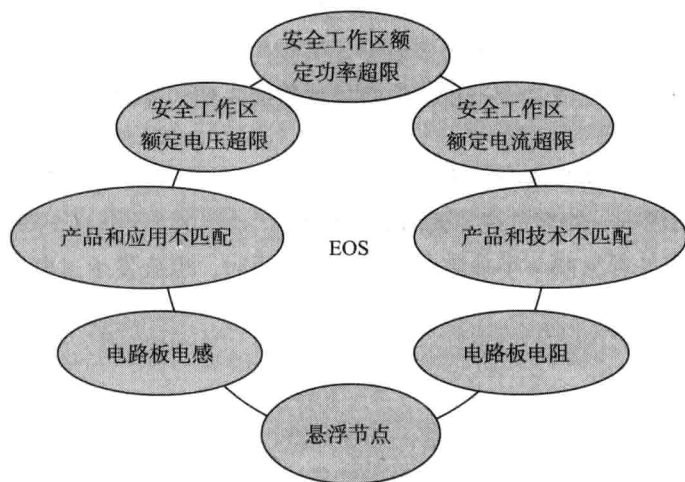


图 3.19 EOS 设计问题

3.3.8 EOS 失效机理

前面提到的问题中产生的相应 EOS 失效,可能是技术兼容性、电路板、负载或系统集成产生的。

1. EOS 失效机理——半导体工艺和应用不匹配

当半导体工艺与应用不匹配时,过电应力就会成为一个令人担心的问题。半导体行业的关键问题之一是半导体技术人员是否已为潜在客户考虑了特殊设计应用。常见的情况是芯片研发团队针对应用采用的技术不适用于半导体生产线。结果,半导体技术的高压特性对许多应用并不适合。

2. EOS 失效机理——键合引线失效

EOS 事件中,电流幅值超过引线可靠性,会导致键合引线失效。键合引线能承载的电流幅值在 1~1.5A 之间,电流幅值过高会发生引线失效。可能导致键合引线失效的原因如下:

- 元器件反向插入

- 过热或自发热
- 门锁
- 键合引线不满足瞬变功率要求
- 键合引线不匹配

元器件反向插入会导致键合引线失效，也会导致半导体单元的（不期望的）正向偏置或内部元器件单元的过电压。

内发热或过热会导致键合引线失效。功率器件可能会有明显的直流及瞬变焦耳热，这会严重影响键合引线的寿命。

CMOS 门锁效应会导致电流幅值超过键合引线的规范值。CMOS 门锁还会导致热奔事件和器件失效。电流过大会导致芯片失效、键合引线和封装失效。

在功率应用中，电源或接地会采用多根键合引线连接。多根键合引线情况下，如果存在阻抗不匹配，每根引线的电流会不一致。这将导致引线失配，而使其中一条引线的电流强度超标。

对器件进行 X 光分析可发现键合引线失效。

3. EOS 失效机理——外部负载导致的芯片失效

当没有预先考虑外部负载与半导体芯片的相互作用时，也会发生过电应力失效。外部负载是常见的问题，包括：

- 电容负载
- 感性负载

电容负载在器件加电和掉电过程中是一个令人担心的问题。

线性稳压器是一个例子。在调压应用中，如果在加电过程中输出电容过大，在充电电容的输出端就会出现浪涌电流。半导体上的大浪涌电流会导致半导体芯片的电源线、内部互联和键合引线失效。

对于感性负载，在芯片和外部感性负载之间会发生预期外的相互作用。感性负载可以是印刷电路板引入的，也可以是外部的电感负载。例如，RC 触发的 ESD 电源钳位电路会与感性负载相互作用，导致 RLC 响应，而不是预期的片上保护电路的 RC（电阻电容）响应。

4. EOS 失效机理——印刷电路板（PCB）至芯片的失效

半导体芯片作为独立器件测试过了电应力，并通过了半导体工厂的质量鉴定。当器件安放在印刷电路板上，板电容会和片外驱动器（OCD）产生“密勒电容”耦合，从而导致板卡失效和 EOS 事件。客户系统中的芯片有 4% 出现故障。

印刷电路板以及和板上芯片间的相互作用会产生过电应力（EOS）。此类问题如下：

- 印刷电路板（PCB）：印刷电路板的大电感。
- PCB 和芯片的相互作用：板卡导致信号引脚上电容增加。

5. EOS 失效机理——反向插入

反向插入会导致器件 EOS 失效。电路板上的半导体芯片如果 V_{DD} 和 V_{SS} 反向则会失效。

在 CMOS 工艺中, P 沟道 MOSFET 源极通常与 V_{DD} 电源连接, 而 N 沟道 MOSFET 源极通常与 V_{SS} 电源连接。如果芯片与预期应用的插入相反, 则 CMOS 逆向电路会导致大电流, 使键合引线失效。

3.4 电磁干扰

电磁干扰 (Electromagnetic Interference, EMI) 是既影响器件又影响系统的电磁现象^[81-103]。到目前为止, 电磁干扰对半导体器件内部还不是主要问题, 但可以预见的是随着器件规模从 μm 级向 nm 级逐渐缩小, 这个问题将变得越来越重要。当今 EMI 对无保护的器件是一个令人担心的问题, 如磁记录器件。电磁场会在磁阻 (Magnetoresistor, MR) 元件两端建立电压差而导致功能失效。随着规模从磁阻 (MR) 向巨磁阻 (Giant Magnetoresistor, GMR) 和隧道磁阻 (Tunneling Magnetoresistor, TMR) 发展, 器件对 EMI 越来越敏感。

在片上系统 (System On Chip, SOC) 应用中, 可以发现数字和模拟区域之间的信号线对 EMI 敏感。此外, 包含混合信号芯片 (如数字、模拟和射频) 的射频 (Radio Frequency, RF) 电路也会受到来自数字电路的 EMI 噪声的影响。消除这种影响的一项技术就是在射频电路周围设置 EMI 屏蔽。

3.5 电磁兼容

电磁兼容 (Electromagnetic Compatibility, EMC) 是与电子系统有关的问题^[81-103]。电子系统对来自外部电源、板卡电源、电路板或半导体芯片的噪声敏感。电磁兼容将在第 4 章中讨论。

3.6 闩锁

某公司首次开始做 CMOS 研发。尽管美国无线电公司 (RCA) 的“COSMOS”技术 (后被称为 CMOS) 原来是用于空间应用的, 但少数几个公司试图将这项新技术用于陆上应用。公司研究人员首次开发了一个既包含 P 沟道 MOSFET 器件又包含 N 沟道 MOSFET 器件的新技术。该项新技术的基本规则具有挑战性, 是一项具有竞争性的高集成度的技术。该技术被称为“里程碑式的技术”。但由于一再发生 CMOS 闩锁效应, 它从未实际投入生产。公司管理层说他们再也不会采用这项 CMOS 技术了!

半导体技术中的闩锁的发生是由于存在寄生的 PNP 和 NPN 双极型晶体管形成的 PNPN (如可控硅结构)。抗闩锁效应能力与 CMOS 与 BiCMOS 工艺中采用的半导体技术紧密相关。电、热和空间连接特性会影响半导体芯片的抗闩锁能力。在半导体芯片中的闩锁效应既可能是局部现象也可能是全芯片现象。键合区的电连接特性、电路和电路功能块都会影响半导体

芯片对门锁效应的抵抗能力而它们在芯片上的布局也会严重影响门锁效应的敏感度。与噪声一样，注入源和门锁敏感电路的相对布局对抗门锁能力很重要。类同于噪声问题，半导体工艺选择、半导体布局设计都会影响门锁效应敏感度。衬底接触、隔离结构和电路的相对布局会影响半导体芯片内的空间和电耦合。因此，空间和电的解决方案会影响噪声、门锁和静电保护。就像实际的 ESD 设计原则那样，门锁效应设计中的关键概念包括：

- 大电流高电压来源
- 涉及的寄生元件
- 保护环使用
- 电源和接地去耦

门锁效应在半导体芯片设计中是一个基本问题，除关注工艺和设计方案外，也和接地规则、校测系统以及验证相关^[8, 11]。图 3.20 点明了一些备受关注的门锁相互作用。

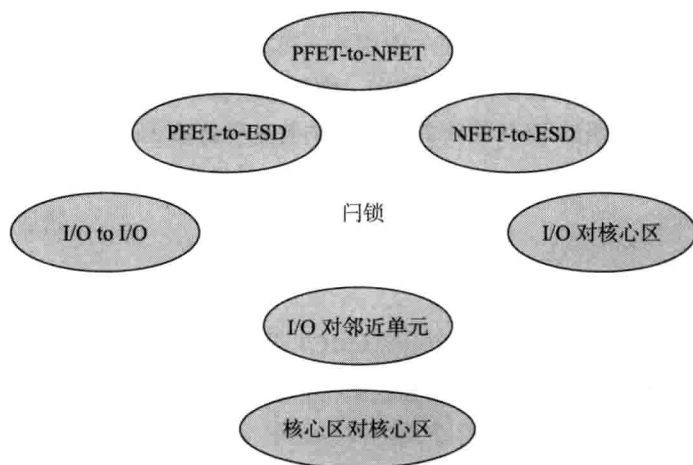


图 3.20 门锁设计问题

在早期的 CMOS 开发中，半导体芯片封装爆炸是应用问题的一个部分。管理人员之前从未见过这样的情况，于是他们建立了一个公司任务小组称为“爆炸塑料任务小组”；邀请了公司的各类专家，包括封装工程师、塑料工程师、键合、装配工程师，还有一个半导体器件工程师，他是 CMOS 门锁效应专家。

太空任务要求在星球探测器和地球间有高速通信。在执行任务时，单个重离子颗粒触发了“单粒子事件门锁效应（Single Event Latchup, SEL）”，幸运的是，系统中的备份冗余通信系统可用于继续执行太空任务。

3.7 本章小结

本章介绍了静电放电（ESD）、过电应力（EOS）、电磁干扰（EMI）、电磁兼容（EMC）和

闩锁效应。以上每个领域都有大量的出版物、文献和书籍。在我们的介绍中，提供了一些语言、术语和测试标准。

第4章将继续讨论系统的ESD和EMC问题。此后，将讨论如何从器件到系统解决这些问题。

参考文献

1. Dabral, S. and Maloney, T.J. (1998) *Basic ESD and I/O Design*, John Wiley and Sons Ltd., West Sussex.
2. Wang, A.Z.H. (2002) *On Chip ESD Protection for Integrated Circuits*, Kluwer Publications, New York.
3. Amerasekera, A. and Duvvury, C. (2002) *ESD in Silicon Integrated Circuits*, 2nd edn, John Wiley and Sons, Ltd., West Sussex.
4. Voldman, S. (2004) *ESD: Physics and Devices*, John Wiley and Sons, Ltd., Chichester, England.
5. Voldman, S. (2005) *ESD: Circuits and Devices*, John Wiley and Sons, Ltd., Chichester, England.
6. Voldman, S. (2006) *ESD: RF Circuits and Technology*, John Wiley and Sons, Ltd., Chichester, England.
7. Voldman, S. (2009) *ESD: Failure Mechanisms and Models*, John Wiley and Sons, Ltd., Chichester, England.
8. Voldman, S. (2007) *Latchup*, John Wiley and Sons, Ltd., Chichester, England.
9. Voldman, S. (2007) *ESD: Design and Synthesis*, John Wiley and Sons, Ltd., Chichester, England.
10. Voldman, S. (2008) *ESD: Circuits and Devices*, Publishing House of Electronic Industry (PHEI), Beijing, China.
11. Ker, M.D. and Hsu, S.F. (2009) *Transient Induced Latchup in CMOS Integrated Circuits*, John Wiley and Sons, Ltd., Singapore.
12. Mardiquan, M. (2009) *Electrostatic Discharge: Understand, Simulate, and Fix ESD Problems*, John Wiley and Sons, Co., New York.
13. Vashchenko, V. and Shibkov, A. (2010) *ESD Design in Analog Circuits*, Springer, New York.
14. Tasca, D.M. (1970) Pulse power failure modes in semiconductors. *IEEE Transactions on Nuclear Science*, **NS-17** (6), 346–372.
15. Wunsch, D.C. and Bell, R.R. (1968) Determination of threshold voltage levels of semiconductor diodes and transistors due to pulsed voltages. *IEEE Transactions on Nuclear Science*, **NS-15** (6), 244–259.
16. Smith, J.S. and Littau, W.R. (1981) Prediction of thin-film resistor burn-out. Proceedings of the Electrical Overstress and Electrostatic Discharge (EOS/ESD) Symposium, pp. 192–197.
17. Ash, M. (1983) Semiconductor junction non-linear failure power thresholds: Wunsch-Bell revisited. Proceedings of the Electrical Overstress and Electrostatic Discharge (EOS/ESD) Symposium, pp. 122–127.
18. Arkhipov, V.I., Astvatsaturyan, E.R., Godovosyn, V.I., and Rudenko, A.I. (1983) Plasma accelerator with closed electron drift. *International Journal of Electronics*, **55**, 135–145.
19. Vlasov, V.A. and Sinkevitch, V.F. (1971) *Elektronnaya Tekhnika*, (4), 68–75.
20. Dwyer, V.M., Franklin, A.J., and Campbell, D.S. (1989) Thermal failure in semiconductor devices. *Solid State Electronics*, vol. 33, 553–560.
21. Brown, W.D. (1972) Semiconductor device degradation by high amplitude current pulses. *IEEE Transactions on Nuclear Science*, **NS-19**, 68–75.

22. Alexander, D.R. and Enlow, E.W. (1981) Predicting lower bounds on failure power distributions of silicon npn transistors. *IEEE Transactions on Nuclear Science*, **NS-28** (6), 4305–4310.
23. Enlow, E.N. (1981) Determining an emitter-based failure threshold density of npn transistors. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 145–150.
24. Pierce, D. and Mason, R. (1982) A probabilistic estimator for bounding transistor emitter-based junction transient-induced failures. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 82–90.
25. Singh, R., Hareme, D., and Oprysko, M. (2004) *Silicon Germanium: Technology, Modeling and Design*, John Wiley and Sons.
26. Voldman, S. (1998) The state of the art of electrostatic discharge protection: Physics, technology, circuits, designs, simulation and scaling. Invited Talk, Bipolar/BiCMOS Circuits and Technology Meeting (BCTM) Symposium, pp. 19–31.
27. Voldman, S. (1998) The impact of MOSFET technology evolution and scaling on electrostatic discharge protection. *Journal of Microelectronics Reliability*, **38**, 1649–1668.
28. Voldman, S. (1999) The impact of technology evolution and scaling on electrostatic discharge (ESD) protection in high-pin-count high-performance microprocessors. Proceedings of the International Solid State Circuits Conference (ISSCC), Session 21, WA 21.4, February 1999, pp. 366–367.
29. Voldman, S. (1999) Electrostatic discharge (ESD) protection in silicon-on-insulator (SOI) CMOS technology with aluminium and copper interconnects in advanced microprocessor semiconductor chips. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 105–115.
30. Voldman, S., Hui, D., Warriner, L. *et al.* (1999) Electrostatic discharge protection in silicon-on-insulator technology. Proceedings of the IEEE International Silicon on Insulator (SOI) Conference, pp. 68–72.
31. Voldman, S. (Feb 25, 2003) Method for evaluating circuit design for ESD electrostatic discharge robustness U.S. Patent No. 6,526,548.
32. ANSI/ESD ESD-STM 5.1 – 2007 (2007) ESD Association Standard Test Method for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing - Human Body Model (HBM) Testing -Component Level. Standard Test Method (STM) document.
33. ANSI/ESD SP 5.1.2-2006 (2006) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items - Human Body Model (HBM) and Machine Model (MM) Alternative Test Method: Split Signal Pin-Component Level.
34. Meuse, T., Barrett, R., Bennett, D. *et al.* (2004) Formation and suppression of a newly discovered secondary EOS event in HBM test systems. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 141–145.
35. Ashton, R.A., Weir, B.E., Weiss, G., and Meuse, T. (2004) Voltages before and after HBM stress and their effect on dynamically triggered power supply clamps. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 153–159.
36. Barth, J. and Richner, J. (2005) Voltages before and after current in HBM testers and Real HBM. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 141–151.
37. Gaertner, R., Aburano, R., Brodbeck, T. *et al.* (2005) Partitioned HBM test – A new method to perform HBM test on complex tests. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 178–183.
38. Brodbeck, T. and Gaertner, R. (2005) Experience in HBM ESD testing of high pin count devices. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 184–189.
39. ANSI/ESD ESD-STM 5.2 – 1999 (1999) ESD Association Standard Test Method for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing - Machine Model (MM) Testing -Component Level. Standard Test Method (STM) document.

40. ANSI/ESD ESD-STM 5.3.1 – 1999 (1999) ESD Association Standard Test Method for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing – Charged Device Model (CDM) Testing -Component Level. Standard Test Method (STM) document.
41. Voldman, S., Ashton, R., Barth, J. *et al.* (2003) Standardization of the transmission line pulse (TLP) methodology for electrostatic discharge (ESD). Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 372–381.
42. ANSI/ESD Association ESD-SP 5.5.1-2004 (2004) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing – Transmission Line Pulse (TLP) Testing Component Level. Standard Practice (SP) document.
43. ANSI/ESD Association ESD-STM 5.5.1 -2008 (2008) ESD Association Standard Test Method for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing – Transmission Line Pulse (TLP) Testing Component Level. Standard Test Method (STM) document.
44. ANSI/ESD STM5.5.1-2008 (2008) Electrostatic Discharge Sensitivity Testing – Transmission Line Pulse (TLP) – Component Level.
45. ANSI/ESD STM5.5.2-2007 (2007) Electrostatic Discharge Sensitivity Testing - Very Fast Transmission Line Pulse (VF-TLP) - Component Level.
46. ESD Association ESD-SP 5.5.2 (2007) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing Very Fast Transmission Line Pulse (VF-TLP) Testing Component Level. Standard Practice (SP) document.
47. ANSI/ESD Association ESD-SP 5.5.2-2007 (2007) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing – Very Fast Transmission Line Pulse (VF-TLP) Testing Component Level. Standard Practice (SP) document.
48. ESD Association ESD-STM 5.5.2 (2009) ESD Association Standard Test Method for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing Very Fast Transmission Line Pulse (VF-TLP) Testing Component Level. Standard Test Method (STM) document.
49. Muhonen, K., Ashton, R., Barth, J. *et al.* (2008) VF-TLP round robin study, analysis, and results. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 40–49.
50. ANSI/ESD Association ESD-STM 5.5.1 -2008 (2008) ESD Association Standard Test Method for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing – Very Fast Transmission Line Pulse (VF-TLP) Testing Component Level. Standard Practice (SP) document.
51. Chen, T.W., Ito, C., Maloney, T. *et al.* (2007) Gate oxide reliability characterization in the 100 ps regime with ultra-fast transmission line pulsing system. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 16–21.
52. Intel Corporation (July 2001) Cable discharge event in local area network environment. White Paper, Order No: 249812-001.
53. Brooks, R. (March 2001) A simple model for the cable discharge event. *IEEE802.3 Cable-Discharge Ad-hoc Committee*.
54. Telecommunications Industry Association (TIA) (December 2002) Category 6 Cabling: Static discharge between LAN cabling and data terminal equipment, *Category 6 Consortium*.
55. Deatherage, J. and Jones, D. (2000) Multiple factors trigger discharge events in Ethernet LANs. *Electronic Design*, **48** (25), 111–116.
56. Stadler, W., Brodbeck, T., Gartner, R., and Gossner, H. (2006) Cable discharges into communication interfaces. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 144–151.
57. ESD Association DSP 14.1-2003 (2003) ESD Association Standard Practice for the Protection of

Electrostatic Discharge Sensitive Items – System Level Electrostatic Discharge Simulator Verification Standard Practice. Standard Practice (SP) document.

58. ESD Association DSP 14.3-2006 (2006) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items – System Level Cable Discharge Measurements Standard Practice. Standard Practice (SP) document.
59. ESD Association DSP 14.4-2007 (2007) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items – System Level Cable Discharge Test Standard Practice. Standard Practice (SP) document.
60. Geski, H. (September 2004) DVI compliant ESD protection to IEC 61000-4-2 level 4 standard. *Conformity*, pp. 12–17.
61. International Electro-technical Commission (IEC) IEC 61000-4-2 (2001) Electromagnetic Compatibility (EMC): Testing and Measurement Techniques – Electrostatic Discharge Immunity Test.
62. Grund, E., Muhonen, K., and Peachey, N. (2008) Delivering IEC 61000-4-2 current pulses through transmission lines at 100 and 330 ohm system impedances. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 132–141.
63. IEC 61000-4-2 (2008) Electromagnetic Compatibility (EMC) – Part 4-2: Testing and Measurement Techniques – Electrostatic Discharge Immunity Test.
64. Chundru, R., Pommerenke, D., Wang, K. *et al.* (2004) Characterization of human metal ESD reference discharge event and correlation of generator parameters to failure levels – Part I: Reference Event. *IEEE Transactions on Electromagnetic Compatibility*, **46** (4), 498–504.
65. Wang, K., Pommerenke, D., Chundru, R. *et al.* (2004) Characterization of human metal ESD reference discharge event and correlation of generator parameters to failure levels – Part II: Correlation of generator parameters to failure levels. *IEEE Transactions on Electromagnetic Compatibility*, **46** (4), 505–511.
66. ESD Association ESD-SP 5.6 -2008 (2008) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing – Human Metal Model (HMM) Testing Component Level. Standard Practice (SP) document.
67. ANSI/ESD SP5.6-2009 (2009) Electrostatic Discharge Sensitivity Testing - Human Metal Model (HMM) - Component Level.
68. Antognetti, P. (1986) *Power Integrated Circuits: Physics, Design, and Applications*, McGraw-Hill, New York.
69. Hower, P.L. and Govil, P.K. (1974) Comparison of one- and two-dimensional models of transistor thermal instability. *IEEE Transactions of Electron Devices*, **ED-21** (10), 617–623.
70. Hower, P., Lin, J., Haynie, S. *et al.* (1999) Safe operating area considerations in LDMOS transistor. International Symposium on Power Semiconductors and IC s (ISPSD), pp. 55–84.
71. Hower, P. and Pendeharker, S. (2005) Short and long-term safe operating area considerations in LDMOS transistors. Proceedings of the International Reliability Physics Symposium (IRPS), pp. 545–550.
72. Liou, J.J., Malobabic, S., Ellis, D.F. *et al.* (2009) Transient safe operating area (TSOA) definition for ESD applications. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 17–27.
73. Gray, P., Hurst, P., Lewis, S. and Meyer, R. (2009) *Analysis and Design of Analog Integrated Circuits*, 5th edn, John Wiley and Sons, Co., New York.
74. Sansen, W.M.C. (2006) *Analog Design Essentials*, Springer, Netherlands.
75. Hastings, A. (2006) *The Art of Analog Layout*, 2nd edn, Pearson Prentice Hall, New Jersey.
76. Ghandi, S.K. (1977) *Semiconductor Power Devices*, John Wiley & Sons, New York.
77. Antognetti, P. (1986) *Power Integrated Circuits: Physics, Design, and Applications*, McGraw-Hill, New York.
78. Baliga, B.J. (1988) *High Voltage Integrated Circuits*, IEEE Press, New York, N.Y.
79. Baliga, B.J. (1987) *Modern Power Devices*, John Wiley and Sons, Inc., New York, N.Y.
80. Vashchenko, V., Ter Beek, M., Kindt, W., and Hopper, P. (2004) ESD protection of high voltage

- tolerant pins in low voltage BiCMOS processes. Proceedings of the Bipolar Circuits Technology Meeting (BCTM), pp. 277–280.
81. Jowett, C.E. (1976) *Electrostatics in the Electronic Environment*, Halsted Press, New York.
 82. Lewis, W.H. (1995) *Handbook on Electromagnetic Compatibility*, Academic Press, New York.
 83. Morrison, R. and Lewis, W.H. (1990) *Grounding and Shielding in Facilities*, John Wiley and Sons Inc., New York.
 84. Paul, C.R. (2006) *Introduction to Electromagnetic Compatibility*, John Wiley and Sons Inc., New York.
 85. Morrison, R. and Lewis, W.H. (2007) *Grounding and Shielding*, John Wiley and Sons Inc., New York.
 86. Ott, H.W. (2009) *Electromagnetic Compatibility Engineering*, John Wiley and Sons Inc., Hoboken, New Jersey.
 87. Ott, H.W. (1985) Controlling EMI by proper printed wiring board layout. Sixth Symposium on EMC, Zurich, Switzerland.
 88. ANSI C63.4-1992 (July 17 1992) *Methods of Measurement of Radio-Noise Emissions from Low-Voltage Electrical and Electronic Equipment in the Range of 9 kHz to 40 GHz*, IEEE.
 89. EN 61000-3-2 (2006) *Electromagnetic Compatibility (EMC) – Part 3-2: Limits-Limits for Harmonic Current Emissions (Equipment Input Current < 16 A Per Phase)*, CENELEC.
 90. EN 61000-3-3 (2006) *Electromagnetic Compatibility (EMC) – Part 3-3: Limits-Limitation of Voltage Changes, Voltage Fluctuations and Flicker in Public Low-Voltage Supply Systems for Equipment with Rated Current < 16A Per Phase and Not Subject to Conditional Connection*, CENELEC.
 91. EN 61000-4-2 (2001) *Electromagnetic Compatibility (EMC) – Part 4-2: Testing and Measurement Techniques – Electrostatic Discharge Immunity Test*.
 92. MDS MDS-201-0004 (October 1 1979) *Electromagnetic Compatibility Standards for Medical Devices*, U.S. Department of Health Education and Welfare, Food and Drug Administration.
 93. MIL-STD-461E (August 20 1999) Requirements for the Control of Electromagnetic Interference Characteristics of Subsystems and Equipment.
 94. RTCA RTCA/DO-160E (December 7 2004) *Environmental Conditions and Test Procedures for Airborne Equipment*, Radio Technical Commission for Aeronautics (RTCA).
 95. SAE SAE J551 (June 1996) *Performance Levels and Methods of Measurement of Electromagnetic Compatibility of Vehicles and Devices (60 Hz to 18 GHz)*, Society of Automotive Engineers.
 96. SAE SAE J1113 (June 1995) *Electromagnetic Compatibility Measurement Procedure for Vehicle Component (Except Aircraft) (60 Hz to 18 GHz)*, Society of Automotive Engineers.
 97. Wall, A. (2004) Historical Perspective of the FCC Rules for Digital Devices and a Look to the Future. IEEE International Symposium on Electromagnetic Compatibility, August 9–13, 2004.
 98. Denny, H.W. (1983) *Grounding For the Control of EMI*, Don White Consultants, Gainesville, VA.
 99. Boxleitner, W. (1989) *Electrostatic Discharge and Electronic Equipment*, IEEE Press, New York.
 100. Gerke, D.D. and Kimmel, W.D. (March/April 1986) Designing noise tolerance into microprocessor systems. *EMC Technology*.
 101. Kimmel, W.D. and Gerke, D.D. (September 1993) Three keys to ESD system design. *EMC Test and Design*.
 102. Violette, J.L.N. (May/June 1986) ESD case history – Immunizing a desktop business machine. *EMC Technology*.
 103. Wong, S.W. (May/June 1984) ESD design maturity test for a desktop digital system. *Evaluation Engineering*.
 104. Voldman, S., Never, J., Holmes, S., and Adkisson, J. (1996) Linewidth control effects on MOSFET ESD robustness. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 101–109.

第 4 章

系统级 ESD

一天，在服务器部门工作的暑期一位实习生未经放电就将电缆插入了服务器。电缆在连接服务器前往往需要向系统底座进行放电处理。于是，电缆放电所产生的脉冲首先进入了第一个半导体器件的信号引脚。这种脉冲为负极性脉冲，它通过半导体芯片内部的 n 阱二极管向衬底 ESD 二极管放电。由于电路设计者和 ESD 工程师均忘记了在 n 阱二极管周围放置保护环，而 I/O 标准单元电路的保护环尺寸太小、电阻太大，难以吸收电缆放电所产生的高电流，因此，放电脉冲随后传输到了附近的低压 CMOS 电路，产生闩锁效应。闩锁事件在半导体芯片内部发生，产生过电流，导致半导体芯片封装熔化。服务器冒出黑烟，大楼火灾探测器发出警报并打开了消防系统喷水装置。当地消防部门也派出消防车过来帮忙。

4.1 系统级测试

系统级测试在系统认证中起着重要的作用，它可以评价系统的电磁兼容 (EMC)、电磁干扰 (EMI) 敏感度以及对不同过电应力 (EOS) 源的敏感度。本章将讨论系统级 ESD、EOS、闩锁效应、电磁干扰和电磁兼容等问题的应用现状及其前景。

本章还将简要讨论服务器、笔记本电脑、便携设备、移动电话、磁盘驱动器、数码相机、汽车以及空间应用中的静电问题，使读者明白在当前电子环境中广泛存在着的静电问题。

过去，系统级测试与元器件级测试存在很大区别，但如今在某些领域，两者已趋向一致。在本章中，我们将讨论系统级测试和元器件级测试之间的区别及其相同 (或交互) 之处。本章将讨论 ESD^[1-9] 和闩锁效应^[7, 8] 在系统中所表现出来的问题。系统级和“类系统级” ESD 规范，如 IEC61000-4-2^[10-13]、人体金属模型 (Human Metal Model, HMM)^[14-17] 和电缆放电^[18-25]，将结合相关产品和系统来进行讨论。EMC 和 EMI 将结合目前的产品应用来进行讨论。

4.1.1 系统级测试目标

系统级测试有其基本的性能目标和判据标准。产品制造商必须遵循以下要求：

- 过程无性能退化或功能失效
- 性能退化程度应在制造商规定范围之内
- 仅允许有可自行恢复或由操作员恢复的暂时性功能失效
- 安装或装配过程无故障或系统紊乱

系统级敏感度评价需考虑测试过程系统运行失常。在系统级测试中，系统元器件出现破坏性失效或性能永久性退化并不是必要条件。系统级测试的关键首先在于确定测试过程中系统的运行功能，其次则要求测试系统处于加电状态（即开机状态）。

4.1.2 系统级与元器件级测试失效判据的区别

系统级敏感度与元器件级失效的判据有很大区别，原因之一是两者的测试目标不同。在本节中，我们将主要关注它们之间的重要区别（图 4.1）。

- 加电与不加电
- 破坏性与非破坏性测试

在系统测试中，系统在整个测试过程均需要加电；而在半导体器件测试中，器件并不加电。半导体器件测试是否需要连接到插座取决于测试本身的要求。

在系统测试中，系统在测试中和测试后均需要进行评估。系统制造商进行的系统测试必须在测试过程中验证设备或元器件功能正常。半导体制造商所进行的元器件 ESD 测试则是为了确保设备在经历操作过程可能发生的 ESD 事件之后仍然运行正常。

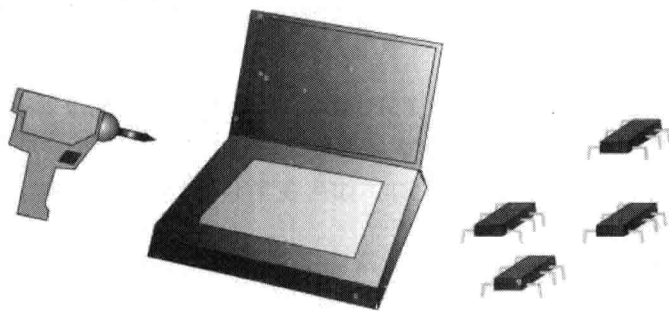


图 4.1 系统与元器件

半导体器件级测试以破坏性失效测试为目的，以便了解器件交付系统制造商之前在处理过程中的承受能力。器件处理过程与半导体器件级 ESD 测试有关，例如人体模型（HBM）、机器模型（MM）和放电器件模型（CDM）。半导体器件级测试有时会测试元器件某特定退化水平，该特定退化水平属于半导体芯片电气标准的一部分。例如，晶体管的电参数可能随着 ESD 测试而发生变化，以致不再满足产品的规范要求。

从上述讨论中可以看出，系统级与元器件级测试目标显然不一致。

4.2 系统与芯片何时相互影响

在系统测试中，系统与元器件相互影响，然而，系统级与元器件级测试的目标并不一致。

首先，由于目标的差异与不同，系统级性能和元器件级评价之间存在难以调和的差距。元器件级测试与元器件在处理过程中的 ESD 容忍度有关，然而芯片在 ESD 测试中的容忍度并不等同于它在系统中的敏感度（图 4.2）。

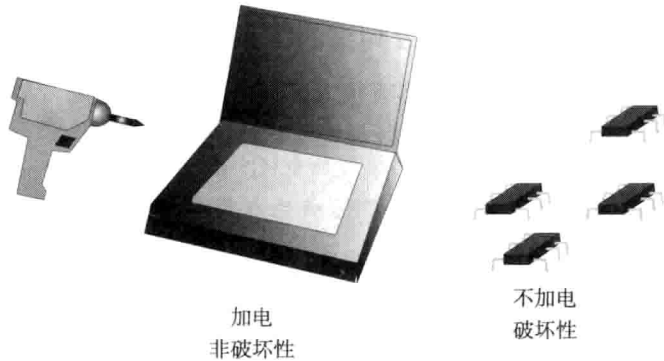


图 4.2 元器件级混乱是系统级混乱

其次，系统级性能和敏感度受到元器件敏感度的影响。如果它们彼此独立，那么就不会存在这个问题；然而，事实上正是元器件问题引起了系统级失效。

这就带来了以下问题：

- 如果元器件销售商仅对器件进行 ESD 测试，那么如何对系统级敏感度进行量化？
- 如何在半导体 ESD 健壮性与系统级敏感度之间建立联系？
- 当元器件与系统失效判据不一致时，如何在半导体器件 ESD 健壮性与系统级敏感度之间建立联系？

当前业界的解决方法倾向于将“类系统”测试应用于半导体芯片器件的测试，包括以下几种：

- 电缆放电事件（Cable Discharge Event, CDE）
- 带电板事件（Charged Board Event, CBE）
- IEC61000-4-2 系统脉冲
- 人体金属模型（Human Metal Model, HMM）

这些“系统”测试和“类系统”测试将在后续小节中进一步讨论。

4.3 ESD 和系统级失效

在元器件 ESD 测试中，失效判据是元器件损伤或物理性改变。物理性改变通常是指泄

漏或参数变化。这些 ESD 失效常发生于信号引脚处的电路（即接收器和片外驱动器），或者 ESD 网络。但对于系统级失效，ESD 电流本身（非破坏性）可扰乱或中断系统运行。图 4.3 为具有不同封装结构的各类器件。

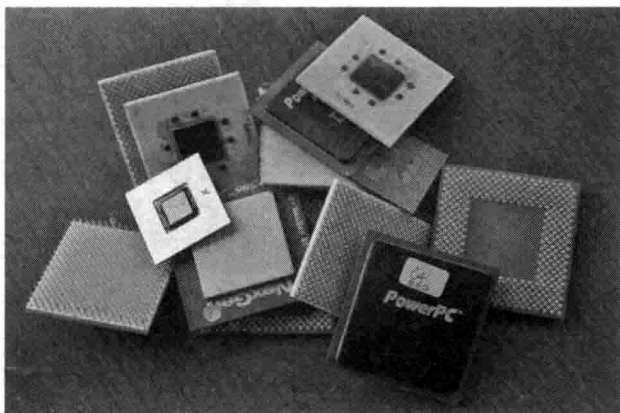


图 4.3 封装的器件

4.3.1 ESD 电流和系统级失效

ESD 电流的释放会有以下情况：

- 接地层注入：通过屏蔽层和接地连接器外壳直接引入地面；
- 通过 ESD 防护网引入地面：通过片上或片外 ESD 防护器件按预设的 ESD 电流通路向地面分流；
- 引入信号通路：直接进入信号通路或未保护电路。

在第一种情况下，电流通过连接器或屏蔽层流入地面，ESD 电流在屏蔽层和地之间传入系统。

在第二种情况下，ESD 电流通过片上 ESD 防护电路流入地面，或通过片外 ESD 防护电路分流到地面。片上防护电路与半导体芯片键合点和电路集成在一起，片外保护电路安装在卡上或者板上并连接到信号引脚和地面。

对于第三种情况，电流直接进入信号通路，然后经信号通路电路流回地面。

4.3.2 ESD 感应电场 / 感应磁场和系统级失效

当 ESD 电流流过防护电路电流回路时，它本身就可能成为系统级失效源。ESD 电流流过元器件或半导体芯片、电路板或其他系统元器件时，可能导致系统紊乱。ESD 电流将在系统中诱发产生感应电场（E）和磁场（H）（图 4.4）。电场和磁场经感生、辐射和传播之后，被电路板、封装和元器件所吸收。这些 ESD 诱导产生的电场和磁场可引发半导体器件故障。在某些情况下，ESD 电流进入未加防护的器件则更可能引发硬失效而不是系统紊乱。



图 4.4 感应磁场

4.4 电子系统

电子系统包含分立电子元器件、封装的半导体集成电路芯片、卡、板、底座和外部组件。电子系统中每个组件都可能受到 EOS、ESD 和 EMI 的影响。电磁兼容 (EMC) 也是电子组装系统需关注的问题。

4.4.1 卡和板

电子系统中分立组件与集成半导体芯片均安装于卡和板之上。这些器件均具有电阻、电感和电容。当它们独立于组装系统之外时，则极易受到电流源、电压源和静电充电的损伤。

在充电的情况下，器件既存在内部电容，也存在相对于地平面（或桌面）的电容。假设器件置于某外部电场中，那么连接到该器件的组件就可能带电。器件连接到某电压源时也可能带电。在“带电器件模型”中，器件首先通过外部连接电压源而带电。电压源移除之后，带电器件仍将保持电荷。器件越大，电容越大，储存电荷就越多。当外部接地端连接到任意信号引脚时，半导体器件内部的电荷就会流向接地信号引脚。

通过卡或板的引入，元器件和卡板集成体与地面之间将形成更大的电容。在相同充电条件下，卡-芯片作为整体将储存更多的电荷。此时，当卡板上某通道接地后，电流将经过整个组件流向地面。

4.4.2 系统机架和屏蔽

在系统设计中，系统机架或屏蔽壳用于屏蔽电磁干扰与噪声干扰。ESD 电流本身能引起系统失效（非破坏性），可扰乱或中断系统运行。ESD 电流可以通过屏蔽壳体、接地连接器外壳或其他屏蔽物直接流入地面。

在非接触式电事件中，放电电流能产生电弧。放电源与受体系统之间的电弧既产生电流，也产生电场和磁场。一些能量存在于电流之中，另一些能量则包含在电磁场中。系统机架和屏蔽壳体即用于阻挡电子系统外的电磁场。

4.5 当前的系统级问题

当前，随着系统日新月异，ESD、EOS、EMI 和 EMC 问题也随之发生变化。在深入讨论之前，有必要对各种不同系统进行简要介绍，以将上述问题与现实联系起来。

4.5.1 便携系统

如今，便携系统的数量相对于几十年前出现了极大的增长。便携设备从电子游戏机、USB 记忆棒、移动电话、iShuffles、iPod 发展到 iPad (图 4.5)。系统规模也从占据整个楼层的“大铁块”计算机发展为小型电子元器件。早期大系统的交互界面由计算机操作员和控制程序完成。过去，电子计算机是唯一的电子系统。而现在，便携电子系统已从“掌上”游戏和电子游戏发展到了多种电子设备。



图 4.5 便携设备

人机交互界面也从键盘发展到新型“触摸”技术。早期的交互界面为按键和键盘，而现在的交互界面则是触摸屏和电子连接端口。

4.5.2 移动电话

在 20 世纪 90 年代中期移动电话的早期发展中，第一代移动电话大而笨重，其按键类似于标准台式电话机按键。这些按键可能成为电磁干扰 (EMI) 和静电放电的暴露点。与今天的庞大数量相比，那时移动电话数量还较少。

现代的移动电话已快速转向了微小型系统，它们可以放在衬衣口袋、裤袋或钱包之中。未来的移动电话将继续向小型化发展。现代移动电话主要有两类：标准蜂窝式电话和智能电话。

现代小型移动电话仍然有键盘、按键和端口，ESD 仍可通过它们进入电话系统。ESD 事件发生于移动电话暴露端口是目前面临的问题之一。移动电话天线连接于用于信号传输的砷化镓功率放大器上，电磁信号和 ESD 事件可能在天线连接端口发生。电流通过端口进入移动电话，导致其内部 GaAs 双极晶体管失效。图 4.6 和 4.7 显示了移动电话内部半导体器件 ESD 失效的情况。

砷化镓

DCS 模式: $6\ \mu\text{m}$ $900\ \Omega$ 电阻

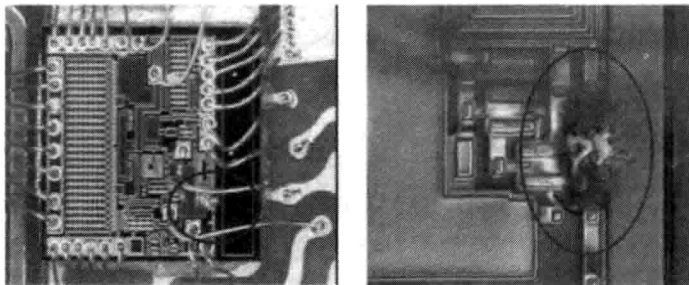


图 4.6 移动电话内部 GaAs 半导体芯片 ESD 失效

砷化镓

GSM 模式: $6\ \mu\text{m}$ $2000\ \Omega$ 电阻

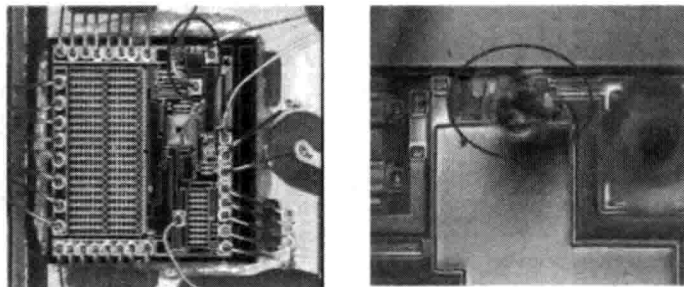


图 4.7 移动电话内部 GaAs 半导体芯片 ESD 失效。(ESD 协会授权)

今天, 移动电话转向智能电话技术。智能手机按键与键盘采用现代“触摸”技术。这种“触摸”技术没有按键开口, 人机交互通过触摸屏完成。智能手机端口虽然仍暴露在外, 但外露端口数已大为减少。计算机与电源连接器设计避免了电在连接到地和电源引脚之前连接到信号引脚上。

将来, 预计“非接触技术”将代替触摸技术, 那时, 直接的人机交互将减小带电风险。

4.5.3 服务器和电缆

不久前, 大系统连接到“虚拟终端”并采用集成式计算方式。那时候, 大系统的系统集成有专门的操作程序。机器安装之后, 需按照电气程序来连接和断开电缆。在电缆插入系统之前, 通过“触摸板”对电缆进行放电是操作惯例。该操作程序中, 操作员手持电缆, 通过“触摸板”进行电缆放电和自身放电。“触摸板”将 ESD 电流引向系统地面从而避免了电流进入系统内部。由于当时各个大系统计算机成本均达上千万美元, 因此, 操作人员均需进行相关培训以严格遵循上述操作程序。

4.5.4 笔记本电脑和电缆

随着大系统向小型服务器发展以及台式机、笔记本电脑和其他小型计算机系统的出现，对电缆插入和系统级操作规程进行掌控已不再可能。现代笔记本电脑仍有外露端口，它们也是 ESD 失效发生之处。

ESD、EOS 和 EMI 均可通过屏幕、键盘和端口进入到现代笔记本电脑的系统之中。笔记本电脑测试源于 IEC61000-4-2 系统测试。连接 USB 与电缆的笔记本接口是其重点关注的对象(图 4.8)。

USB 设备是一种潜在的充电源，USB 设备插入计算机前，人体和 USB 盘本身就可能使其带电。今天，USB 盘在系统与系统之间转移，但却从未考虑其充电和放电过程。

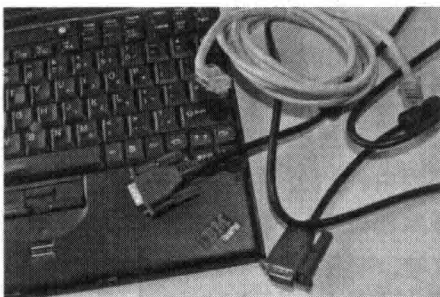


图 4.8 笔记本电脑和线缆

4.5.5 磁盘驱动器

在磁盘驱动器产业中，记录磁头易受到静电放电 (ESD)、电磁干扰 (EMI) 以及电磁兼容 (EMC) 问题带来的损伤(图 4.9)。

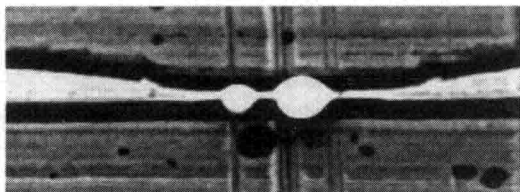


图 4.9 磁盘驱动器中的 ESD 失效

磁阻技术用于探测磁盘上的信号。磁阻技术并不为记录磁头的“读”、“写”操作提供 ESD 解决方案。

在生产线上，记录磁头对生产环境中的 EMI 噪声较为敏感。当电磁场感生电压超过磁阻条失效电压时，记录磁头就会失效。磁头失效时的感生电压如下：磁阻磁头 2V，巨磁阻 (GMR) 磁头 1V，隧道磁阻 (TMR) 磁头 0.5V。

由于 ESD 敏感性，清洗操作和运输过程也会导致磁头失效。由电荷引起的 ESD 失效机理包括磁头损坏、磁条损坏、磁条到屏蔽壳之间的击穿、感应器写磁头失效、感应器到磁轭之间的击穿以及写磁头到衬底之间的击穿。

ESD 失效也会导致记录磁头磁特性改变。ESD 电流引起磁条自热以及感应差动电压与磁场响应关系变化。ESD 失效也会诱发磁阻条的电阻变化，导致其功能失效。

记录磁头运行时常安装于电枢结构之上。此时，电枢上的 EOS 和 ESD 事件可以传播到电枢组件。脉冲通过前置放大器芯片和小型线连接器到达磁头。在此过程中，脉冲波形虽已

发生改变，但仍能导致 ESD 失效。

ESD 变化同样影响硬盘驱动器安装之后的运行。由于磁条必须掠过磁盘表面，因此，即使磁条的几何外形发生改变，也会影响到磁头的气动飞行特征。

4.5.6 数码相机

早期相机由柯达箱式照相机（图 4.10）组成。图 4.10 所示为柯达“布朗尼”相机。最早的照相机将胶卷装于卷盘上，通过机械卷片钮旋转卷盘。快门采用机械式快门。胶卷由柯达公司事先放入照相机中，人们拍摄照片之后，将照相机送回柯达公司，柯达公司冲洗出照片，并装入新胶卷。

随着照相机的发展，相机中使用的电子器件数量大为增加。技术上的进步包括使用电子快门和采用驱动马达旋转胶卷。为满足摄影师的需求，单镜反光（Single Lens Reflex, SLR）相机中逐渐加入了更多的电子元器件，但当时单反相机仍然使用胶卷。随着数码相机的发展，相机的机械机构特征减少，而电子元器件数量则大为增加。数码相机采用 CMOS 图像处理半导体芯片来捕获图像，然后将之存储于储存芯片中。

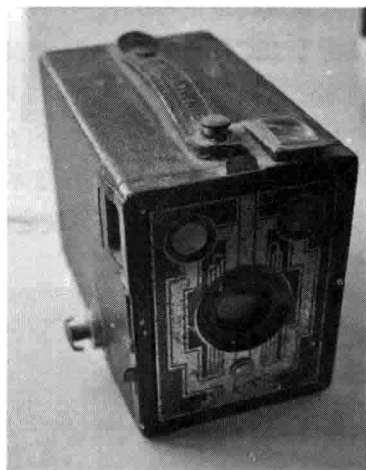


图 4.10 早期的柯达照相机

为避免对照相机和存储卡电路造成电冲击，相机与存储卡的电源启动顺序非常重要。在照相机使用说明书中有以下警告：

- ❑ 插拔存储卡前请关闭电源。
- ❑ 当格式化存储卡以及记录、删除数据或将数据拷贝到计算机时，请不要从相机中移除存储卡、关闭相机或拔掉或断开电源。
- ❑ 忽视上述警告将导致数据丢失或相机及卡的损伤。
- ❑ 请勿用手指或金属体接触卡终端。

照相机中的储存图像可传输到打印机或计算机。我的数码单反相机有三个数据传输接口：一个辅助终端，一个 USB 接口和一个迷你 HDMI 接口。将数码相机、计算机和打印机连为一体时，相机与计算机的启动顺序对于 I/O 电路和电缆的剩余电荷放电十分重要。下面所列即为连接顺序实例：

- ❑ 关闭照相机。
- ❑ 打开计算机。
- ❑ 连接 USB 电缆。
- ❑ 打开照相机。
- ❑ 传输照片。

□ 关闭照相机，拔掉 USB 电缆。

照相机说明书上的警告如下：

□ 连接或断开连接电缆时请确认相机处于关闭状态。

□ 数据传输过程中请勿关闭相机或断开 USB 电缆。

随着智能手机相机的出现，人们对照相机的关注将会减少。在智能手机中，存储卡本身集成于手机之中。智能手机和计算机之间的电缆连接顺序并无严格要求。因此，在现代智能手机中，一些与存储卡插入以及处理、连接顺序和外露端静电放电有关的问题已得到有效解决。

4.6 汽车、ESD、EOS 和 EMI

静电放电（ESD）、过电应力（EOS）和电磁干扰（EMI）问题是汽车业重点关注的问题。对于高压混合动力车和电动汽车来说，行业关注的关键点在于点火系统、电子踏板系统和油箱着火。

4.6.1 汽车和 ESD——点火系统

汽车点火系统对 ESD 较为敏感。进入汽车时，人体可能因摩擦而带电。若座位材料非静电耗散材料，那么当司机将车钥匙插入点火系统时，高电流火花就会进入点火系统。这在容易产生摩擦起电的干冷地区尤需注意。ESD 脉冲进入点火电路将导致故障或点火系统失效。

4.6.2 汽车和 EMI——电子脚踏装置

在汽车中，气动踏板是一种机械系统，其运行与司机施加在踏板上的压力有关。随着时间的推移，这些系统发展成为电气系统。一个需要考虑的问题是，在汽车引擎罩下，其他子系统产生的电磁干扰（EMI）噪声可能导致系统的故障。因此，汽车中各子系统之间的 EMI 噪声隔离十分重要。当汽车引擎罩中加入更多电子器件时，EMI 和 EMC 问题的发生将会更加频繁。

4.6.3 汽车和油箱起火

在汽车中，由静电放电引起的油箱起火同样是值得关注的问题。在干冷环境中，起电过程将导致油箱起火。在汽油加入到油箱中时，其携带的大量带电离子也随之流入到汽车油箱之中，这些带电离子向油箱壁发生迁移，使汽车带电。而汽车橡胶轮胎的绝缘特性将使汽车继续携带这些电荷。

在寒冷天气，驾驶员并不愿意待在车外的寒冷环境中，因此他会返回车内，坐在座位上。同时，随着汽油泵入油箱，油气烟雾将随汽油的泵入而流出。当驾驶员从油箱移除油泵把手时，汽车和油泵金属把手之间将会产生电火花。电火花能够引燃流出油箱的油气烟雾，

并引发火灾。

今天，当你去加油站时，会看到油泵上面贴着的防静电警告（图 4.11）。为避免发生问题，在加油过程中人们可以站在汽车外面。其次，若将手放于汽车之上，人体就会形成流回地面的电阻通路，将汽车电荷耗散掉。第三，你也可以在操作油泵手柄前把自己对汽车接地。图 4.11 即为汽车加油警告，上面分别列出了错误的操作流程和正确的操作流程。

4.6.4 混合动力汽车和电动汽车

随着混合动力汽车和电动汽车的出现，汽车内部高压电子器件数增多，汽车所需电压也随之增加。在这些电子系统中，分立器件或集成电路的 ESD 健壮性增强。随着车辆功率的提高，大功率高压系统开始引入汽车中。这种系统由高压元器件、成行导线和专用安全装置构成。

在混合动力汽车中，高压系统与其他子系统互相隔离。高压系统的位置是隔离的，电池箱同样如此。高压系统采用保险丝来进行隔离。高压电缆采用橙色标记。高压系统须考虑以下几点：

- ❑ 与 EMC/EMI 和安全性（例如 EN61508）相关的法律要求
- ❑ 相关规范（ISO、DIN、SAE 和 GB）
- ❑ 特定技术问题例如“电弧”

在这些高压系统中，高压电源、DC/DC 转换器、继电器、保险丝、屏蔽 / 高压电缆、绝缘体和成行导线的设计都是高压子系统的一部分。

在遇到紧急情况时，第一反应应为拔掉车钥匙、断开车辆 12V 电池供电。在混合动力汽车上这样做将停止其高压控制器。此外，可使用大量的水来扑灭混合动力汽车火灾，这既能消除辐射热，也能降低混合动力汽车的金属电池箱和电池堆塑料单元的温度。

4.6.5 未来的汽车

将来，随着混合动力和电动汽车的发展，汽车中电子器件将会越来越多。因此，ESD、EOS、EMI 和 EMC 对于汽车子系统和所有子系统之间的电气隔离十分重要。在不久的将来，用作碰撞防护的 77GHz 汽车雷达以及安全装置例如安全气囊将引入到汽车中。供电站将为汽车电池提供充电。可以预期的是，为满足目前的安全标准，汽车业仍有大量工作有待完成。



图 4.11 油泵的 ESD 警告

4.7 航空航天应用

在航空航天工业中,ESD、EOS、门锁、EMI 和 EMC 对于飞机、飞船和卫星都是十分重要的。本节将讨论其中的重点问题。

4.7.1 飞机、局部放电和闪电

飞机需要考虑的是闪电和局部放电造成的过电应力(EOS)。地面上观察到的闪电是一种云层与地面之间的典型放电现象。另一种放电发生在具有不同静电势差的两块云层之间,称为局部放电。飞机在云层之间飞行时,必须同时关注这两种现象。

当我还是麻省理工学院的高压研究实验室研究生的时候,麻省理工学院一些教职员工,例如库克教授,研究了局部放电现象。模拟试验包括以下过程:

- 将一个绝缘块置于高能电子发生器下。
- 用高能量电子束将电子注入绝缘材料。
- 关闭电子束,移走绝缘体。
- 在绝缘体中,可观察到树枝状的图案,还可观察到闪烁的光子放电。
- 将任何金属物体,例如一颗钉子,置于绝缘体的电子束入射点位置。
- 金属物体有接地线。
- 用锤子把钉子敲入绝缘体中,随着放电的发生,可以观察到局部放电和光。

钉子代表穿过绝缘区的金属物体,会引起电场的改变以及额外的局部放电。

图 4.12 为一个绝缘方块,图中可见绝缘体内部的放电“树”图形。

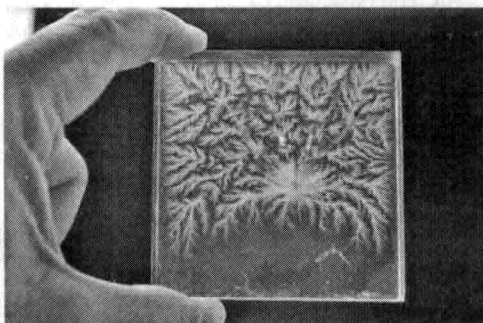


图 4.12 局部放电试验

4.7.2 卫星、飞船充电和单粒子翻转

静电充电和单粒子翻转(Single Event Upset, SEU)可导致人造卫星出现问题。静电充电由聚集在人造卫星太阳能帆板和大面积区域上的带电离子所引起。由于环境的特殊性,累积电荷并无耗散表面来降低充电的累积效应。当堆积电荷达到电击穿条件时,电流就会进入卫星组件的电子电路。若系统中的半导体器件过于脆弱,那么将导致人造卫星子系统的失效。在人造卫星中,其最为脆弱的典型器件是砷化镓器件。

高能粒子,例如重离子,可进入人造卫星导致其器件失效。单粒子翻转(Single Event Upset, SEU)可导致电子元器件的失效或软错误。造成永久性损伤的 SEU 包括单粒子栅穿(Single Event Gate Rupture, SEGR)。软错误导致存储器芯片存储器状态的翻转。单粒子也可能导致单粒子门锁(Single Event Latchup, SEL)问题(图 4.13)。

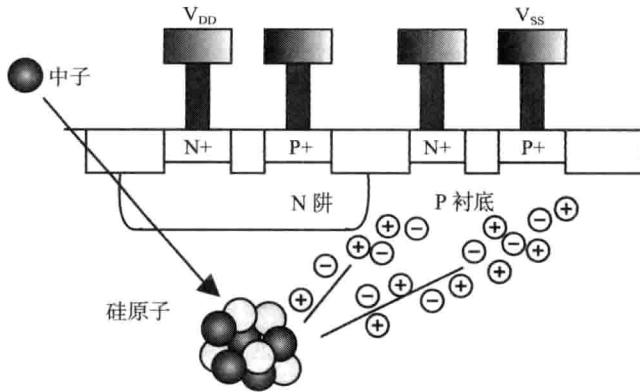


图 4.13 单粒子门锁

4.7.3 太空登陆任务

人造卫星来执行空间任务时，极易受到充电现象、宇宙射线和重离子事件的损伤。着陆航天器、太空漫游车和空间站系统可能由于太阳能帆板静电充电而失效。重离子粒子可引发集成的半导体器件产生单粒子门锁（Single Event Latchup, SEL）效应。半导体技术，例如 CMOS 技术容易受到 SEL 现象损伤。太空应用中采用绝缘体上硅（Silicon On Insulator, SOI）技术以避免寄生晶闸管以及半导体芯片衬底圆片充电现象。图 4.14 显示 SOI 器件发生单粒子事件的情况。在 SOI 中，大量的事件发生于埋层氧化层薄膜下，阻止了深层少数载流子对表面处器件的影响。

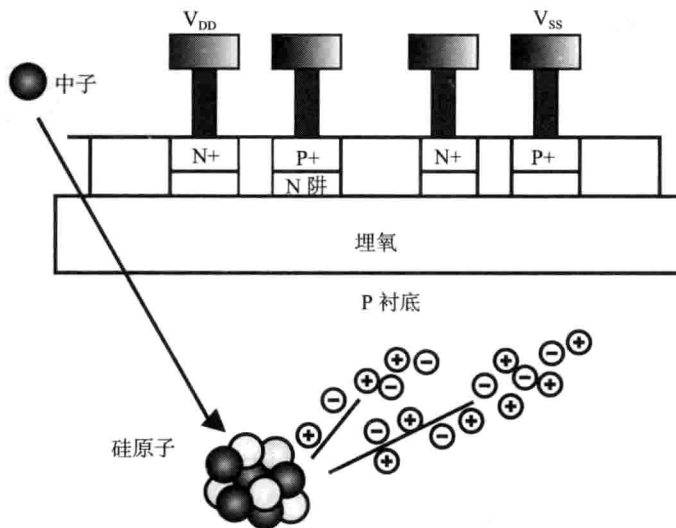


图 4.14 体硅 (SOI) 器件

4.8 ESD 和系统级测试模型

下面小节中将首先讨论系统级和“类系统级”ESD 事件。重要的 ESD 测试包括 IEC 61000-4-2 测试^[10-13]、人体金属模型 (HMM) 测试^[14-17]、带电板模型 (CBM)、电缆放电事件^[18-25] 和 门锁效应^[7, 8]。接着将讨论元器件和系统的电磁兼容 (EMC) 测试^[26-48]。图 4.15 列出了应用于系统的测试类型。尽管还不是系统级测试标准, 但 TLP、VF-TLP 和 RF 源已用于系统中, 并用作输入脉冲和连续激励下电源故障或系统健壮性评价。

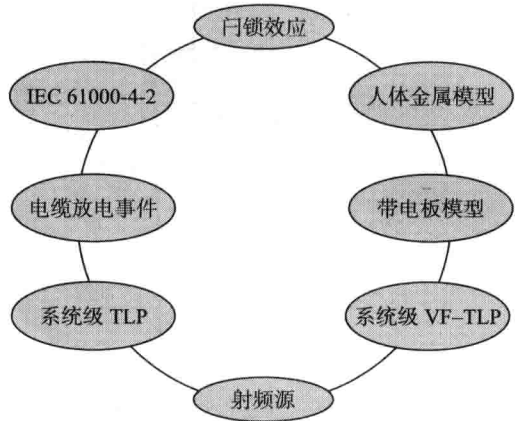


图 4-15 系统与类系统事件

4.9 IEC 61000-4-2

在系统级测试中, 一般采用 ESD 枪作为脉冲源。IEC 系统级测试标准即通过 ESD 枪, 在枪与被测系统之间产生电弧放电^[10-13]。在系统级 ESD 测试中, 系统级设计师感兴趣的是 ESD 电流放电和电弧放电过程的电磁发射 (EMI)。在一个系统中, 电磁发射能影响电子电路或元器件。在系统环境中, 电子线路周围的金属外壳形成法拉第罩, 阻止 EMI 穿透进入到电子线路中。图 4.16 为 ESD 枪脉冲施加于被测系统之上的 IEC 测试构形。图 4.17 显示了 IEC610004-2 测试波形。

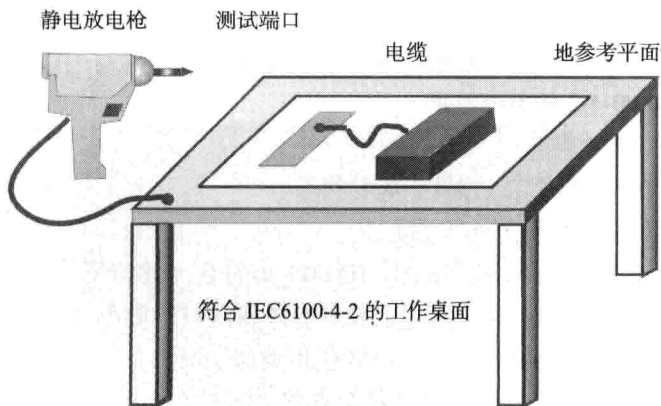


图 4.16 IEC 测试构形

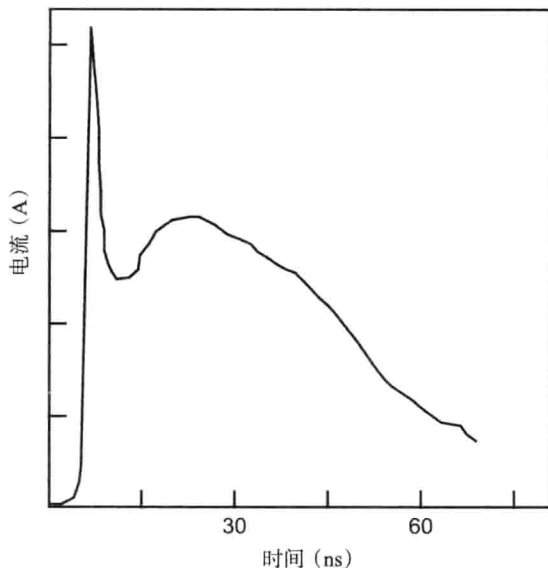


图 4.17 IEC610004-2 电流波形

4.10 人体金属模型

过去，ESD 测试主要用于半导体器件。现在人们对处于加电状态和电气系统中的元器件测试更感兴趣。系统制造商开始要求在产品最终组装与接收前对半导体器件进行系统级测试。这些系统级测试均采用 ESD 枪测试，而不采用直接接触方式；这些气体放电事件既产生 ESD 事件，也产生 EMI。在真实的系统中，系统本身可提供对 EMI 发射的屏蔽，因此，如果 ESD 测试具备以下特征，那么它将引起人们的兴趣^[14-17]：

- 符合 IEC 61000-4-2 的电流波形
- 非气体放电（接触放电）
- 半导体器件在 ESD 测试过程处于加电状态
- 仅地址引脚和端口暴露于外部系统

人体金属模型（Human Metal Model, HMM）即符合上述特征^[14-17]。HMM 是最近发展起来的 ESD 模型。由于场失效在移动电话和具有外露端口的微小型器件中较为明显，因此，HMM 模型引起人们越来越多的兴趣。HMM 使用类似于 IEC 的脉冲波形。为避免 EMI 产生的假信号，从源到 DUT 的放电采用直接接触方式。测试在系统加电状态下进行，并只对暴露在外的外部端口进行测试。图 4.18 和图 4.19 给出了测试系统构形，其测试源为 ESD 枪。

对于人体金属模型（HMM）测试，电流波形探头必须经过检验以满足 HMM 规范的要求（图 4.20）。图 4.21 给出 HMM 波形检验方法。

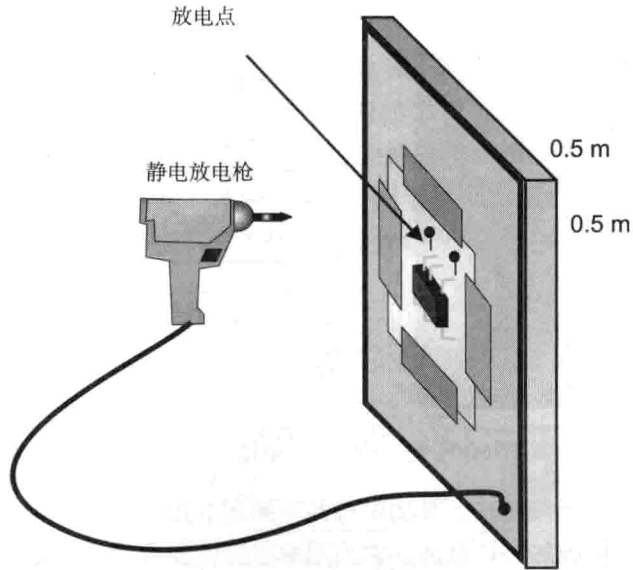


图 4.18 人体金属模型 (HMM) 测试构形——垂直放置

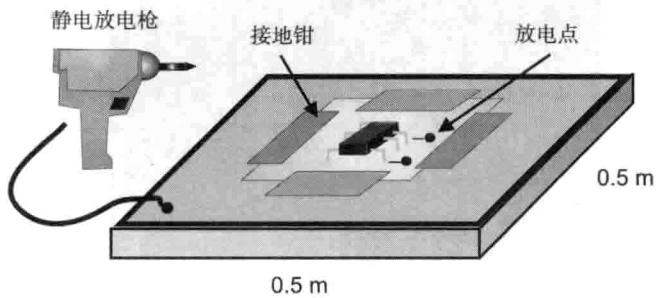


图 4.19 人体金属模型 (HMM) 测试构形——水平放置

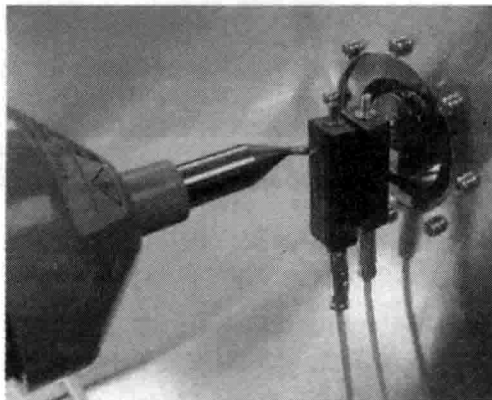


图 4.20 人体金属模型 (HMM) 测试构形——电流波形探头检验 (经 On 半导体公司授权)

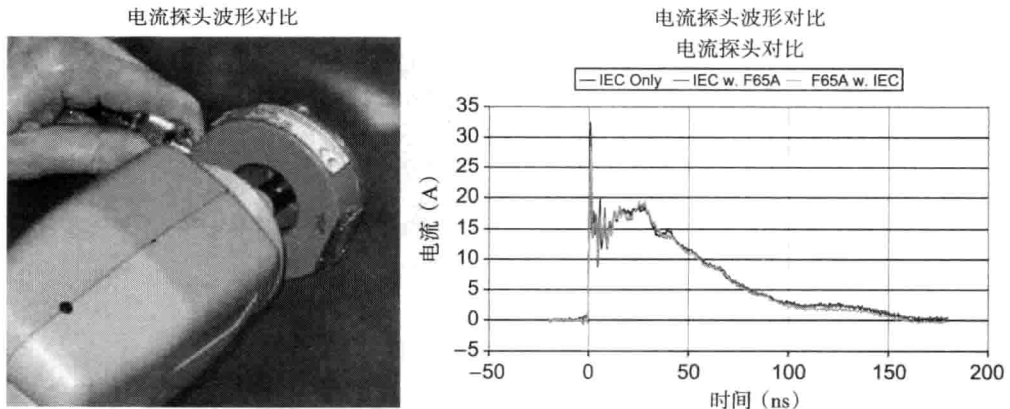


图 4.21 人体金属模型 (HMM) 测试构形——电流探头波形对比 (On 半导体公司授权)

图 4.22 给出了测试系统构形, 其测试源并不采用 ESD 枪源。这种方法不采用气体放电方式, 即不向被测器件施加 IEC 脉冲。它采用电流源施加方式, 这样就可以消除 ESD 枪的波形变化和脉冲变化。

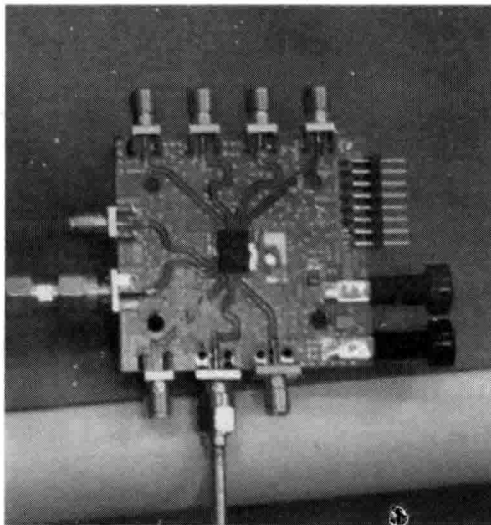


图 4.22 人体金属模型 (HMM) 测试系统 (格兰德技术解决方案有限公司授权)

4.11 带电板模型

随着便携设备和移动电话市场的发展, 人们对安装于小型系统板上的半导体芯片 ESD 敏感性的兴趣与日俱增。带电板模型 (Charge Board Model, CBM) 描述了这种半导体芯片和系统板之间的情况 (又称带电板事件 (Charged Board Event, CBE))。在带电板模型中, 半导

体芯片安装于系统板之上。板和元器件均通过 V_{DD} 或者 V_{SS} 地面连接而带电（与无插座 CDM 测试类似）。板和元器件都被外部电源充电到特定电压。它们被放于绝缘顶面和接地板上。组合板和元器件相对于地面的电容要大于元器件本身的电容。这使得板与元器件的储存电荷要多于元器件本身的储存电荷。在测试过程中，板上的任何点均可接地；这不同于 CDM 测试，后者只有封装信号引脚可以接地。此外，它也不同于人体金属模型（HMM），HMM 只对外部端口进行测试。在 CBM 测试中，板上任何外露的物理点均可进行接地测试。图 4.23 给出了带电板模型构形。

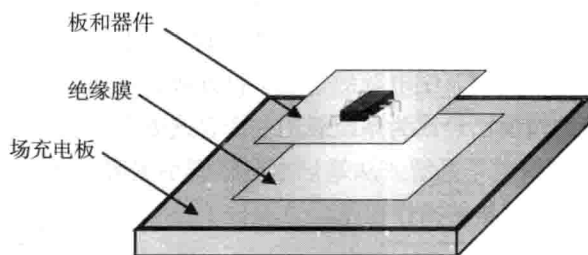


图 4.23 带电板模型

4.12 电缆放电事件

电缆放电事件（Cable Discharge Event, CDE）正成为不同规模系统日益关注的事件。带电电缆在大规模计算机系统、笔记本电脑、磁盘驱动器工业的便携设备中受到广泛关注^[18-25]。在大型计算机系统中，CDE 事件可在电缆插入系统或与系统电连接之前通过严格的程序、防静电手环和“触摸板”按钮对电缆进行放电来进行控制。这些程序在现代笔记本电脑、移动电话和移动设备中执行是不现实的。系统级工程师被要求在保持电子系统的质量和可靠性的同时，也被要求改进系统级性能。ESD 和 EMI 均是系统级需要关注的问题，因为它们可影响可视界面（如终端、平板显示器）、键盘、系统板和安装在系统板上的电子设备。

带电电缆放电是电气系统需要关注的问题。电缆作为传输线，既具有电容特性，也具有电感特性。储存在电缆中的电荷可通过单位长度的储存电容量来计算。随着电缆长度的增加，电缆中储存电荷数量也随之增加。在未连接插座的电缆中，电荷隔着绝缘层储存于中心导体和外层导体之间。当绝缘层两侧电压超过其击穿电压时，外层与内层导体之间就会放电。若绝缘层两侧电压一直低于其击穿电压，那么储存的电荷将继续保留在电缆中，使电缆带电。当带电电缆中心导体接近某系统时，中心导体和电气系统的输入端就会发生电弧放电。当电缆对系统级输入端放电时，将产生大电流并流入信号引脚，导致集成在系统器件内部的半导体芯片发生 CMOS 闩锁效应。施加的电流脉冲的脉宽是电缆长度的函数。

下面以无端双绞线（Un Terminated Twisted, UTP）为例，说明普通电缆放电现象是如何发生的。由于摩擦起电或感应起电，电荷在无端双绞线上不断累积。摩擦起电情况为，无端

双绞线在地面上被拖过时，绝缘层外表面产生正电荷，电缆外层正电荷吸引着双绞线内层负电荷穿过介电区。当负电荷在外部的正电荷作用下产生之后，电缆末端的导体上将相应感生出正电荷。当电缆插入连接器时，就会产生电弧并对无端接双绞线充电（注：这里的双绞线是中性的）。

第二种充电过程是感应充电。若将电缆置于强电场中就会产生感应充电。电场移除之后，电缆仍将处于带电状态，直至电缆向地面放电为止。

过去，系统 CDE 脉冲可通过操作者在将带电电缆插入系统之前对其进行放电处理来消除。这是通过操作程序来实现的，系统操作员在将电缆插入电子系统前先用“触摸板”将带电电缆放电。此外，大型计算机的系统级要求中不允许“热插拔”。在今天的环境中，系统往往需要动态重构，即在不关闭系统电源的情况下打开或者关闭子系统。这种在系统加电的情况下进行“热插拔”的情况已经成为系统级的一个普遍要求（也称为“故障安全”）。今天的系统很多都是小型的便携电子系统，从笔记本电脑到小型服务器。在这些情况中，电缆、电缆连接器和互连无需遵循严格的操作程序。

4.12.1 电缆放电事件和范围

随着电子电路数量的增长，I/O 端口数将增加（兰特规则）。随着 I/O 端口数增加，电缆连接数也随之增加。因此，在未来系统中，电缆连接数将出现较大增长。这使得由带电电缆连接所导致的 CMOS 闩锁效应发生的概率大为增加。随着电缆数量的增加以及电气设备移动和重构情况的增多，在系统的日常使用中断开和重连的次数也会增多。除了系统级问题之外，闩锁敏感关键工艺尺寸的减小也会导致先进技术的 CMOS 闩锁效应健壮性大为降低。假定事件数增加，CMOS 闩锁效应健壮性降低，那么 CDE 导致元器件 CMOS 闩锁效应的概率将会增加。因此，随着系统和技术的发展，CDE 事件将受到更多的关注，其原因如下：

- 广域网（WAN）和局域网（LAN）整合
- 5 类和 6 类局域网布线
- 断开连接次数增多
- 重新连接次数较多
- 注重降低成本和消除将来闩锁效应的方案

图 4.24 是电缆放电事件（CDE）脉冲波形示意图。

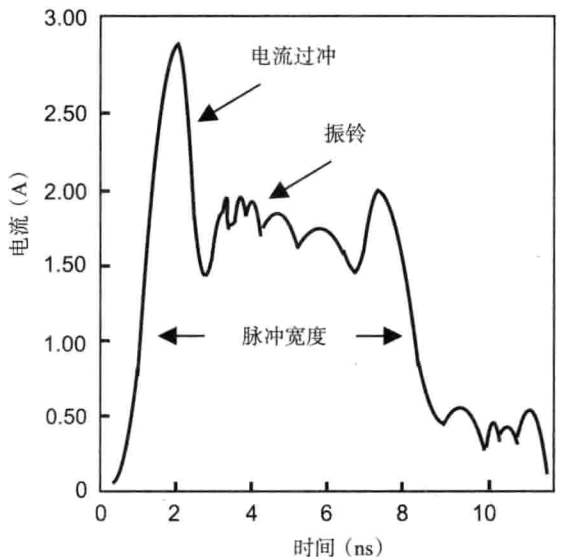


图 4.24 电缆放电事件（CDE）脉冲波形

4.12.2 电缆放电事件——电缆测量设备

采用测量设备捕获系统的响应对于系统的精确测量起着重要的作用。图 4.25 是用于捕获响应参考波形的 CDE 测量设备。图 4.26 为恒定阻抗传输线适配器实例。

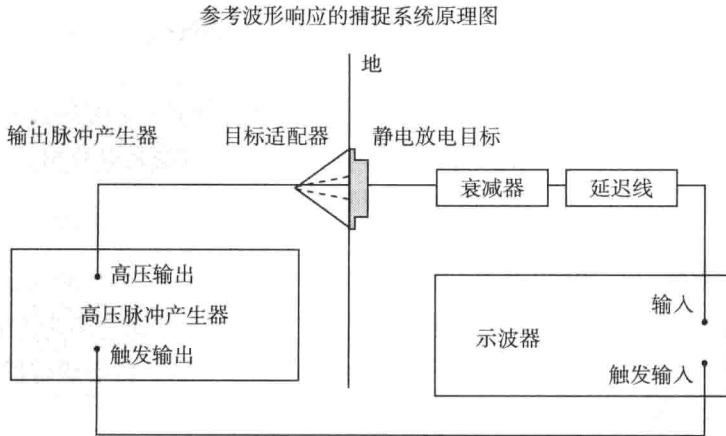


图 4.25 CDE 测量设备——捕获对参考波形的响应 (ESD 协会授权)

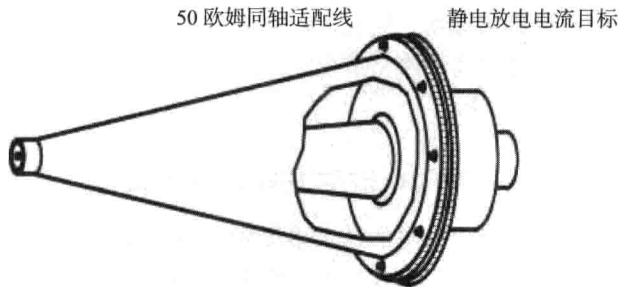


图 4.26 恒定阻抗锥形波导适配器 (巴尔特电子公司授权)

为了捕获电缆的波形，需采用 50 Ω 目标传输线适配器 (图 4.27)。

电缆放电波形与许多变量有关。电缆放电事件是下列参数的函数：

- 单位长度电容
- 电缆长度
- 电缆连接器设计
- 电缆构形

电缆构形包括置于地面、固定于墙上、手持电缆、“移动电缆”或其他

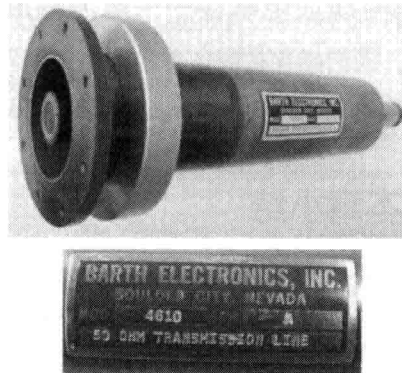


图 4.27 50 Ω 目标传输线适配器 (巴尔特电子公司授权)

构形。下面将对这些构形的具体实例进行讨论。

4.12.3 电缆构形——测试放置

这一研究中，电缆放置在地板上（即水泥板的油毡砖上）。有一面墙垂直于地面。测试电缆长 100 米，第 1 米固定于绝缘体上，其余部分在地面上尽量拉直以减小绕线电容。被测物体放在垂直金属地平面上的空位上，接示波器。

电缆波形响应可采用 ESD 枪施加源作用于电缆来进行研究。电缆通过泰克 CT-3 电流探头和一个 20dB 衰减器来测量。正如预期那样，波形表现出震荡衰退的响应特征。而采用泰克 CT-1 电流探头，则可以捕获 ESD 枪脉冲的初始峰。

4.12.4 电缆构形——移动电缆

电缆位置的改变将影响电缆的响应波形。例如，当位于地面垂直面附近的电缆首段自由移动时，其电流要低于固定于垂直面上的电缆电流值。当 1 米长的电缆首段固定于墙面时，峰值电流将出现极大增加。

4.12.5 电缆构形——手持电缆

第三种构形是电缆首段自由移动，同时人持电缆向目标靠近。手靠近被测物体也会影响电缆的波形。测试电缆和电缆放电事件（CDE）的关键点在于确定电缆构形是盘绕、非盘绕、自由移动、固定或手持中的哪一种。

4.12.6 电缆放电事件——峰值电流和充电电压的关系

电缆放电事件中峰值电流与充电电压的关系受到电缆不同构形模式的影响。但电缆充电电压与初始峰值电流满足一定关系。对于 500V 的充电电压，初始峰值电流约为 2.5A，而对于 2000V 的充电电压，初始峰值电流将达到 10A。

4.12.7 电缆放电事件——电流幅度和充电电压的关系

通常，人们感兴趣的还有幅度稳定的一段波形。充电电压和电流幅度有着线性关系。因此对于系统级 CDM 测试来说，对电缆放电事件进行量化是可能的。

4.13 本章小结

本章主要介绍了系统级问题的当前应用与未来发展。主要讨论了服务器、笔记本电脑、便携设备、移动电话、磁盘驱动器、数码相机、汽车和空间应用中的静电问题，让读者了解到现代电子环境中存在的诸多问题。还讨论了系统级 ESD 测试，例如 IEC61000-4-2、HMM、CDE 和 CBM 等。

在下面第 5 章中, 将重点讨论电子元器件级解决方案和设计实践。

参考文献

1. Voldman, S. (2004) *ESD: Physics and Devices*, John Wiley and Sons, Ltd., Chichester, England.
2. Voldman, S. (2005) *ESD: Circuits and Devices*, John Wiley and Sons, Ltd., Chichester, England.
3. Voldman, S. (2006) *ESD: RF Circuits and Technology*, John Wiley and Sons, Ltd., Chichester, England.
4. Voldman, S. (2008) *ESD: Circuits and Devices*, Publishing House of Electronic Industry (PHEI), Beijing, China.
5. Voldman, S. (2009) *ESD: Failure Mechanisms and Models*, John Wiley and Sons, Ltd., Chichester, England.
6. Voldman, S. (2011) *ESD: Design and Synthesis*, Chichester, England, John Wiley and Sons, Ltd.
7. Voldman, S. (2007) *Latchup*, John Wiley and Sons, Ltd., Chichester, England.
8. Ker, M.D. and Hsu, S.F. (2009) *Transient Induced Latchup in CMOS Integrated Circuits*, John Wiley and Sons, Ltd., Singapore.
9. Mardiquan, M. (2009) *Electrostatic Discharge, Understand, Simulate, and Fix ESD Problems*, John Wiley and Sons, Co., New York.
10. Geski, H. (September 2004) DVI compliant ESD protection to IEC 61000-4-2 level 4 standard. *Conformity*, pp. 12–17.
11. International Electro-technical Commission (IEC) IEC 61000-4-2 (2001) *Electromagnetic Compatibility (EMC): Testing and Measurement Techniques – Electrostatic Discharge Immunity Test*.
12. Grund, E., Muhonen, K., and Peachey, N. (2008) Delivering IEC 61000-4-2 current pulses through transmission lines at 100 and 330 ohm system impedances. *Proceedings of the Electrical Over-stress/Electrostatic Discharge (EOS/ESD) Symposium*, pp. 132–141.
13. IEC 61000-4-2 (2008) *Electromagnetic Compatibility (EMC) – Part 4-2: Testing and Measurement Techniques – Electrostatic Discharge Immunity Test*.
14. Chundru, R., Pommerenke, D., Wang, K. *et al.* (2004) Characterization of human metal ESD reference discharge event and correlation of generator parameters to failure levels – Part I: Reference Event. *IEEE Transactions on Electromagnetic Compatibility*, **46** (4), 498–504.
15. Wang, K., Pommerenke, D., Chundru, R. *et al.* (2004) Characterization of human metal ESD reference discharge event and correlation of generator parameters to failure levels – Part II: Correlation of generator parameters to failure levels. *IEEE Transactions on Electromagnetic Compatibility*, **46** (4), 505–511.
16. ESD Association ESD-SP 5.6 -2008 (2008) *ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items - Electrostatic Discharge Sensitivity Testing – Human Metal Model (HMM) Testing Component Level*. Standard Practice (SP) document.
17. ANSI/ESD SP5.6-2009 (2009) *Electrostatic Discharge Sensitivity Testing - Human Metal Model (HMM) - Component Level*.
18. Intel Corporation (July 2001) *Cable discharge event in local area network environment*. White Paper, Order No: 249812-001.
19. Brooks, R. (March 2001) *A simple model for the cable discharge event*. *IEEE802.3 Cable-Discharge Ad-hoc Committee*.
20. Telecommunications Industry Association (TIA) (December 2002) *Category 6 Cabling: Static discharge between LAN cabling and data terminal equipment*, *Category 6 Consortium*.
21. Deatherage, J. and Jones, D. (2000) Multiple factors trigger discharge events in Ethernet LANs. *Electronic Design*, **48** (25), 111–116.

22. Stadler, W., Brodbeck, T., Gartner, R., and Gossner, H. (2006) Cable discharges into communication interfaces. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 144–151.
23. ESD Association DSP 14.1-2003 (2003) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items – System Level Electrostatic Discharge Simulator Verification Standard Practice. Standard Practice (SP) document.
24. ESD Association DSP 14.3-2006 (2006) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items – System Level Cable Discharge Measurements Standard Practice. Standard Practice (SP) document.
25. ESD Association DSP 14.4-2007 (2007) ESD Association Standard Practice for the Protection of Electrostatic Discharge Sensitive Items – System Level Cable Discharge Test Standard Practice. Standard Practice (SP) document.
26. Jowett, C.E. (1976) *Electrostatics in the Electronic Environment*, Halsted Press, New York.
27. Lewis, W.H. (1995) *Handbook on Electromagnetic Compatibility*, Academic Press, New York.
28. Morrison, R. and Lewis, W.H. (1990) *Grounding and Shielding in Facilities*, John Wiley and Sons Inc., New York.
29. Paul, C.R. (2006) *Introduction to Electromagnetic Compatibility*, John Wiley and Sons Inc., New York.
30. Morrison, R. and Lewis, W.H. (2007) *Grounding and Shielding*, John Wiley and Sons Inc., New York.
31. Ott, H.W. (2009) *Electromagnetic Compatibility Engineering*, John Wiley and Sons Inc., Hoboken, New Jersey.
32. Ott, H.W. (1985) Controlling EMI by proper printed wiring board layout. Sixth Symposium on EMC, Zurich, Switzerland.
33. ANSI C63.4-1992 (July 17 1992) *Methods of Measurement of Radio-Noise Emissions from Low-Voltage Electrical and Electronic Equipment in the Range of 9 kHz to 40 GHz*, IEEE.
34. EN 61000-3-2 (2006) *Electromagnetic Compatibility (EMC) – Part 3-2: Limits-Limits for Harmonic Current Emissions (Equipment Input Current < 16 A Per Phase)*, CENELEC.
35. EN 61000-3-3 (2006) *Electromagnetic Compatibility (EMC) – Part 3-3: Limits-Limitation of Voltage Changes, Voltage Fluctuations and Flicker in Public Low-Voltage Supply Systems for Equipment with Rated Current < 16A Per Phase and Not Subject to Conditional Connection*, CENELEC.
36. EN 61000-4-2 (2001) *Electromagnetic Compatibility (EMC) – Part 4-2: Testing and Measurement Techniques – Electrostatic Discharge Immunity Test*.
37. MDS MDS-201-0004 (October 1 1979) *Electromagnetic Compatibility Standards for Medical Devices*, U.S. Department of Health Education and Welfare, Food and Drug Administration.
38. MIL-STD-461E (August 20 1999) *Requirements for the Control of Electromagnetic Interference Characteristics of Subsystems and Equipment*.
39. Radio Technical Commission for Aeronautics (RTCA) RTCA/DO-160E (December 7 2004) *Environmental Conditions and Test Procedures for Airborne Equipment*, Radio Technical Commission for Aeronautics (RTCA).
40. Society of Automotive Engineers SAE J551 (June 1996) *Performance Levels and Methods of Measurement of Electromagnetic Compatibility of Vehicles and Devices (60 Hz to 18 GHz)*.
41. Society of Automotive Engineers SAE J1113 (June 1995) *Electromagnetic Compatibility Measurement Procedure for Vehicle Component (Except Aircraft) (60 Hz to 18 GHz)*, Society of Automotive Engineers.
42. Wall, A. (2004) Historical perspective of the FCC rules for digital devices and a look to the future. IEEE International Symposium on Electromagnetic Compatibility.
43. Denny, H.W. (1983) *Grounding For the Control of EMI*, Don White Consultants, Gainesville, VA.
44. Boxleitner, W. (1989) *Electrostatic Discharge and Electronic Equipment*, IEEE Press, New York.

45. Gerke, D.D. and Kimmel, W.D. (March/April 1986) Designing noise tolerance into microprocessor systems. *EMC Technology*.
46. Kimmel, W.D. and Gerke, D.D. (September 1993) Three keys to ESD system design. *EMC Test and Design*.
47. Violette, J.L.N. (May/June 1986) ESD case history – Immunizing a desktop business machine. *EMC Technology*.
48. Wong, S.W. (October 1984) ESD design maturity test for a desktop digital system. *Evaluation Engineering*.

第 5 章

元器件级问题——问题与解决方法

半导体芯片以独特的封装设计进行组装，这种设计方式使封装引脚到芯片内部“隆起地带”中的电路之间有较大电感。键合焊盘、片外驱动器和接收器并不在边缘而是沿着芯片的中心轴放置。

有种设计方案在圆片上可以实现功能，但由于引线框架的电感问题，芯片封装后功能反而不能实现。为解决功能性的问题，决定将芯片核心部分和外围电路之间的电源线分离开。由于这个转变而引入了 6 种 ESD 失效机理。因此，为了修复电路功能，修改芯片结构，从而导致 ESD 失效。需要新型 ESD 器件来解决这个问题。

5.1 ESD 芯片保护——问题与解决方法

元器件级的 ESD 保护是通过在集成电路中采用“片上”ESD 保护电路实现^[1-10]的。ESD 保护电路集成到半导体芯片的设计中，提供额外的电流路径来释放 ESD 电流。半导体芯片信号通路上的电路对高电流和高电压现象都很敏感。

ESD 保护网络提供可选择的电流路径，使 ESD 电流分流到电源供给轨，或者接地电源线^[2-7]。ESD 保护电路被放置在信号引脚和电源引脚上以建立上述电流通路。ESD 信号引脚保护电路引入了一种方法来允许电流从信号路径转向电源线。ESD 保护电路也可能放置在电源线之间（例如，电源线 V_{DD} 与接地线 V_{SS} 之间）来完成对参考地线的基尔霍夫电流回路。这些网络称为“ESD 电源钳位”电路。

在当今的半导体器件中，为了避免电路中的噪声干扰，接地线之间是分开的。电路被分割成不同的电源区域来隔绝两组电路之间的影响^[7]。不同的电源区域将供给电源线（如 V_{DD} ）和接地线（如 V_{SS} ）分隔开来。第三类 ESD 电路放置在不同区域的电源线之间和接地线之间，从而可以在 ESD 事件发生时形成电流通路^[7]。

5.2 ESD 芯片级设计方案——设计综合的基本要素

ESD 芯片级设计方案可以按不同级别的电路划分。以下部分我们将讨论 ESD 综合设计

的基本要素。本节首先讨论 ESD 电路，然后是芯片架构、电源线以及其他设计因素。

作为设计准则，ESD 设计在半导体电路设计发展中的应用不同于电路设计^[2,3]。半导体器件、电路和系统的 ESD 设计在设计方法、布线方面有基本的概念和目标。

为说明 ESD 设计领域的首要问题。让我们先来了解 ESD 设计的独特性。以下是 ESD 设计应用的示例^[2,3]。

- 器件对于外部事件的响应：器件和电路在相关外部环境中，对特定电流波形（电流大小和时间常数）的响应（和不响应）设计。在 ESD 设计中，ESD 器件和被保护的电路一样可以设计成对于特定 ESD 电流波形响应或不响应。典型的 ESD 网络被设计成响应特定 ESD 脉冲。这些网络具有独特性，网络标明了电流大小、频率、极性和 ESD 发生的位置。因此，在 ESD 设计中，ESD 网络都被设计和调整成可对多种 ESD 事件产生响应。在 ESD 设计中，网络的不同段也能设计成响应不同 ESD 事件。例如，网络的一些段可以响应人体模型（HBM）和机器模型（MM），而别的段可以响应放电器件模型（CDM）事件。这些 ESD 事件在电流大小、频率、极性、时间常数以及电流源位置方面都是有差异的。因此，ESD 电路被优化成了可以响应和解决电路可能遇到的不同 ESD 事件^[2,3]。
- 交替电流回路：大电流或高电压情况下产生的交替电流回路或者电流路径。其中的关键是大电流或高电压下这些电流回路或电流路径的建立。通过建立交替电流回路或者第二路径，可通过将 ESD 电流重定向来防止敏感电路过压。为建立一个有效的 ESD 设计策略，电流回路必须对 ESD 事件响应并且具有低阻抗^[2,3]。
- 开关：大电流或高电压触发“开关”的建立。在大电流或高电压触发“开关”的建立上，关键在于，开关是被动激发或被 ESD 事件自身所激发。ESD 设计的特征是它在不加电状态必须是能工作的。因此用于切换电流到 ESD 电流环路的“开关”是被动激发或者是由 ESD 事件本身所激发的。ESD 事件为电流源和电压源来开启电路。这些开关会导致“电流抢夺”并将大部分电流从敏感电路转移到另外的电流环路中。ESD 设计中必须使用被动激发（例如：二极管）或主动激发（例如：频率触发 ESD 网络）的“开关”或“触发器”。设计目标是为应用提供可行的最低电压触发器。因此，ESD 设计的一个关键目标是利用低电压触发器方法将电流从敏感电路传递到另外的电流路径上。大部分有效的 ESD 设计方法都是构建这些开关或触发单元^[2,3]。
- 电流通路去耦：敏感电流通路去耦是 ESD 设计的要求之一。引入电路单元可以避免电流流入那些物理单元。添加 ESD 去耦开关用于对敏感电路去耦，而且避免电流流向半导体芯片的这些网络或区域。ESD 去耦单元允许其在 ESD 事件中承受开路或浮空状态。这可以在 ESD 网络或者半导体芯片结构内实现。敏感单元去耦或者电流回路去耦可以通过添加在 ESD 事件中允许电流环路开路的单元来激发。器件中节点、单元、电路、芯片子功能或者与接地参考点有关的电流环路的去耦防止了在器件中发生过压状态，还消除了非期望的电流通路。去耦单元能避免电气节点的阻塞。因此在地

端、电源端引入去耦连接的器件、电路单元或电路功能的集成是 ESD 设计的关键^[2,3]。

- 反馈回路去耦：在断电状态或者 ESD 测试模式中开启阻塞的回路去耦。反馈回路会导致特别的 ESD 故障和 ESD 等级显著降低。节点、单元或与接地参考点相关的电流回路去耦防止了器件的过电压状态，并且消除了反馈单元激发的电流通路。这些去耦单元可避免电气节点的“阻塞”^[2,3]。
- 电源线去耦：到接地参考端和电源的电气连接的去耦。
- 局部和整体分布：器件、电路和系统中，电现象和热现象的局部和整体分布是 ESD 设计的一个关键。为了提供一个有效的 ESD 设计策略，ESD 设计实践必须将焦点放在器件、电路和系统的电和热的局部和整体分布上。为了有效地将 ESD 电流分流，电流分布在 ESD 设计中起关键作用。随着电流的分散，器件的有效性提高了 ESD 网络或者电路单元总面积的使用效果。在电路或系统层级中，网络或系统中 ESD 电流的分布降低了有效阻抗，而且降低了 ESD 电流回路中的电压^[2,3]。
- 寄生单元的使用：寄生元件的使用和避免是 ESD 设计实践的一部分。ESD 设计在 ESD 的实现中利用或避免激活这些寄生单元。利用寄生单元是一种常见的 ESD 操作的设计实践，如寄生的横向或垂直双极晶体管的使用。在标准电路设计中并不常用这些寄生单元，而 ESD 设计中利用寄生器件是非常普遍的，它是 ESD 设计实践和技巧的一部分^[2,3]。
- 缓冲器：敏感器件、电路或子电路电流和电压缓冲的利用是一个关键的 ESD 设计实践。在 ESD 设计中，建立敏感器件、电路、子电路、芯片级的核心区域或电压岛的电流电压缓冲器是很普遍的。一种设计实践是通过高阻抗元件的放置、建立元件“关”状态、电压和电流分割网络、电阻整流或启动元件高阻状态来增加敏感电路中的通路阻抗^[2,3]。
- 整流：ESD 设计中运用整流技术是很常见的。单个或多个单元中引入阻抗使电流再分配。在数字设计中，整流主要通过运用电阻器单元实现。在单个或多个单元、电路或芯片中，引入阻性、容性或感性整流单元可以使电流得到再分配。半导体器件的运用考虑到了电流在器件中的再分配，避免了电热电流收缩和保护网络、电路单元面积低利用率。利用整流使来自于 ESD 事件中的电流得到再分配，这避免了半导体网络或芯片中的热熔性或电气过载。整流可以通过半导体工艺选择、材料选择、硅化物薄膜移除、引入独立电阻器件和设计布线分割等方法引入到半导体器件结构中^[2,3]。
- 半导体器件、电路和芯片功能中未利用部分的使用：在 ESD 防护中，半导体器件中未用到部分的使用是 ESD 设计实践之一，这里未用到部分指的是未使用的功能应用^[2,3]。
- 浮地网络和非浮地网络之间的阻抗匹配：浮地结构的阻抗匹配是 ESD 设计实践之一。在 ESD 设计中，利用半导体器件中未使用部分来作为 ESD 保护和匹配 ESD 工作网络段的阻抗是很常见的，ESD 测试中，匹配情况考虑了网络和公共触发电压匹配时的电流共享^[2,3]。

- 未连接的结构：处理不包含与电源栅格或电路电连接的结构是很常见的 ESD 设计实践。在半导体芯片中，有许多结构和其他电路或电源栅格没有电气连接性，它们易受到 ESD 损伤。因此处理浮地或者未连接的结构需要有特别的 ESD 解决方法^[2, 3]。
- 等效结构和等效电路的使用：利用等效结构或等效电路实现较好的电流一致性和分布效果，这在 ESD 设计中是常见的。从运用等效 MOSFET 多晶硅栅到等效反相器电路都属于这一概念。
- 不可扩展的源事件：另一个关键问题是 ESD 事件是不可扩展事件，随着工艺进步，器件尺寸缩小。ESD 设计必须处理恒定的源输入电流和结构的物理缩放比例。因此解决这个问题需要有特定的 ESD 缩放理论和方法^[2, 3]。

5.2.1 ESD 电路

ESD 电路可以在半导体芯片的内部或外部。最常见的应用是 ESD 网络与键合焊盘相连。如今，由于独立的功率区域的存在，在 SOC 应用中出现了与功率区域相关的 ESD 失效。

5.2.2 ESD 信号引脚保护网络

对于信号引脚 ESD 网络，PNPN 可控硅整流器被引入到了 p-/p++ 圆片的技术上。由于外延控制问题，SCR ESD 电路触发电压和响应是外延层厚度和电阻的函数。因为芯片在三个不同地方制造，每个地方的圆片和外延厚度测量方法都不相同，所以 ESD 结果在一个工厂显示成功，但在另外两个地方却显示失败。

ESD 信号引脚保护网络的目的是将电流从信号通路转移到电源线上。ESD 信号引脚保护网络必须放在信号引脚功能电路前面。这样，ESD 信号引脚保护网络通常在信号引脚的键合焊盘附近，并且在很多情况下集成到了外围电路版图设计和电路中。

ESD 信号引脚保护网络是双向的，允许电流从正极流向负极或从负极流向正极。在很多情况下，电路双向性并不明显，但通过寄生单元得以解决此不确定性问题。

图 5.1 中是用于 ESD 保护的典型 ESD 网络。此网络是众所周知的双二极管 ESD 保护网络。在这种 ESD 保护电路中，第一个单元与 V_{DD} 电源线连接，第二个单元与 V_{SS} 接地线连接。对于这个 ESD 信号引脚保护网络，不管是正脉冲还是负脉冲都存在一个正向偏置的二极管将电流转移到 V_{DD} 和 V_{SS} 上。

图 5.2 是第二种用于 ESD 保护的典型 ESD 网络。这种网络叫做 GGNMOS ESD 保护网络。GGNMOS 是栅极接地 N 型 MOSFET 器

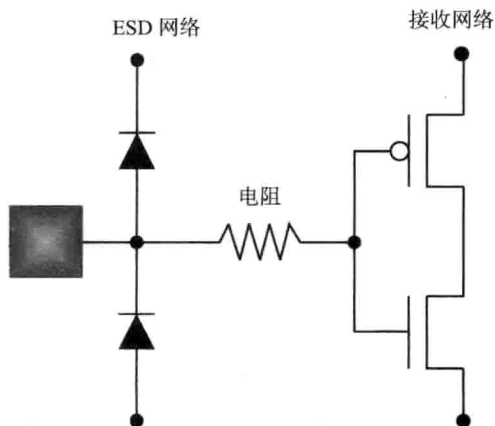


图 5.1 ESD 信号引脚网络 - 双二极管 ESD 网络

件 ESD 网络的首字母缩写。在这种 ESD 保护电路中，只存在一种元件，它与 V_{SS} 地线相连。这种 ESD 信号引脚保护网络，对于正极性事件，存在一个“快速折返”现象使电流泄放到 V_{SS} 地线上，而正偏二极管则对负极性事件起作用。在所示例子中，图中的电路包含两级高电压和一个低电压 GGNMOS 解决方案，其主要应用于 20 世纪 80 年代。随着技术发展，现在通常只用单级低电压 GGNMOS。

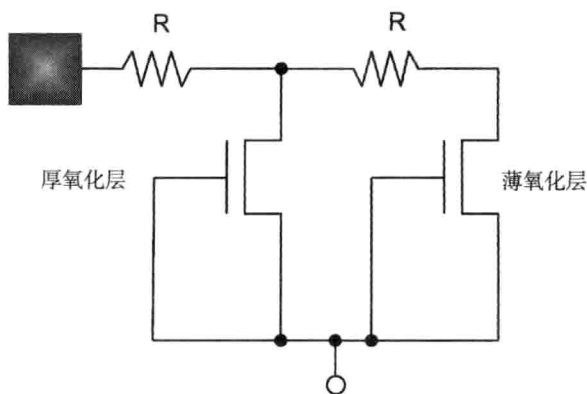


图 5.2 ESD 信号引脚网络 - GGNMOS

5.2.3 ESD 电源钳位保护网络

ESD 电源钳位网络是放置在电源 V_{DD} 和地 V_{SS} 之间的 ESD 电路，它为 ESD 电流建立了交替电流回路。ESD 电源钳位网络有两个基本特征，ESD 电源钳位通常包含一个“触发”网络和一个“钳位”或“分流”网络。“触发网络”使 ESD 电源钳位在上电、正常使用和关电期间保持“关闭”。在过电压状态或 ESD 事件中，ESD 电源钳位“开启”，泄放 ESD 电流。

图 5.3 是半导体工业中运用 ESD 电源钳位的例子。这个电路叫做 RC 触发 ESD MOSFET 电源钳位电路。触发网络是 RC 鉴别网络，它可以区分 ESD 事件和非 ESD 事件。这个电路在芯片工作期间通常处于“关闭”状态。RC 电路可调整成对人体模型 (HBM) 脉冲事件产生响应。当 HBM 事件发生时，RC 网络会触发反相器驱动级打开 ESD 电源钳位 MOSFET 元件^[2-10]。

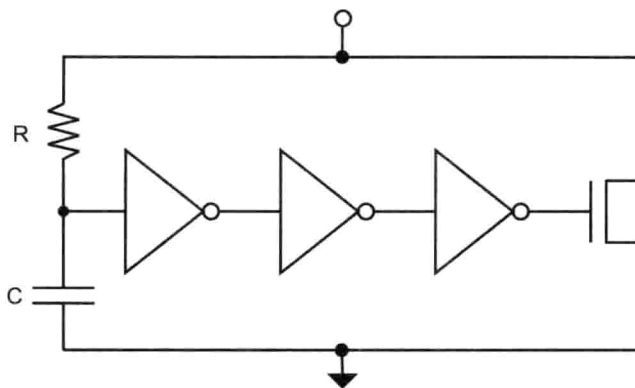


图 5.3 RC 触发的 MOSFET ESD 电源钳位

图 5.4 是用在双极型或 BiCMOS 技术中的 ESD 电源钳位例子。这种电路叫做 BVCEO 触发 ESD 双极型电源钳位电路。触发网络是晶体管，当通过触发元件建立起集电极到发射极的击穿电压时，晶体管导通，将基极电流供给 ESD 钳位元件。第一个例子和第二个例子的区别

就是第一个是“频率触发”，第二个是“电压触发”。根据应用，这两种触发 ESD 电源钳位电路的方法都有各自的优缺点^[2-5]。

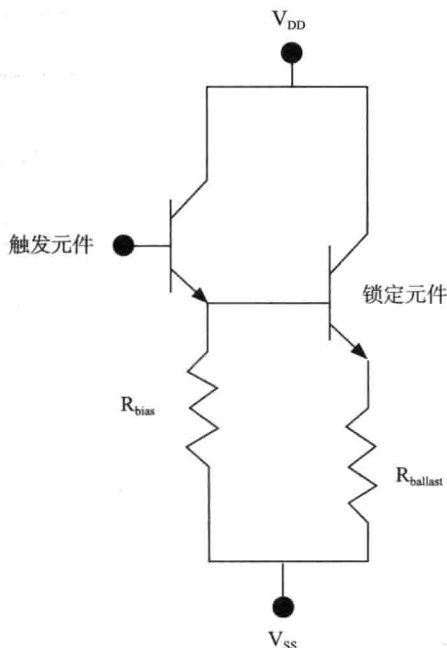


图 5.4 BVCEO 触发的 ESD bipolar 电源钳位

5.2.4 ESD 电源域——域电路

ESD 电路也可放置在分开的电源域的地线之间。在 20 世纪 80 年代初期和 90 年代，在 V_{DD} 电源间使用 ESD 网络是很常见的。现在普遍将这些网络放置在地线之间。图 5.5 是将 ESD 网络放置在模拟 V_{SS} 和数字 V_{SS} 之间的例子。该网络由 PN 二极管器件组成，注意此网络是双向的^[2-8]。

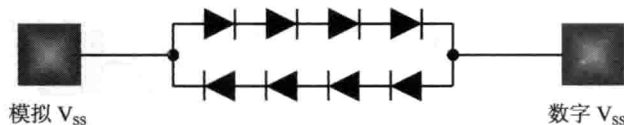


图 5.5 ESD 域到域电源线网络

5.2.5 ESD 内部信号线域——域保护电路

ESD 网络通常仅在信号引脚和电源线上是必需的，在内部信号线上不一定需要。在混合信号应用中，数字电源和模拟电源域分开，以防止数字噪声影响模拟电路。两个域之间只有数字片上驱动电路到模拟接收器网络的信号线是连通的（图 5.6）。在最近几年，由于

MOSFET 栅极过电压，ESD 失效已经出现在这些信号线上^[6, 7]。

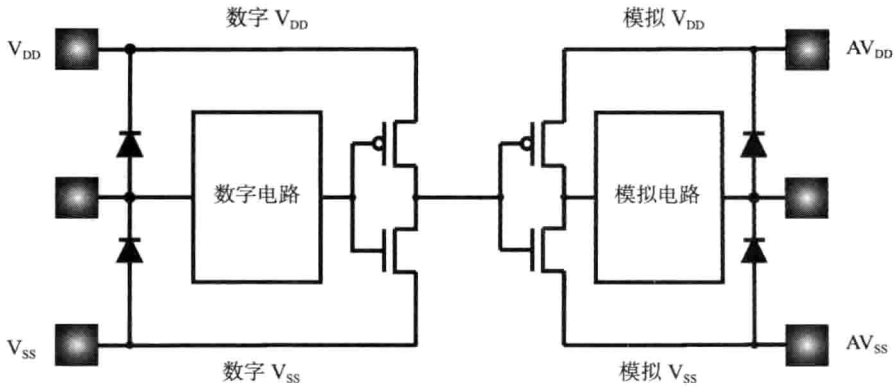


图 5.6 数字到模拟域的信号线

解决接收器上 MOSFET 过电压的方法是在模拟接收器上引入“内部 ESD 网络”。图 5.7 是内部信号线 ESD 网络。在数字域和模拟域间的内部信号线上，使用了电阻和栅极接地 MOSFET（例如 GGNMOS）电路元件以防止模拟 MOSFET 接收器过电压^[7]。

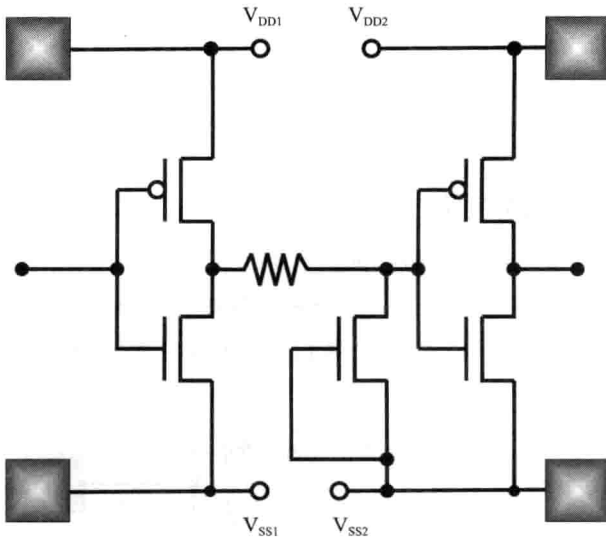


图 5.7 内部信号线 ESD 网络

5.3 ESD 芯片平面设计——设计布局 and 综合基础

在半导体芯片设计中，ESD 网络在芯片上的物理位置会影响芯片的 ESD 健壮性。此部分将会讨论半导体芯片内的元件放置问题。

5.3.1 ESD 信号引脚 HBM 电路的布置

在半导体芯片设计中，ESD 信号引脚网络的位置通常靠近信号引脚键合焊盘^[7]，但这不一定是好的 ESD 保护所必备的。大多数情况下，这只是为了方便，不是强制要求。在外围 I/O 设计中，ESD 信号引脚网络被放置在芯片外围键合线和焊盘附近。图 5.8 显示了放置在外围 I/O 标准单元的 ESD 网络。

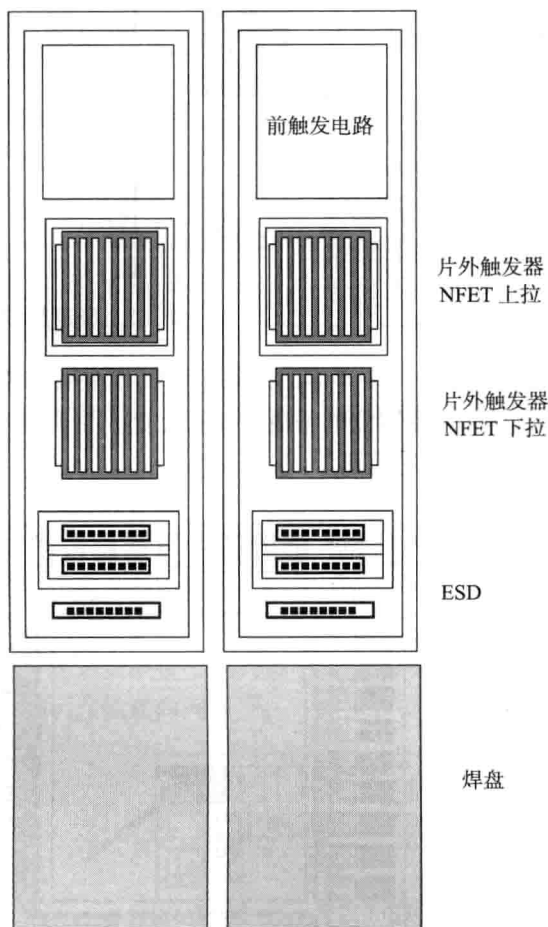


图 5.8 放置在外围 I/O 标准单元的 ESD 网络

在多引脚半导体芯片中可能不是这样的。键合焊盘与 ESD 网络的相对位置在空间上是分开的，通过一根“传输线”将焊球 / 键合焊盘结构、ESD 和 I/O 电路连接起来^[7]。

5.3.2 ESD 信号引脚 CDM 电路布置

在信号引脚接收器网络中，放电器件模型 (CDM) 事件可以导致 MOSFET 栅氧化层失效。接收器和 ESD 网络的相对空间位置会影响 CDM 事件发生时的 ESD 保护。在 CDM 充电

过程中，电荷在整个芯片衬底上分布。如果接收器网络在空间上与 ESD 网络分开，电流可能会流经 MOSFET 栅介质而不会经过芯片衬底。当很薄的氧化物接收器远离 ESD 网络时，必须要添加一个二级 ESD 网络，这个二级网络称为 CDM 保护电路。CDM 电路的放置必须靠近接收器网络。图 5.9 显示了常用的 CDM 保护网络。

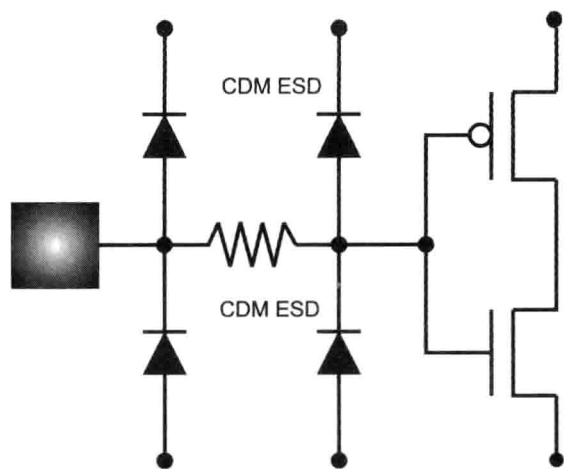


图 5.9 ESD 信号引脚 CDM 电路

5.3.3 ESD 电源钳位电路的放置

ESD 设计一个关键的度量标准是信号线和 ESD 电源钳位之间的电源总线阻抗。半导体芯片设计中，在电源总线阻抗低而芯片尺寸小的地方，也许能够将 ESD 电源钳位电路安排在不影响芯片的尺寸而又方便的地方。历史上，在很多设计中，半导体芯片的角落没有用来安放有源电路或外围 I/O 网络。这样，这就成了放置 ESD 电源钳位电路最方便的位置。图 5.10 显示了将 ESD 电源钳位电路放置在角落的半导体芯片设计平面图^[7]。

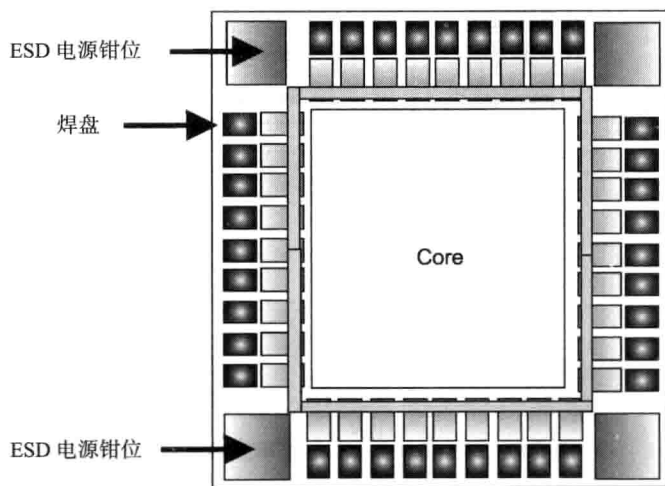


图 5.10 ESD 电源钳位平面图——放置在角落

随着芯片尺寸的增加和电源总线宽度的减少，任何信号引脚和最邻近 ESD 电源钳位电路之间的高阻抗都使得 ESD 电源钳位电路的放置不再合适。在许多结构中， V_{DD} 和 V_{SS} 引脚频繁放置在信号引脚附近。因此，在半导体芯片中电源衬底（如 V_{DD} 、 V_{SS} ）成了放置 ESD V_{DD} 到 V_{SS} 电源钳位电路的便利位置（图 5.11）^[7]。

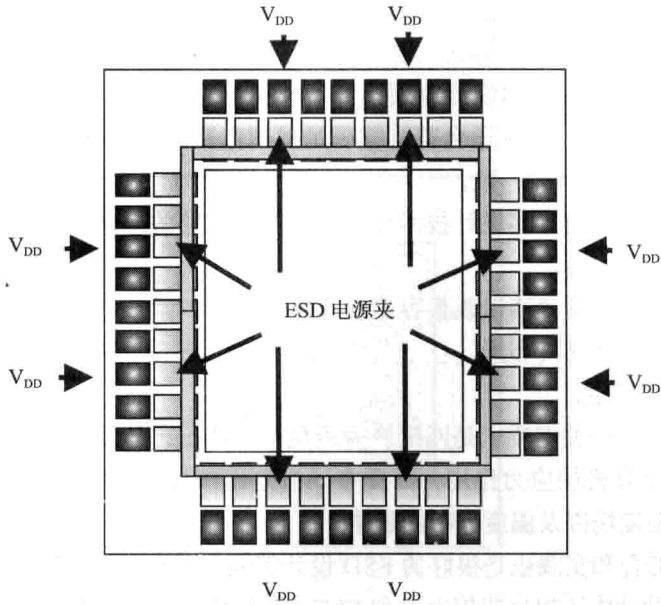


图 5.11 ESD 电源钳位平面图—— V_{DD} 电源板上的分步实现

5.3.4 ESD V_{SS} - V_{SS} 电路布置

在半导体芯片的布局规划中，由于电压要求不同且需要隔离噪声，不同的电路区域往往是分开的。例如芯片上模拟电源和数字电源区域在空间上是分开的。图 5.12 显示的数字电路和模拟电路在空间和电气上就是相互分开的。在这种芯片结构中，电源线也是分开的。图中不同区域的电源线缩短了，这是安放模拟地到数字地 ESD 网络的较好位置。这个网络是连接模拟地 (AV_{SS}) 到数字地 (DV_{SS}) 的双向网络^[7]。

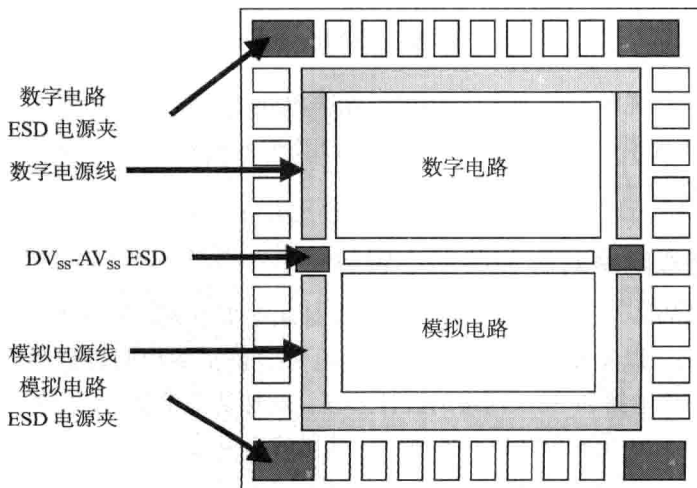


图 5.12 DV_{SS} - AV_{SS} ESD 网络的布置平面图

5.4 ESD 模拟电路设计

在模拟电路设计中，独特的设计应用提高了模拟电路的功能特性^[11, 12]。在模拟电路的ESD设计综合中，ESD设计必须适合并持续满足模拟电路的需要和要求^[7, 11, 12]。幸运的是，许多模拟设计都与ESD设计相一致。

在模拟设计准则中，有许多设计技术可以改善模拟电路的容差。模拟设计技术包括以下几点^[11]：

- 局部匹配：元件放置紧凑以改善容差。
- 全局匹配：半导体芯片布局。
- 热对称：设计对称。

模拟电路设计的一个关键要求是匹配。为避免半导体工艺的偏差，匹配通过局部放置优化。芯片内的部件间有机械应力作用，因此布局也是模拟设计需要关注的。在模拟设计中，需要考虑芯片内的温度场以及温度分布的影响。

许多模拟设计综合和实践也是很好的ESD设计实践。匹配和对称的设计也要适合静电放电设计。但是有些设计中要权衡模拟容差和ESD，当给定的电路中或者电路与电路之间不同模拟元件间形成寄生器件时，就要考虑这点了。

在模拟电路的ESD实践中，有大量的ESD器件和独特的应用，包括CMOS、BiCMOS、BCD、SOI和智能电源应用和独特应用。在本节中，我们将会讨论其中一种情况并深入分析，同时为读者提供一些针对模拟ESD设计中遇到的小问题的见解。

今天模拟和射频（RF）应用遇到的挑战是差分对接收电路。这些电路中存在的挑战有：

- 匹配
- 低电容

对于ESD防护，双重挑战是：

- 信号引脚到电源线的防护
- 差分对的引脚到引脚的防护

随着半导体产品规模不断增大，ASIC、标准单元制造设计、存储器中的电源总线与ESD网络的电连接规模也不断加大。在过去，ESD输入电路单元和ESD电源钳位单元之间的总线阻抗是ESD设计中的一个问题。

5.4.1 ESD 模拟电路对称和共质心设计

改善这些问题的一个方法就是应用共质心设计和寄生单元。现在来讨论一下在电路、信号引脚到轨的ESD，以及差分对的引脚到引脚的ESD防护的协同设计和综合中运用共质心的概念。对于最小化电路和ESD网络的设计差异，对称是很重要的。对称标准通过建立一个对称轴来明确。图5.13是一个共质心的例子，这里的电路是一个模拟差分对网络。

共质心设计引入以下四条规则（1）一致性；（2）对称性；（3）离散性；（4）紧密性。

为使差异最小，可在一维或二维中评估对称性。例如，在 X 轴上定义一个对称轴，在 Y 轴上定义第二个对称轴。从对称轴就可以建立共质心。共质心设计是一个用于模拟设计中的方法。

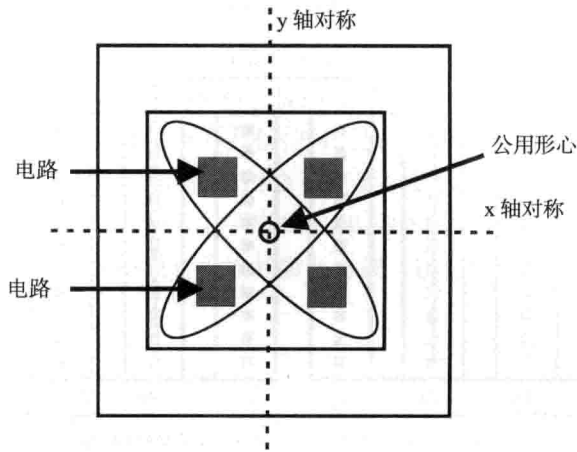


图 5.13 共质心设计

5.4.2 模拟信号引脚到电源线的 ESD 网络

ESD 信号引脚到电源线的防护网络会导致差分对电路的失配和负载电容。

第一个关键问题是差分对的两边引入的失配问题，它来自于 ESD 结构本身。将一个 ESD 网络添加到 $IN(+)$ ，将另一个 ESD 网络添加到 $IN(-)$ ，因为两个 ESD 网络在空间上是分开的，所以会发生失配。因此，两个独立的 ESD 网络在空间上分开会导致功能问题。

第二个问题是，不管是使用二极管、MOSFET 还是 SCR ESD 网络，ESD 网络的负载电容都会影响差分对接收器性能。在双二极管 ESD 网络中，在差分对网络的 $IN(+)$ 和 $IN(-)$ 上都添加额外的两个二极管电容。这个共质心概念一般不会延伸到 ESD 网络中。

5.4.3 共质心模拟信号引脚到电源线的 ESD 网络

为改善匹配，差分对的两个 ESD 网络可以共质心。第一个 ESD 网络在 $IN(+)$ 上，第二个 ESD 网络在 $IN(-)$ 上，ESD 网络的共质心可以减少失配。第二个新技术是 $IN(+)$ 和 $IN(-)$ 上的 ESD 网络共用同一区域。例如，两个 ESD 网络可以共用同一个 p 阱或 n 阱区域。例如为了使 $p+/n-$ 结的失配最小化，两个 ESD 网络可以共用 n 阱。标准的设计是将 ESD 放置在键合焊盘处，在空间上将 ESD 网络分开。

图 5.14 是两个差分的 ESD 单元靠近放置和共用一个 n 阱的例子。通常， $IN(+)$ 的 ESD 单元放置在 $IN(+)$ 的信号焊盘上， $IN(-)$ 的 ESD 单元放置在 $IN(-)$ 的信号焊盘上。在这个例子中，ESD 单元被放置在了共用区域。在这里，共用的是 n 阱， $IN(+)$ 和 $IN(-)$ 在空间上的

距离是最小的。图 5.14 是两个二极管中的一个（例如 P+/NW 二极管），两个 ESD 网络放在同一个盆里并且紧靠在一起排列。注意，第二个 N+/PW 也可以有同样的设计。

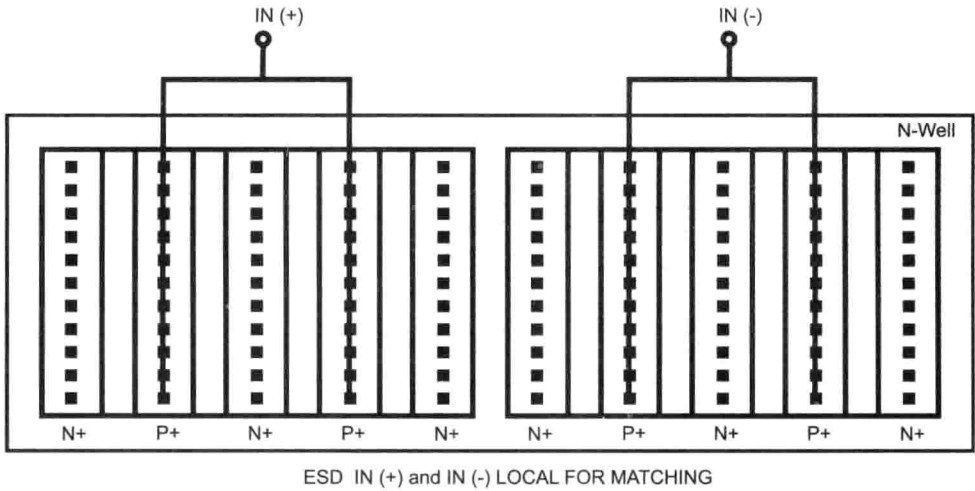


图 5.14 共用阱的 ESD 引脚到轨网络对的布局

图 5.15 给出了 ESD 到电源线网络的指条在同一个阱但是交错排列的例子。在排列中，指条可以是无限交错的。

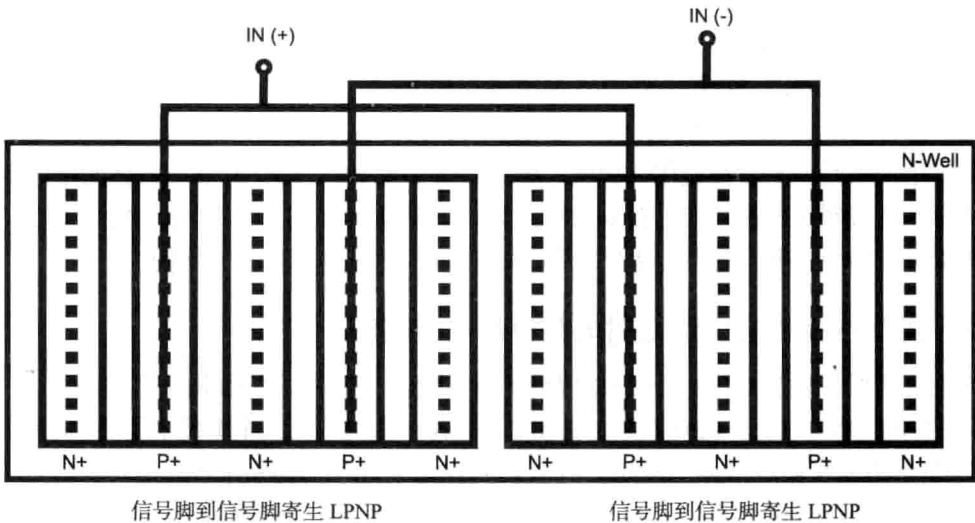


图 5.15 共用阱的 ESD 引脚到轨网络对的截面图

5.4.4 共质心模拟电路和 ESD 网络的协同综合

为提高匹配，差分对的两个 ESD 网络可以和差分电路协同综合，在一维或二维空间共质

心。通过布局的协同综合，输入器件与 ESD 网络可以在 x 轴对称和 y 轴对称上共质心。例如 NFET ESD 网络可以和电路本身（即 NFET）以共质心的方式放置。

5.4.5 信号引脚到信号引脚的差分对 ESD 网络

ESD 信号引脚到信号引脚的保护网络需要从差分对电路的两个引脚提供 ESD 保护。通常在模拟和 RF 应用中（例如：CMOS 和双极型），差分对引脚在所给定的半导体芯片中是最为敏感的。此外，在“信号引脚到所有其他信号引脚（参考地）”中失效机理会出现在差分对的两个引脚之间。图 5.16 是一个同时有 ESD 引脚到电源线保护网络和 ESD 引脚到引脚保护网络的差分对电路标准实例。随着差分引脚到引脚 ESD 网络的引入，面积和容性负载都会影响差分电路的性能。此外，如果没有采取共质心处理，还会引起失配。

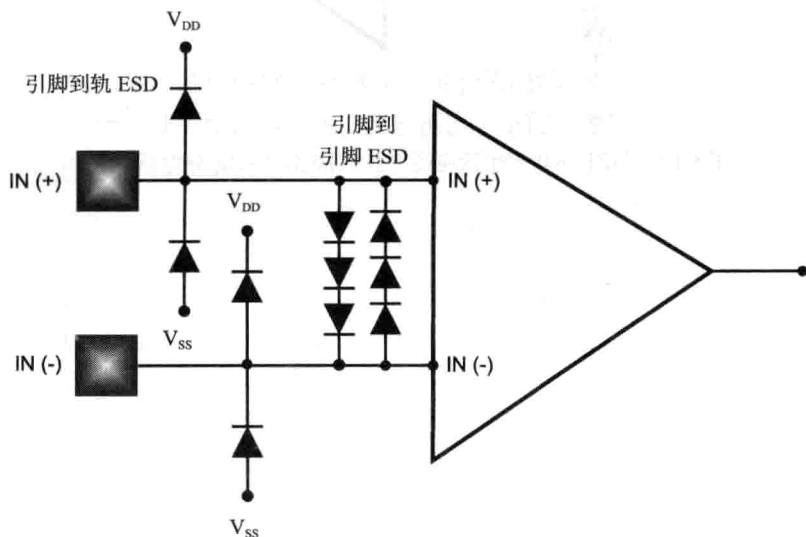


图 5.16 差分对电路的 ESD 引脚到引脚网络标准实例

5.4.6 共质心信号引脚差分 ESD 保护

对于 CMOS 差分对来说，要建立信号引脚到信号引脚的 ESD 网络有两种解决方法。目前，传统的解决方法是在 IN (+) 和 IN (-) 之间使用一个双向的 ESD 网络。显然这不是一个共质心的实现方法。

新的方法是引入共质心的实现方法，这样一个 ESD 阵列兼顾了差分对网络的两边，这种方式可以实现共质心设计。通过下一步骤，即将一个 ESD 阵列的指条交换排列，在两边之间的寄生元件就能被充分利用（图 5.17 和图 5.18）。

例如，差分 ESD 网络 p+/n- 阱二极管的相邻指条之间能够形成一个横向寄生的 PNP 管。此外，差分 ESD 网络 n+/p- 阱二极管的相邻指条之间也可以用到一个寄生的 NPN 管。

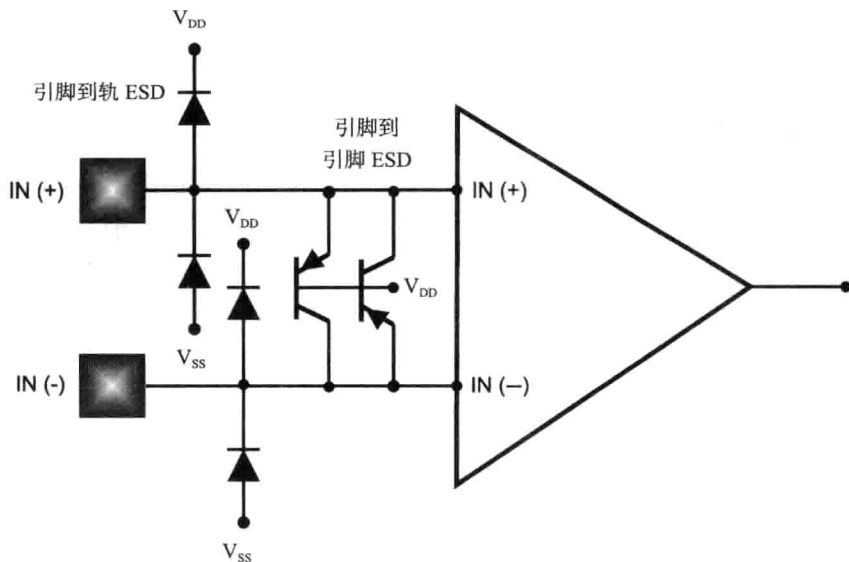


图 5.17 利用 PNP 寄生效应的 ESD 引脚到引脚差分电路网络

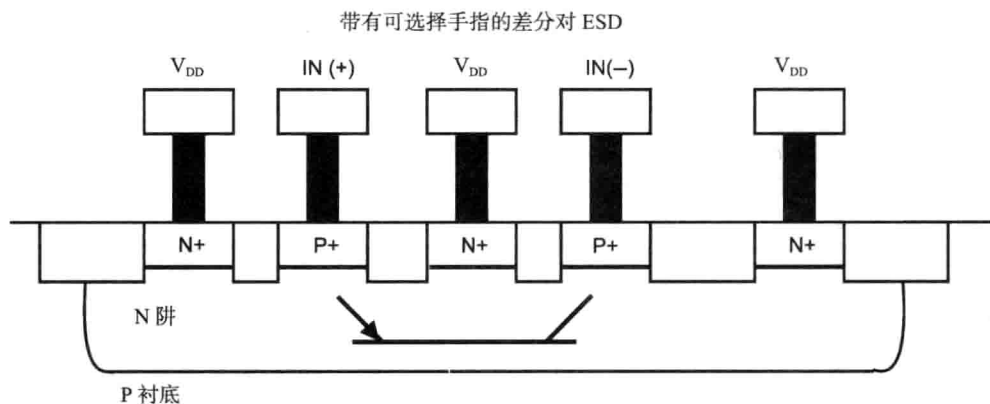


图 5.18 利用 pnp 寄生效应的 ESD 引脚到引脚差分电路网络。

注意这里还利用了一个对称的 ESD 到电源线的网络

这样就达到了多重目的：

- 共质心设计改善了匹配。
- 差分接收网络中没有附加的容性负载。
- 没有因为增加 ESD 网络而增加面积。

总结一下，本节首次讨论了一种差分对电路的 ESD 保护结构共质心设计，这种 ESD 保护结构集成了信号引脚到信号引脚的保护结构和信号引脚到电源、地的叉指式保护结构。通过集成 ESD 引脚到电源、地解决方案和 ESD 信号引脚解决方案，有效地减小了 CMOS 差分

电路的面积和负载效应。这个新概念有益于当前和未来高性能模拟和射频设计的匹配、面积减小和性能提高。

5.5 射频 ESD 设计

在射频 (Radio Frequency, RF) 电路 ESD 设计准则中, 关注点和方法与数字电路的 ESD 保护的设计原则有根本不同^[2, 4, 5, 13]。这部分快速发展的 ESD 设计实践在可能时会利用一些数字电路 ESD 设计原则, 但当对射频应用不适合时必须抛弃一些数字电路的设计实例、ESD 电路和设计。在这个发展过程中, ESD 设计原则为适应微波射频电路设计者的 ESD 设计习惯做出了改变。

5.5.1 射频 ESD 设计原则

一套特别的射频 ESD 设计原则已经建立, 用于协同综合射频功能应用的需求和 ESD 保护。为了解决射频 ESD 设计规则的问题, 我们提出以下的问题:

- 是什么使得 ESD 设计规则独特?
- 这套设计规则与标准电路设计规则有怎样的不同之处?
- 射频 ESD 设计规则与射频设计规则有怎样的不同之处?
- 射频 ESD 设计规则有什么不同?

关于 ESD 保护和射频元件设计的射频基本概念如下^[4, 5]:

- 与频率相关的射频 ESD 应用解决方案: 在射频 ESD 设计中, 对于 ESD 保护的方案和实现方法可能与应用频率有关。低于 1GHz 时, 传统的数字 ESD 片上硅 ESD 电路的解决方法可能就足够了。在 1 ~ 5GHz 之间, ESD 器件的选择可能需要在负载和其他射频参数之间进行权衡。在 5 ~ 15GHz 上, 射频 ESD 协同综合可能是一个强制性的过程。高于这些频率, 可能需要片外的保护和与传统方法不一样的 ESD 解决方案。
- ESD 元件的射频模型: 使用射频电路和元器件来搭建射频电路需要直流和射频模型。这样, 所有 ESD 元件都必须有完整的射频特性模型。这与对 ESD 模型依赖性不强的 ESD 数字设计原则是很不相同的。ESD 数字设计不需要物理模型。另一方面, 射频应用需要某些形式的 ESD 元件的射频模型分析, 因为这会影响到所有的射频功能参数, 影响到设计的物理实现。
- 射频 ESD 设计方法: 由于高质量射频模型的要求, ESD 设计方法学也需要完整的射频模型支持。这样, 关于 ESD 设计方法的计算机辅助设计方法学就必须解决这个问题。例如, 可能需要没有在数字设计中实践过的新的计算机辅助设计方法, 而这种方法更适合射频设计环境。如在后面的章节中所讨论的一个例子, 可能需要用户定制固定设计尺寸、可增长或者可升级的设计、参数化的单元和 / 或分层次的参数化单元 ESD 网络和用于不同尺寸实现的提取方法。

- 射频 ESD 设计芯片子功能综合：射频 ESD 设计中，数字、模拟和射频块的综合可能需要衬底硅片上或者互连系统中独特的结构来隔离电学噪声，同时提供芯片不同块之间的 ESD 保护。这可能需要特别的物理结构和电路来解决电路子功能的 ESD 保护问题。虽然在数字 ESD 设计实践中利用了相同的 ESD 网络，但是设计的选择由于射频应用的实现方法不同而截然不同。例如，ESD 二极管能够在芯片子功能的地线之间使用。对于数字 ESD 设计，其焦点可能在差分电压隔离上；对于射频 ESD 设计实践，其焦点则可能是电容耦合和网络的射频稳定性影响。
- 射频 ESD 测试方法：射频部件的 ESD 测试中，需要在元器件级和系统级建立特别的测试方法来评估 ESD 的退化效应。需要特别的射频测试方法处理不同的直流和射频参数退化效应，以评估 ESD 应力之前和之后的测试情况。数字 ESD 设计实践和射频 ESD 设计实践的一个区别是数字 ESD 设计实践的重点放在直流电压的变化和漏电流上，而在射频 ESD 设计实践中重点是射频参数和直流与射频哪个先出现退化^[6]。这些方法可能包括时域反射（Time Domain Reflection, TDR）和时域传输（Time Domain Transmission, TDT）这样的射频方法。
- 射频 ESD 失效判据：RF 应用中对功能的要求与数字应用是截然不同的，需要基于射频参数、直流参数和系统级需求建立特别的射频参数和 ESD 失效判据。这与典型的数字应用（仅仅要求直流漏电评估）是不同的。
- 射频 ESD 测试系统：为了解决射频 ESD 测试方法和失效判据的问题，需要新型的射频 ESD 测试系统来进行产品评估。射频 ESD 测试系统可能需要能够在线提取噪声特征（Noise Figure, NF）、增益（G）、输出三阶谐波截取（OIP3）等射频参数和进行直流漏电流评估的 ESD 系统。这可能影响 ESD 人体模型（HBM）、机器模型（MM）和传输线脉冲（TLP）系统的发展方向。目前，50Ω 的 TLP 系统能够兼容 50Ω 的射频电路。此外，射频电路的需求可能会影响将来的 TLP 系统。
- ESD 频谱与功能应用：在先进的射频设计中，射频电路比 ESD 现象要快得多，这就导致 ESD 现象和 ESD 元件响应的频率“带”与射频功能电路的工作和应用频率可以相比拟。当射频应用频率超过 5GHz 时，应用频率会超过 ESD CDM 能谱（即接近 5GHz）。由于应用的频率超过了 ESD 现象，因此射频 ESD 设计方法可以考虑利用 ESD 事件时标（即频率）响应和应用频率的差异。
- ESD 频域负载降低的方法：在射频 ESD 设计中，一个重要关注点是通过利用射频网络的频率响应与 ESD 现象的不同来降低负载效应。
- ESD 和射频电路协同综合的 ESD 方法：在 ESD 网络的射频设计中，需要设计与射频电路连接的 ESD 器件。通过网络的协同综合，能优化负载效应和频率修正来打破 ESD 射频网络的限制。
- 在射频设计中将 ESD 元件作为电容来应用的 ESD 方法：ESD 元件可以看做电容元件，因此在协同综合中把功能电路的电容转换成 ESD 元件从而获得同样的射频性能的方法。

法是可行的。

- 从射频元件到 ESD 元件的串联到并联转换的 ESD 方法：假定一个功能射频电路定义为串联结构，其表述可以修改为并联结构。在从串联结构到并联结构的转换过程中，作为到电源或者到地线的并联分流器，一部分元件能够被用作 ESD 保护。
- 利用 ESD 元件作为旁路电容器的 ESD 方法：假定一个功能射频电路定义为串联电容结构，为了建立一个旁路电容的等效电路，其表征可以被修改为并联结构。假定一个电容器与一个电阻元件串联，这个电路能转换为一个电阻和电容并联并能达到同样品质因数 (Q) 的等效电路。这个带有匹配 Q 的网络的转换具有相同的电路响应。在这种方法中，串联电容元件可以被并联 ESD 元件替代，这个并联 ESD 元件在双极工作模式和击穿工作模式中都充当 ESD 元件。
- 并联电纳等效负载补偿的 ESD 方法：并联结构上的容性负载能够视作并联的两个电纳。在实施过程中，总的电纳负载是新负载电纳和 ESD 电纳的并联结构。如此，总负载电纳到一个 ESD 电纳负载和一个新的电纳负载的等效并联结构的转换就完成了。
- ESD 元件电路的串联电感去耦的 ESD 方法：使用与 ESD 元件串联的电感元件，ESD 元件的负载效应能够被电感隔离。串联的电感在 ESD 事件中提供一个低的 $L \, di/dt$ ，使得电流流过 ESD 元件到电源线或者地线。在射频功能工作过程中， $L \, di/dt$ 可让 ESD 元件电压被隔离。
- 窄带固定负载吸收和共振的射频 ESD 方法（匹配 L- 匹配补偿方法）：ESD 元件可以作为一种提供输出和负载阻抗匹配的方法。因此，使用匹配技术，ESD 元件能够作为匹配元件提供最佳匹配条件。使用由一个串联电感和一个旁路电容（如 ESD 元件）组成的 L 型匹配电路，ESD 网络就能够作为一种用来提供电源和负载之间的匹配的方法。旁路电容在在史密斯导纳图上必须保持在一个恒定的电导圈上。
- 窄带固定负载吸收和共振匹配 L 型匹配的射频 ESD 方法：对于“吸收匹配”，杂散电抗被吸收到阻抗匹配网络，最大可以等于匹配元件。对于“共振匹配”杂散电抗，是与一个大小相等方向相反的电抗共振而消去。因此寄生电抗可以作为一个 ESD 元件共振匹配到一个相等感抗的电感。假如通过匹配电感电纳隐藏 ESD 电容元件来达到“共振匹配”，那么用一个电感元件并联到 ESD 电容器元件可以使 ESD 电容负载效应为零。
- 负载效应消除的 ESD 方法：使用射频部件，ESD 的负载效应可以在所应用的频率中隐藏。ESD 负载效应的消除能够通过合适的附加元件负载来实现。
- 阻抗隔离的 ESD 方法：使用电感与 ESD 网络串联，电感可以作为高阻抗元件，这样 ESD 元件的负载效应在所应用的频率中就不会被观察到。
- 使用 LC 谐振进行阻抗隔离的 ESD 方法：使用电感和电容并联，即用 LC 振荡电路串联上一个 ESD 元件，能够减少 ESD 元件的负载效应。LC 谐振的频率是能够允许 ESD 元件工作的，但是在射频工作时提供隔离。

- 集中与分散负载的 ESD 方法：在射频 ESD 设计中，ESD 设计降低负载效应的重点可以通过在频域利用分布 ESD 负载而不是单一成分集中的元件来实现。“分散”与“集中”的设计方法能够在单一给定的元件或者多个元件中实现。
- 使用设计版图进行分布设计的 ESD 方法：在射频 ESD 设计中，作为 ESD 设计重点的负载效应降低可以通过在频域利用单一 ESD 元件的分布类型来实现。这能够通过版图设计来实现，即通过在 ESD 设计版图中引入电阻、电容或者电感来实现。二极管、MOS 场效应管和双极型晶体管的金属互连设计和版图分布可能引入分布效应。这在 ESD 元件的数字运算中通常是不利的，但在射频应用中，它可以被利用。
- 使用多个电路元件进行分布设计的 ESD 方法：在射频 ESD 设计中，作为 ESD 设计重点的负载效应降低可以通过在频域利用多个元件来实现。这可以通过多级设计来实现，在给定的 ESD 多级设计中引入电阻、电容或者电感，每级的规模可以相同也可以不同。这可以通过在 ESD 实现中引入射频电阻、电容或电感元件来实现；这在 ESD 元件的数字运算中通常是不利的，但在射频应用中，它可以被利用。
- 使用分布式多个电路元件级的电阻去耦 ESD 方法：在射频设计中，作为 ESD 设计重点的负载效应降低可以通过在频域利用多个元件和串联电阻来实现。这可以通过多级设计来实现，在给定的 ESD 多级设计中引入电阻器，每级的规模可以相同也可以不同。电阻器的引入在功能运算中会产生电阻压降并隔离连续的两级电路，但在 ESD 工作中就不会产生影响。
- 使用分布式多个电路元件级的电感去耦的 ESD 方法：在射频设计中，作为 ESD 设计重点的负载效应降低可以通过在频域利用多个元件和电感来实现。这可以通过多级设计来实现，在给定的 ESD 多级设计中引入片上或者片外电感器，每级的规模可以相同也可以不同。电感器的引入在功能运算中会产生一个 $L \, di/dt$ 的压降来隔离相邻的两级电路，但在 ESD 工作中则不会产生影响。
- 使用共面波导的分布式设计的 ESD 方法：在射频 ESD 设计中，多级实现可以通过放置共面波导 (Co Planar Waveguide, CPW) 来改善功率传输、匹配并减小在输入节点的负载效应。
- 数字半导体芯片内核的分布式设计的 ESD 方法：数字芯片部分并非固定设计成对 50Ω 的条件匹配。因此，射频设计实践需要为内核芯片的子功能放置一个阻性元件通过分流来完成分布式设计。
- 电容隔离缓冲的 ESD 方法：使用去耦电容器与射频元件串联能给接收网络提供阻抗缓冲，同时不影响 ESD 网络工作。电容元件可以是金属-绝缘体-金属 (Metal Insulator Metal, MIM) 电容、垂直平行板 (Vertical Parallel Plate, VPP) 电容、或金属-层间介电层-金属 (Metal Inter Level Dielectric Layer Metal, M/ILD/ILD) 电容器。由于对直流电流的阻隔作用这个方法不能用在直流电路中。
- 用于提高线性度的结构型 ESD 方法：ESD 网络可以设计成某种方式来消除 RF 设计中

的线性问题。例如，二极管元件和变容二极管结构的电容会随着偏置电压发生变化。使用 ESD 元件（如双二极管结构），射频电路的线性问题就能够得到改善。

- 用于提高线性度的调谐 ESD 电路的射频 ESD 方法：ESD 网络可以通过调整来改善射频设计中的线性问题。例如，二极管元件和变容二极管结构的电容会随着偏置电压发生变化。这些容量变化可以通过使用可调的 ESD 元件以半导体工艺或者设计版图技术来调整。
- 噪声和 ESD 最优化的射频 ESD 方法：噪声在射频电路中是值得关注的。这会影响到数字、模拟和射频电路之间的芯片结构。此外，对噪声的关注也决定了衬底的掺杂浓度、半导体剖面、隔离策略和保护环的设计。另外，对噪声的关注可能决定 ESD 器件的类型。因此，芯片结构、芯片电源栅格、ESD 元件的选择和 ESD 电路的选择的协同综合方法均受噪声要求制约。
- 品质因数和 ESD 最优化的射频 ESD 方法：品质因数 Q 是受 ESD 器件的选择影响的。另外，射频无源元件像电阻器、电感器和电容器在 ESD 事件中会出现 Q 因数的退化。因此对 Q 因数的最优化和 ESD 电流通路最优化需要知道关键电路元件的 ESD 应力的相关射频退化机理。
- 稳定性和 ESD 最优化的射频 ESD 方法：在射频 ESD 的设计中，电路设计必须满足电学直流稳定性、热稳定性和射频稳定性的要求。放大器的稳定性是源和负载级稳定性的函数。在射频设计中，这些被定义为源和负载稳定性环。源和负载的稳定性是最小电阻要求的函数。随着 ESD 镇流电阻的增加，电路的稳定性会得到改善。在协同综合稳定性需求的情况下，ESD 电阻可以通过集成来改善电路的稳定性。
- 增益稳定性、噪声、 Q 和 ESD 最优化的射频 ESD 方法：在电路的优化中，增益稳定性、噪声、品质因数和 ESD 可以协同综合处理。ESD 电路可以设计成将 ESD 元件加到电路中来帮助满足严格的稳定性标准。对于 ESD 优化，从源到负载顺着增益噪声最优路线，即有最大旁路电容的通路可以实现最优解决方法。
- 非频率触发的 ESD 电路：引入有频率驱动触发元件的 ESD 电路，如 RC 触发 MOSFET ESD 电源钳位电路或者 RC 触发 ESD 输入网络，由于有与其他射频电路响应的相互作用因此是不符合要求的。例如，有电感负载的 RC 触发网络的引入会引发不需要的振荡状态和功能性问题。因此，在射频技术中，对于某些射频应用非频率触发网络可以获得满意的效果（如电压触发网络）。
- ESD 系统级和芯片级多级解决方案：在射频应用频率，ESD 保护的负载效应对射频特性有重大的影响。射频应用的 ESD 解决方案包括片上和片外 ESD 解决方案的结合：火花间隙、场发射器件（Field Emission Device, FED）、瞬态电压抑制（Transient Voltage Suppression, TVS）器件、聚合物电压抑制（Polymer Voltage Suppression, PVS）器件、机械分流器和其他解决方法。通过结合片外和片上 ESD 解决方案，可以减小芯片上解决方法的数量或百分比。

- ESD 非半导体电感器件：火花间隙、场发射器件 (FED)、瞬态电压抑制 (TVS) 器件、聚合物电压抑制 (PVS) 器件、机械包装“短路”分流器和其他解决方法会在射频应用的芯片外应用，这是由于负载效应、空间 (ESD 设计面积)、成本 (成本 / 裸片) 或者缺少合适的材料 (如衬底材料) 形成 ESD 保护电路。这些解决方案对有高密度引脚数和封装约束的半导体芯片通常不是好的选择，而对于低引脚数低电路密度的应用，这些方法都是可选择的。

5.5.2 ESD 射频电路——信号引脚 ESD 网络

射频接收器电路在射频 ESD 设计中是非常重要的，这源于这些网络的 ESD 敏感性。通常，接收器电路在芯片应用中是最为敏感的。接收器性能在半导体芯片性能中扮演着至关重要的角色。主要的原因是以下几点^[4, 5, 7, 13]：

- 射频接收器电路的物理面积很小。
- 接收器性能要求限制了接收器上的 ESD 负载。MOSFET 栅极面积、双极型发射极面积和电气互连引线的宽度都会影响接收器的性能。
- 射频接收器输入端连接到 MOSFET 的栅极 (在 CMOS 接收器中)，MOSFET 栅极绝缘区是在射频 MOSFET 接收网络中对 ESD 最敏感的区域。射频 MOSFET 栅极绝缘体厚度随射频性能目标而变化。
- 射频接收器输入连接到双极型基区 (在双极型接收器中)，双极型 e-b 结是双极型晶体管中对 ESD 最敏感的区域。基区大小随着射频性能目标而变化。
- MOSFET 栅极绝缘区和双极型晶体管基区均是结构中较敏感的区域。
- 射频接收器需要低的串联电阻。

在双极型和 BiCMOS 技术中接收器电路是公认的 ESD 敏感电路。双极型接收器电路通常由 NPN 双极型晶体管构成的共射结构组成。对于双极型接收器，输入焊盘连接到 NPN 管的基极触点，集电极直接或者通过其他的电路连接到 V_{CC} 。NPN 双极型晶体管发射极连接到 V_{SS} ，或者通过发射极电阻元件或其他电路连接到 V_{SS} 。

在双极型接收器网络中，对于正极性 HBM ESD 事件，随着基极电压的增加，基极到发射极的电压也跟着增加，导致基极 - 发射极正向偏置。基极 - 发射极的正向导通，导致电流从基区流向发射区。通常在双极型接收器网络中，发射区的物理尺寸是很小的。当 ESD 电流超出安全工作区 (Safe Operation Area, SOA) 时，双极型晶体管会出现退化效应。双极型器件的退化效应能够通过双极型晶体管跨导的变化观察到。电学参数上，随着 ESD 电流等级增加单位电流截止频率 f_T 会减小。从 $f_T - I_C$ 曲线看，随着 ESD 脉冲事件发生， f_T 大大减小，导致 f_T 的峰值减小。

对于负向脉冲事件，基极 - 发射极是反向偏置的。随着信号脚上电压的减小，基极 - 发射极区域金属化结两端反偏电压增加。发射极 - 基极金属化结发生雪崩击穿，导致通过发射极和基极的电流增大；这会导致双极型晶体管的热击穿和二次击穿。实验结果表明负极性的

失效等级比正极性失效等级要低。

一种用于单端双极型网络改善 ESD 效果的通用 ESD 设计解决方案是将一个 PN 结型二极管并联到 NPN 双极型晶体管的发射极 - 基极结上 (图 5.19)。通过使用并联的元件, PN 结的阳极连接到 NPN 管的发射极, 阴极连接到 NPN 管的基极区; 这个 ESD 元件起到旁路元件的作用, 避免 NPN 管基极 - 发射极结发生雪崩击穿。二极管元件被放置到 NPN 管附近以避免形成衬底电阻导致 ESD 二极管过早导通。注意这个元件与在 CMOS 接收器网络中用到的 CDM 解决方案类似。对于双极型晶体管来说, 它处理来自信号脚和可能来自发射极的 ESD 事件。

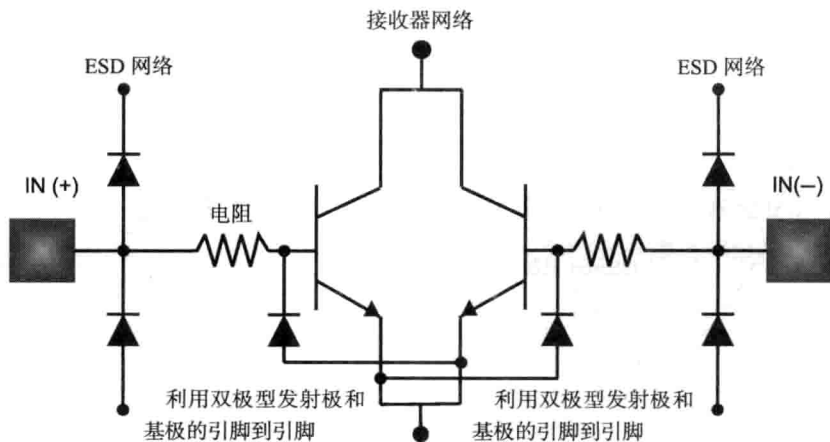


图 5.19 带有二极管 ESD 网络的双极型接收器

在射频 (RF) 双极型接收器中, 信号脚与基电极之间使用了金属 - 绝缘体 - 金属 (MIM) 电容器。对于正向或者负向极性的事件, 由于绝缘体的退化, MIM 电容可能会失效。如果接收器网络没有 ESD 保护, 那么接收器网络的 ESD 失效水平会受 MIM 电容元件限制。一种防止射频双极型接收器发生 ESD 失效的 ESD 解决方案是用一个 PN 结型二极管元件与 MIM 电容元件并联。PN 结型二极管元件可以处于反偏结构中, 用作并联电容元件, 并且可不允许直流电压在信号脚和双极型接收器基极元件间传输。PN 结型元件的缺点是对电容元件有效的品质因数“Q”有影响。

对于差分对接收器网络, 共质心设计和信号引脚到信号引脚保护的概念可以应用到射频网络中。解决方案会根据是 CMOS 差分接收器还是双极型差分电路而有所不同。

5.5.3 ESD 射频电路——ESD 电源钳位

对于射频 BiCMOS 技术, 可以从数字、模拟或者射频电源域来建立 ESD 电源钳位。对于低电压的 CMOS 电源域, 可以使用 GGNMOS 或者 RC 触发 ESD MOSFET 电源钳位。对于半导体芯片的双极型部分, 使用双极型 ESD 电源钳位更好。ESD 双极型电源钳位的一个例子是使用电压触发的双极型晶体管和双极型“钳位”元件的电路^[4, 5, 7, 13]。

对于这种 ESD 双极型电源钳位，可以应用与双极型晶体管的电源和性能有关的基础理论（图 5.20 和 5.21）。利用集电极-发射极结构双极型晶体管的击穿来构建的基于双极型的 ESD 电源钳位电路可以通过用一个晶体管作为触发元件，另一个晶体管作为输出钳位器件来组合出来。如图 5.4 所示。一个 BV_{CE0} 电压触发的双极型 ESD 电源钳位电路包含一个在第一和第二个电源线之间的输出双极型晶体管，第一个电源线连接到双极型晶体管的集电极，第二个电源线连接到双极型晶体管的发射极。一个偏置电阻元件连接到输出钳位器件的基极。这偏置电阻使基极设置到低电位来防止输出钳位的“开启”^[4, 5, 13]。

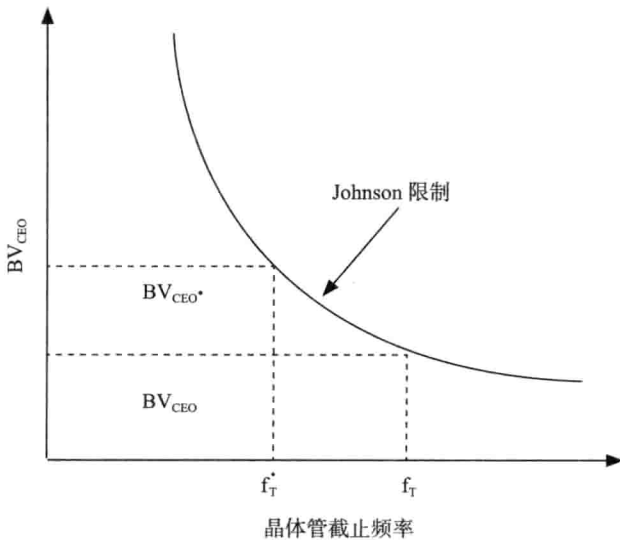


图 5.20 BV_{CE0} 对 f_T 的 Johnson 限制关系

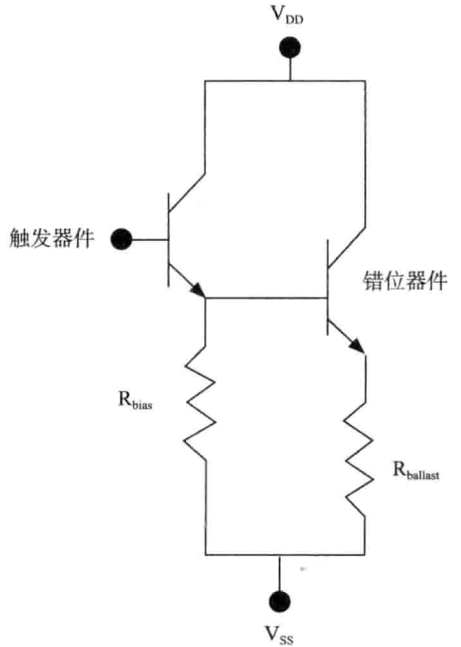


图 5.21 双极型 ESD 电源钳位电路

使用双极型和 BiCMOS 技术的双极型 BV_{CE0} 击穿电压触发的 ESD 电源钳位有如下优点：

- 低触发电压条件
- 可拓展性
- 与模拟和射频电路的兼容性和设计集成
- 与双极型晶体管的兼容性
- 用于被支持的双极型晶体管（如：没有使用寄生器件的情况）
- 电路仿真
- 多个晶体管的利用
- 低噪声源
- 可用于正或者负极性的电源

BV_{CE0} 击穿电压触发的 ESD 电源钳位能够利用共射极模式的晶体管，并在这个电压条

件开始输出钳位。其独特之处在于与晶体管单位电流截止频率有固定关系时使用 BV_{CEO} 条件。根据 Johnson 方程式，其功率公式如下：

$$(P_m X_c)^{1/2} f_T = E_m v_s / 2 \pi$$

这里 P_m 是最大功率， X_c 是电抗 $X_c = \frac{1}{2} \prod f_T C_{bc}$ ， f_T 是单位电流增益截止频率， E_m 是最大电场， v_s 是电子饱和速率。最大电压 V_m 和截止频率的积表示为：

$$V_m f_T = E_m v_s / 2 \pi$$

因此根据 Johnson 方程，

$$V_m^* f_T^* = V_m f_T = E_m v_s / 2 \pi$$

这里 $V_m^* f_T^*$ 与第一个晶体管有关， $V_m f_T$ 与第二个晶体管有关，击穿电压的比值可由如下式子决定，

$$\frac{V_m^*}{V_m} = \frac{f_T}{f_T^*}$$

使用这个 Johnson 关系，ESD 电源钳位就可以这样来综合：一个有最低击穿电压的触发器件可以通过使用最高截止频率 (f_T) 晶体管来生成而一个拥有最高击穿电压器件的钳位器件该器件拥有最低的截止频率 (f_T)。

从这些电源的关系可以综合出一个 BV_{CEO} 击穿电压触发的双极型电源钳位电路。在这个结构中，ESD 电源钳位是共集电极结构的。为了使这个结构适合于 ESD 电源钳位，我们可以利用器件中 BV_{CEO} 击穿电压与单位电流增益截止频率 f_T 的反比关系。对于一个 ESD 电源钳位电路，为了承受 V_{CC} 电源和接地点之间的电压，ESD 输出钳位器件必须能耐高击穿电压。这个 ESD 电源钳位电路需要 f_T 的值高于 ESD 的脉冲频率来有效地释放电流。对于双极型触发器件，为了尽早有足够电压开启基极电流到钳位器件，需要有一个低 BV_{CEO} 击穿电压的器件 (图 5.21)。

这个电路可以在同质结构的硅双极结型晶体管，或硅锗双极型晶体管、硅锗碳双极型晶体管，或砷化镓异质结双极型晶体管 (Hetero-junction Bipolar Transistor, HBT) 中构建。基于双极型的 BV_{CEO} 触发的 ESD 电源钳位触发网络由一个高 f_T 的 SiGe HBT 和一个偏置电阻组成。当晶体管的集电极到发射极电压低于击穿电压时，没有电流流过触发晶体管。偏置电阻使 SiGe HBT 钳位晶体管的基极保持在地电位。由于没有电流流过，输出钳位可以被形象化为电源之间的“基极接地”的 NPN 器件。当 V_{CC} 上电压超过集电极到发射极击穿电压 BV_{CEO} ，在高 f_T 的 SiGe HBT 中，电流流进 SiGe HBT 高击穿电压器件的基极。这会导致在 V_{CC} (或者 V_{DD}) 电源线到 V_{SS} 接地线上的电流释放。

5.5.4 ESD 射频电路——ESD 射频 $V_{\text{SS}}-V_{\text{SS}}$ 网络

ESD 保护网络也会数字和射频地线之间放置。对于射频实现，如果在地线之间电容耦合过度，射频 V_{SS} 到 V_{SS} ESD 网络的引入会导致射频性能退化。在数字实现中，在接地端之

间会加上反并联的二极管串。对于数字实现，串联二极管的数目与噪音隔离所需的差分电压是有关系的；对于射频实现，二极管的数目与射频电路电容去耦的需要有关。

5.6 本章小结

第5章就半导体元器件中关注的ESD问题的解决办法讨论了ESD保护网络，给出了ESD输入电路和ESD电源钳位电路的例子，这是1 μm 技术到28nm技术解决方案的典型例子。本章就数字、模拟和射频电路的片上ESD概念作了一个简单的讨论。在20世纪90年代，很少书讨论这个话题，但是现在对于想要详细信息的读者，有大量的书籍和出版物供你细读。

在第6章中，我们转向ESD的系统级的解决方案。下一章将会就系统级ESD问题解决方案来讨论非传统的片上和片外ESD保护网络的问题。火花隙、场发射器件和导电聚合物ESD保护概念是（其中）一些例子。我们还将讨论一些新方法来评估元器件级ESD退化的系统级响应和对电磁场的敏感性，将给出两个例子，将“退化的元件”放入系统中来评估系统级性能退化。此外，我们还将展示一个ESD/EMC扫描系统如何处理元件和系统级的敏感性。这个新的方法填补了元器件级ESD评估和EMC系统级测试之间的空白。而且，这个ESD/EMC测试方法提供了敏感性位置的映像，有助于找其根本原因，允许重新设计或者改进。

参考文献

1. Voldman, S. (2004) *ESD: Physics and Devices*, John Wiley and Sons, Ltd., Chichester, England.
2. Voldman, S. (2005) *ESD: Circuits and Devices*, John Wiley and Sons, Ltd., Chichester, England.
3. Voldman, S. (2008) *ESD: Circuits and Devices*, Publishing House of Electronic Industry (PHEI), Beijing, China.
4. Voldman, S. (2006) *ESD: RF Circuits and Technology*, John Wiley and Sons, Ltd., Chichester, England.
5. Voldman, S. (2011) *ESD: RF Circuits and Technology*, Publishing House of Electronic Industry (PHEI), Beijing, China.
6. Voldman, S. (2009) *ESD: Failure Mechanisms and Models*, John Wiley and Sons, Ltd., Chichester, England.
7. Voldman, S. (2005) *ESD: Design and Synthesis*, John Wiley and Sons, Ltd., Chichester, England.
8. Dabral, S. and Maloney, T.J. (1998) *Basic ESD and I/O Design*, John Wiley and Sons Ltd., West Sussex.
9. Wang, A.Z.H. (2002) *On Chip ESD Protection for Integrated Circuits*, Kluwer Publications, New York.
10. Amerasekera, A. and Duvvury, C. (2002) *ESD in Silicon Integrated Circuits*, 2nd edn, John Wiley and Sons, Ltd., West Sussex.
11. Hastings, A. (2006) *The Art of Analog Layout*, 2nd edn, Pearson Prentice Hall, New Jersey.
12. Vashchenko, V. and Shibkov, A. (2010) *ESD Design in Analog Circuits*, Springer, New York.
13. Singh, R., Harambe, D., and Oprysko, M. (2004) *Silicon Germanium: Technology, Modeling and Design*, John Wiley and Sons.

第 6 章

系统中的 ESD 问题及解决方案

2011 年，在参观玛雅遗迹之前，我正在墨西哥的 Palenque 享用产自 Chiapas 省的美味咖啡。在这个安静的小城中，我们听到了金属罐的咣咣声，它们通过车后的金属线缆正不断地撞击地面……这辆嘈杂的敞篷式卡车塞满了丙烷罐，车后部还有几个工人。起初我以为这是一个庆祝活动，比如婚礼之类的，但是实际上，这仅仅是出于 ESD 的考虑……这是一种多么喧闹的系统解决方案啊！

6.1 ESD 系统解决方案——从最大到最小

本章将讨论各种系统，从飞机、汽车、计算机、磁盘驱动器到半导体芯片中的 ESD 问题的解决方案。将讨论系统级片外 ESD 防护，比如火花隙^[1-6]、场发射器件 (FED)^[7]、瞬态电压抑制器件^[8, 9]、机械封装解决方案^[10-22]、磁记录内嵌和封装解决方案^[23-27]。这些讨论将强调这些系统级解决方案以及它们与 ESD、EMI 和 EMC 的关系^[28-40]。还将讨论 IEC 问题^[41-45]、片上结构及数字、模拟和 RF 设计中的布局规划^[46-54]，最后以新型 ESD/EMC 扫描技术的讨论作为结尾。

6.2 航空航天解决方案

当乘坐飞机时，你是否注意到只有当乘客都离开后，飞机才加油？你是否曾经注意到汽油油罐车的接地电缆通过一个金属夹钳连接到飞机上？航空业每天都必须遵守相关规程以解决飞机的充电问题。此外，还有一些相关标准和规范用于解决环境因素而引起的问题（如 RTCA/DO-160E，《航空装备的环境条件和测试规范》，航空无线电委员会 (Radio Technical Commission for Aeronautics, RTCA)，2004 年 12 月 7 日)^[35]。

6.3 油轮解决方案

在大西洋海岸，油轮靠近岸边后可以用管道连接油轮，并把石油从油轮抽取到岸上的圆

桶形油罐储存设备中储藏起来。当石油被抽离水中的轮船时，岸上的油罐储存设备可能会发生爆炸。

这个问题首次出现时，人们意识到这是由于石油中的带电离子对储油罐进行了充电。如果不对连接油轮和储油设施的管道进行正确的接地处理，那么移动的电荷就不能被连接到地电位上。该问题的解决方案是沿着对应的路径，对输油管道进行接地，这样电荷会移动到管道的侧壁上，进而引导到地下。

在近年来的某些油轮爆炸事故中，人们仍然认为静电是引起事故的罪魁祸首之一。在全球范围内发生的油轮起火事故中，静电也是潜在引因。

6.4 汽车解决方案

美国佛蒙特州的伯灵顿市，现在是 66 °F，因此我决定出去慢跑——当我跑过加油站时，我注意到灭火器被放在油泵的旁边！！ ESD，它是无处不在的！

近年来，针对与汽车和加油站有关的起火或爆炸事故，形成了一套解决方案：

- 应当具有 ESD 的意识
- ESD 相关的规范——该做什么和不该做什么
- 配备灭火器

我注意到加油站的油泵上标有可移动容器（即油罐）的警告。该警告规定当填充油罐时，油罐不能被放置在垫子上，或卡车的背部，正确的操作方法是在填充过程中把它放在地上。

从上述情况中可看到，在如今的飞机、油轮和汽车中，ESD 仍然是一个问题。当运送带电液体时，在适当的地方应当采取正确的接地方式，并遵守正确的操作规程，以避免 ESD 引起的火灾或爆炸。

6.5 计算机和服务器的

在过去，服务器都是巨大并且昂贵的，它的电缆安装是一个问题。避免发生电缆放电事件进入系统的解决方案，包括使用“触摸垫”、规范操作程序、采用浪涌保护装置以及片上防护。

服务器——触摸垫和操作程序

对于大型服务器，启动电源、关闭电源、和电缆安装都有相关操作步骤和规范。安装电缆中的一个操作规范就是使用“触摸垫”。操作人员手握电缆时，应当接触“触摸垫”，待服务器外壳的静电放电完毕后再将电缆插入系统中。

6.6 主板和板卡

ESD、EOS、EMC 和 EMI 的解决方案可以集成在板卡和电路板中，从而避免系统中的失效^[33]。这些解决方案包括：

- 系统板卡插入的触点
- 系统级接地设计
- 系统级“板上”EOS 和 ESD 防护

6.6.1 系统板卡插入的触点

避免系统出现失效的一种常用技术手段是在设计板卡时，对板卡的触点进行特殊设计，使得板卡的地 (V_{SS}) 和电源 (V_{DD}) 触点的长度超过其他信号端触点的长度。此设计的目的是，当板卡被插入系统插槽中时，它的电源和地信号被首先接触导通 (图 6.1)。这样的话，如果电路板 (或插板) 带有静电电荷，这些电荷会首先往系统的电源或系统的地流动。曾经有一款手持设备未正确进行此种设计，当它被插入插槽中以便与计算机进行交互时，产生了一个电流脉冲并进入了计算机的信号线中，导致计算机出现了故障。

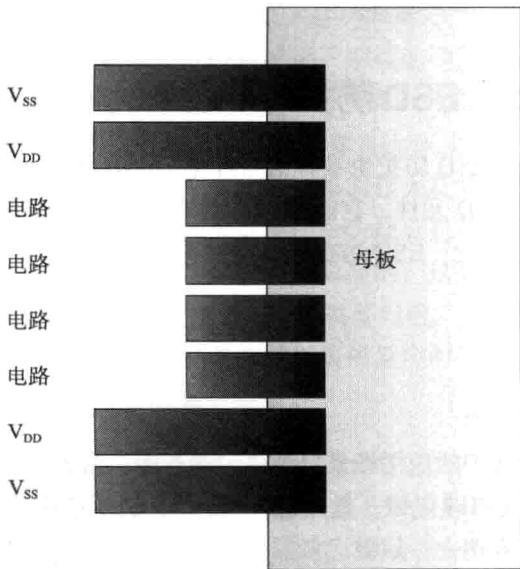


图 6.1 被延长的 V_{DD} 和 V_{SS} 的触点设计

6.6.2 系统级的电路板设计——接地设计

接地设计对于系统级电路板的设计来说是至关重要的^[28-40]。在许多电路板的设计过程中，设计者出于隔离系统级噪声的目的，会把电路的数字地和模拟地分离开来。但这样设计会导致电路板上那些跨越两个地平面的信号线容易受到电磁的干扰。

一种解决该 EMI 和 EMC 问题的方案是不把两个地平面分离开来，而是把它们在电路板上的某个位置给连接起来^[33]。图 6.2 展示了一个数字和模拟应用的实例。在该实例中，数字部分的电路位于地平面的一个区域中，而模拟部分的电路则位于相同地平面的另一个区域中。该地平面有一个小型的“桥接”，在该桥接部位放置了一个数模转换器。通过此种方式，所有的数字信号线和引脚都保持在地平面的一侧，这样就能避免数字噪声影响模拟部分的电路，并同时保证了电路板的地平面不会被完全隔离开来。

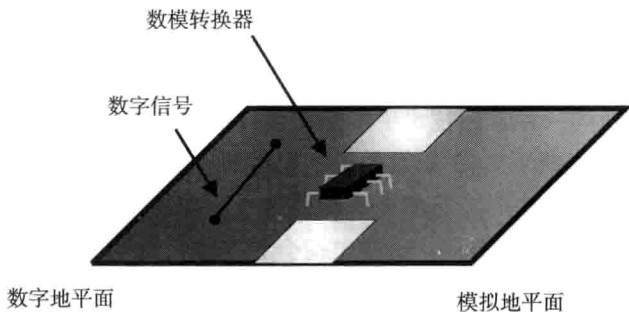


图 6.2 单个地平面的电路板设计

6.7 系统级“板上”ESD 防护

对于半导体元件而言，ESD 防护也被称为“片上”ESD 防护。“板上”ESD 防护指的是放置在插板或电路板上的 ESD 元件，它能替代片上的 ESD 防护或其他额外的防护方式。由于下面所述的一些原因，“板上”ESD 防护有可能是系统唯一可用的 ESD 防护来源：

- 成本
- 芯片面积
- 芯片尺寸
- 无法实现“片上”防护

不使用“片上”ESD 防护的应用场景包括磁记录产业、激光单管、发光二极管、超高压器件，以及一些 RF 技术（如砷化镓，氮化镓）。造成它们不能使用“片上”ESD 防护的原因可能是器件圆片的不兼容性——如磁记录器件，也可能是出于面积的考虑——如激光器和 RF 技术^[49, 50]。

随着 RF 性能指标的增多，低电容 ESD 防护能力提高的重要性日益上升。当工作频率上升到 1GHz 时，如何减小 ESD 防护的负载效应成为 CMOS、绝缘体上硅（Silicon On insulator, SOI）和 BiCMOS 工艺的一个关键问题。当工作频率从 1GHz 上升到 5GHz 时，必须对基于 ESD 强度和电容负载效应关系的 ESD 元件的选择进行评估，以提供最佳的 ESD 解决方案。当工作频率上升到 5GHz 以上时，ESD 和 RF 性能之间的相互影响变得越来越重要。

问题是，当电路的工作频率上升到 10GHz、100GHz 或更高时，ESD 芯片和系统的解决方案会是怎样的呢？目前，工作频率为 100GHz 的电路已经出现。

在高速 RF 应用中，传统的解决方案因不再适用而被抛弃，一些新的 ESD 方案将被使用。下面的内容将集中于空气击穿火花隙（spark gap）^[1-7]、场发射器件（Field Emission Device, FED）^[7]、聚合体电压抑制器件（Polymer Voltage Suppression, PVS）^[8, 9]，以及机械封装的解决方案^[10-28]。

板上的 ESD 防护使用了不同的元件，主要包括：

- 火花隙
- 二极管单管元件
- 单个电容器元件
- 瞬态电压抑制器件（Transient Voltage Suppression, TVS）

6.7.1 火花隙

随着 RF 性能指标的增多，提供低电容 ESD 防护能力的重要性日益上升。火花隙将来会在片上和片外的 ESD 防护中发挥重要作用。火花隙基于空气击穿原理^[1-7]，早在 20 世纪 70 年代，就在电路板系统和模块方面已经引起了人们的兴趣^[5, 6]。它可以在印制电路板（PCB）、模块和多芯片系统上实现，可以制作在陶瓷基板、硅基底和用于安装半导体芯片的其他形式的封装之上，而且片外火花隙具有不占用半导体芯片面积的优势。

火花隙和场发射器件可以作为 ESD 防护电路在片上或片外实现^[5-7]。在封装或衬底材料上，可通过紧邻的间隔金属线形成的金属化图形来制作火花隙。在陶瓷基板上实现的火花隙受到金属线间距大小的限制。片外实现火花隙的一个缺点是其金属线之间的间距要远大于片上实现所能达到的间距。火花隙的可靠性是至关重要的，这表现在其放电的能力上；当火花隙用作 ESD 保护电路时，它的可重复性也是一个重要问题。火花隙的另外一个限制因素是其反应时间，火花隙内部发生的气体放电具有纳秒级的反应时间。同时，击穿电压也是火花隙的限制因素之一。因此，火花隙具有如下限制^[7]：

- 放电启动的可靠性
- 放电电流和电压幅度的可重复性
- 弧放电响应时间常数
- 击穿电压的幅度（如与应用器件的敏感度相比）

在放电事件中，火花隙的电极会遭到电气损坏，进而影响其可靠性。其次，随着对电极曲率的损坏和材料残留，用可重复性来评价片外火花隙好坏的理由会变得不充分。

此外，对于 RF 应用而言，与击穿、气体电离和电离气体的反向恢复时间相关的时间常数会大于 RF 电路的电路响应时间。火花隙的启动时间是碰撞和电离化时间的函数，气体分子开始电离的时间常数与雪崩倍增相关^[1-4]。气体内部的击穿是由载流子加速产生的二次载流子的反馈所启动的。在非常高速的情况下，火花隙的性能会受到限制。

最后,火花隙的触发电压幅度也是一个值得关心的问题。Paschen对气体在平面隙区的击穿物理进行了研究^[1],其结果表明击穿过程是气体压力和电极距离乘积的函数,如第1章中所述,Paschen提出

$$pd \approx \frac{d}{l}$$

在上式中, p 为压力, d 为电极之间的距离, l 为电子的平均自由程。Paschen通过研究已经建立了一条通用曲线,该曲线所符合的特性与间隙间的气体无关。Paschen曲线是击穿电压的对数图形,而击穿电压是与“气体压力和电极距离乘积的对数”相关的函数。

$$V_{BD} = f(pd)$$

当 p 和 d 的乘积非常小时,由于碰撞的可能性非常小,电子必须加速以越过电离限制才能产生雪崩过程。此时击穿电压随着压力间隙乘积的增加而减小,这种情况只有达到最小条件时才会出现。当 p 和 d 的乘积非常大时,非弹性碰撞处于更高的水平,且击穿电压有所增高。这种U型关系是气体现象的特征。1915年Townsend发现在达到某个关键的雪崩高度时就会发生击穿^[4]。

$$H = e^{ad} = \frac{1}{\gamma}$$

上式中,雪崩高度 H 等于电离的概率系数(电场方向上单位距离内每个电子的电离碰撞次数)和电极间距的乘积的指数。雪崩高度 H 也可以表示为重生概率系数(阴极处每个正离子释放出的新电子的个数)的倒数。

这些器件也可能会受到弧电阻的限制。如第1章中所述,1906年Toepler建立了放电过程中弧电阻的关系^[2]。Toepler定律表明,在任何时候,弧电阻都与流过弧的电荷成反比:

$$R(t) = \frac{k_T D}{\int_0^t I(t') dt'}$$

上式中, $I(t)$ 为 t 时刻弧的放电电流, D 为电极之间的距离, k_T 是一个值为 $4 \times 10^{-5} \text{ V} \cdot \text{sec/cm}$ 的常数。

对于片外火花隙而言,由于受到光刻和封装环境下采用的半导体工艺技术的限制,要想实现一个完好的金属火花隙是比较困难的。片外火花隙在HBM防护的实验中只获得了有限的成功,由于火花隙的击穿特质,观察到了“ESD测试窗口”的存在。使用商用HBM测试系统进行测试,可以发现片外火花隙能在高电压下(如1000~2000V的HBM电压)提供ESD的防护。但在以100V步长步进递增的ESD应力下,片外火花隙在较低的HBM应力等级就出现了ESD失效。也就是说,半导体器件可以在较高的HBM应力电压等级下获得保护,但在较低的HBM应力等级下却容易受到影响。因此在使用火花隙时搞清楚其工作窗口和可操作的范围是非常重要的。

实验结果同样表明,在改善ESD防护特性上,片外火花隙也只获得了有限的成功。H. Hyatt采用了三级的系统防护策略用于保护单片微波半导体芯片:第一级是系统级的浪涌保

护元件，第二级是封装上的火花隙，第三级是片上的ESD保护网络。通过使用一个脉冲宽度为1ns的超快传输线脉冲(VF-TLP)测试源进行测试，其结果表明第二级的片外火花隙(如被集成入封装模块中的)对该三级ESD防护系统的性能改善没有帮助。由于光刻能力的限制(如造成火花隙的宽度太大)，在封装上实现片外火花隙，导致其响应能力有限，并且对于超快传输线脉冲事件，其反应时间也较慢。

在Bock的实验中，片上火花隙被用于给单片微波集成电路(Monolithic Microwave Integrated Circuit, MMIC)提供ESD保护。Bock开发了间距为 $0.4 \sim 4.0\mu\text{m}$ 的片上火花隙。在 $1\mu\text{m}$ 间距时，正常压力下空气的击穿电压大约为250V。Bock在实验中发现，由于不平整表面引起的电场增强因子会导致火花隙的击穿电压下降到45V^[7]。火花隙中的主要放电模式与场发射相关，与气体放电现象不相关。Bock还发现，对于微米尺寸范围的火花隙而言，其工作模式是不完全的电离和两个电极之间的场发射^[7]。

只有当硅基底、陶瓷基板和其他封装的物理尺寸可以减小到允许较低电压的火花隙时，采用片外火花隙进行ESD防护才能成为可行的解决方案。为了适用于低电压的半导体器件，必须很好地控制火花隙场发射特性的优化。此外，为了降低击穿电压需要采用先进的工艺技术。随着片外ESD防护解决方案的需求的增加，对具有更高可靠性的火花隙的需求也会上升。

6.7.2 场发射器件

与硅基器件相比，场发射器件(Field Emission Device, FED)作为ESD保护具有一些优势，主要体现在^[7]：

- 低介电常数 ($\epsilon_r=1$)
- 功率耗散
- 功耗处理能力

与硅基ESD网络相比，空气的介电常数是单位1。半导体材料(如硅、GaAs、锗、二氧化硅、低k介质)的介电常数大于1，这导致基于气体的ESD防护网络具有电容优势。

气体隙器件的功率耗散和自发热小于硅、锗或镓基的半导体器件，因此其处理脉冲功耗的能力也较强。

从RF性能和功能的角度来讲，场发射器件的ESD器件具有如下优势^[7]：

- 低寄生电容(如小于 0.1pF)
- 快速开关时间(如小于 1ps)
- 高电流密度($J > 108 \text{ A/cm}^2$)

随着MMIC工作频率的增加，在恒定电抗的约束下，ESD保护方案的电容可进行缩放。在100MHz的频率下，ESD防护网络的可接受电容负载是 $1 \sim 10\text{pF}$ ；在1GHz的频率下，对大多数CMOS数字逻辑电路和RF应用而言，可接受电容负载为 1pF 的ESD网络；但在10GHz和更高的频率下，ESD网络的电容负载必须减小到 0.1pF 以下。基于半导体的ESD

元件能通过掺杂进行优化或减小ESD网络尺寸以达到上述要求，因此场发射器件能在高于10GHz的频率下满足负载电容的要求。

场发射器件的开关时间受到载流子的渡越时间的限制。与火花隙相反，场发射器件并不受气体击穿中所发生的电离和雪崩过程的限制，因此对于可缩放的器件而言，场发射器件的速度能达到 10^{-12} s的时间尺度。在ESD事件下，如人体模型和机器模型，其时间常数是 10^{-9} s的时间尺度。J. Barth的研究工作表明，场发射器的响应时间可达到 100×10^{-12} s。对于CDM模型，其上升时间小于250ps，因此场发射器件的响应时间等于或快于与ESD事件相关的时间尺度。

实现场发射器件需要紧密相邻的结构以形成一个具有良好弯曲半径的“点”电极和发射极-集电极间距。场发射器件和火花隙都采用空气桥的结构来形成物理上的间隔，这就需要额外的工艺掩膜，以及一种空气暴露不会影响其可靠性的工艺。K. Bock和H.L. Hartnagel指出，场发射器件能提供更高的电流密度，并且其可重复放电的可靠性也更高^[7]。采用额外的5块掩膜，就可在圆片上实现负载电容小于0.1pF的具有空气桥的GaAs场发射器件结构^[7]。

这个场发射器件结构是由GaAs工艺实现的，其衬底材料是半绝缘的GaAs衬底，再在该半绝缘的GaAs衬底上形成一个N型外延GaAs层。在N型外延的GaAs层上采用湿法刻蚀工艺来实现发射极结构。通过刻蚀工艺可形成发射极的点，并决定了发射极结构的弯曲半径，该弯曲半径会影响发射点处的电场。此发射极结构随后被一层低功函数的金属薄膜所覆盖。采用湿法刻蚀工艺可把发射极尖端的尺寸设计到75nm^[7]。可以在场发射器件的发射极结构内部，发射点之间的N型外延区域中或其附近形成欧姆接触。

在发射极结构上淀积一层光阻薄膜，再在上面淀积一层金属膜，可形成一个良好的发射极间隙。对金属薄膜进行掩膜和刻蚀以形成集电极结构。去除光阻薄膜后，即可在GaAs发射极和金属空气桥集电极结构之间形成一个空气间隙(图6.3)。因此设计的难度主要在于形成GaAs发射点以及对光阻薄膜厚度的控制。

Bock和Hartnagel探讨了一种名为“电子钝化效应”优化方法^[7]。在半导体薄膜中，饱和效应会导致电流限制现象。当间隙内的带电电荷不断增多，电场会穿透半导体发射极，该穿透深度与掺杂浓度有关。当该现象发生时，发射极的串联电阻会增加，这会导致发射点附近的区域自整流，使得流过发射极区域的电流分布得更加均匀，降低了发射极尖端处的峰值电流密度，并更好地分布了流经发射极的电流。Bock和Hartnagel指出，这种“电子钝化效应”可用于在多发射极的场效应器件中实现

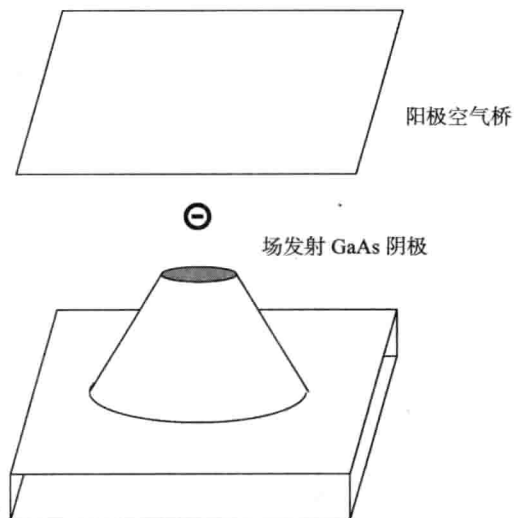


图 6.3 场发射器件的横截面

整流作用。Bock 和 Hartnagel 还指出，当金属薄膜用于场发射器件时，如果发射极的高度不一致，会出现某一个发射极先于其他并联发射极导通的情况。但在半导体发射极结构中，电子钝化效应会导致多个发射极同时导通，从而提高 ESD 保护器件的性能。因此，虽然从电流密度的角度来看，金属薄膜具有优势，但对于场发射器件的 ESD 元件而言，使用半导体薄膜却更加有利，这体现在电流分布和总峰值电流上。

Bock 和 Hartnagel 设计了两个不同的场发射器件的 ESD 保护网络。在第一种设计中，两个发射极都是 $20\mu\text{m}$ 长，半径为 250nm 的尖端，并且其发射极区域覆盖有 Au 薄膜。在该设计中，他们发现在金尖端的发射极中发生了退化。在此种情况下，场发射器件结构的 ESD 元件确实提高了被保护的 RF 器件的性能。这种设计在 GaAs 原型中可达到 1600V 以上的 HBM 防护等级（一般情况下，典型的 GaAs 产品所能达到的 HBM 水平不超过 1000V ）^[7]。

第二种设计是由 10 个发射极结构构成的场发射器件 ESD 保护网络，每个发射极长度为 $35\mu\text{m}$ ，发射极尖端半径为 75nm 。发射极之间的设计间距为 $14\mu\text{m}$ 。当阴极接负偏置时（相对于带正偏的阳极空气桥，发射极的锥形头具有负偏置电压），其触发电压为 -7V ；当阴极接正偏置时（相对于带负偏的阳极空气桥，发射极的锥形头具有正偏置电压），其触发电压为 20V 。此种设计结构实现了一个双向的 ESD 网络，它类似于双二极管的 ESD 网络，但具有不对称的触发条件^[7]。

通过在 RF MMIC 设计中采用半导体工艺材料，可以将场发射器件的 ESD 元件集成入晶体管的物理设计中（图 6.4）。

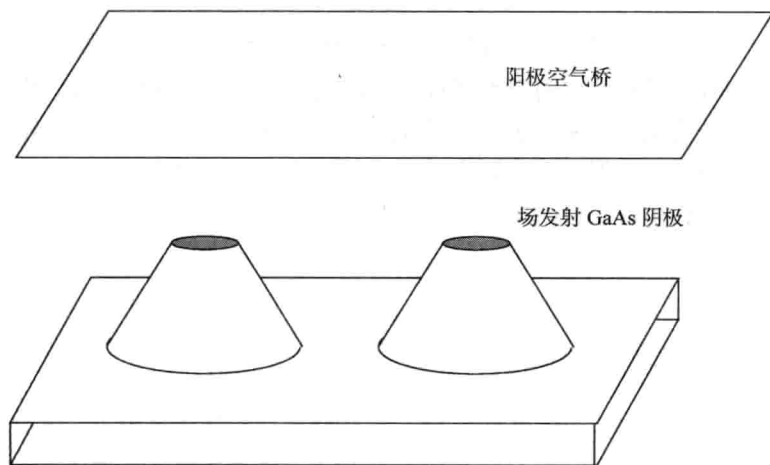


图 6.4 多发射极 GaAs 场发射器件

通过增加一个控制栅结构可以提高上述设计的性能。图 6.5 为一个 GaAs 场发射三极管，该结构采用 n^+ GaAs 栅格来辅助控制场发射过程和直流电流的控制。

在实现场发射器件的 ESD 网络时，需要注意如下几条设计经验：

□ 在多发射极设计中，场发射器件的发射极到集电极之间的间隙控制会造成不同发射极

的电导不一致。

- 使用单个半导体发射极代替金属发射极，可以提高场发射器件的电流一致性。
- 通过多发射极场发射器件结构的电子钝化效应，可以提高场发射器件发射极的整流。
- 场发射器件的电子钝化可补偿发射极到集电极之间的间隙控制。
- 利用场发射器件可以提供双向的 ESD 保护（但具有不对称的触发电压）。

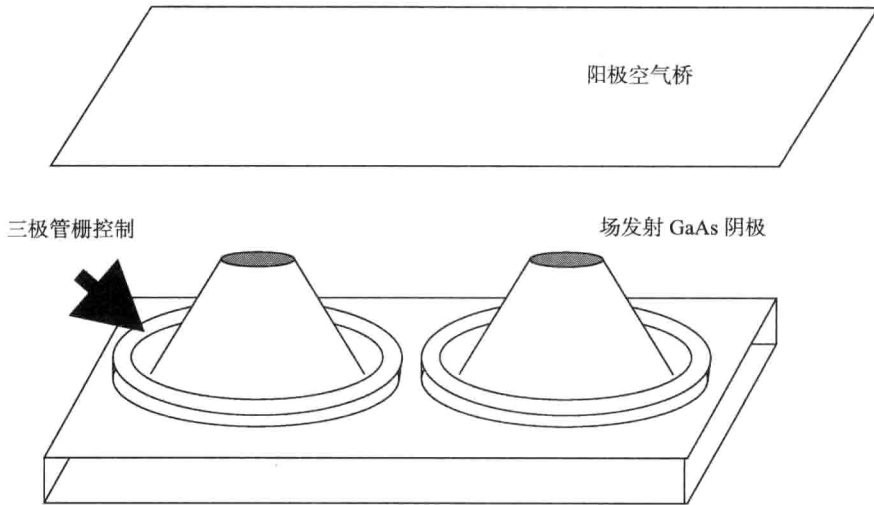


图 6.5 带控制栅结构的 GaAs 场发射器件三极管

半导体芯片上表面采用薄层进行钝化，以避免腐蚀、粘污以及对薄层和互连的刮擦。在射频半导体中，随着微机械系统的发展趋势，与过去相比，对空气桥和火花隙的使用变得更容易被接受。这为片上火花隙和场发射器件的实现与集成带来了机遇。在高性能的 RF 应用中，由于片上火花隙和场发射器件在可靠性、可重复性、时间响应和击穿电压上的优势，使得它们的应用前景变得更广，而且可能会取得更大的成功。然而，工艺成本和其他可靠性问题可能会影响未来片外 ESD 的实现。

6.8 系统级瞬态解决方案

随着工艺性能指标的增多，提供片上 ESD 防护将会变得越来越困难。此外，随着电路密度的增加，物理尺寸的缩小，仅采用片上 ESD 防护也可能是不够的。近年来，同时探索片上和片外 ESD 保护解决方案的趋势有所增加。在如今的系统中，信号线和电缆连接的数目迅速增加，这些地方会产生来自卡、板和电缆的 ESD 事件。对动态可配置的系统、卡、板和电缆，必须要有系统级的解决方案，而这些情况对于“仅片上 ESD 保护”的方案来说，非常难以解决。

同时，先进半导体芯片的速度会限制 ESD 保护网络的尺寸。随着器件 I/O 端口数量的增

加,可分配的空间和可接受的ESD电容负载会限制电路工程师的片上ESD保护器件的设计过程。更严格的电容要求造成了性能与ESD可靠性指标之间的潜在的冲突。

出于成本和性能的考虑,片外电压抑制器件会成为一个新的热点。在系统级,可用于ESD保护的电路元件和器件包括片外低电容空气隙、电阻、电容、电感、可变电阻、双二极管ESD元件及上述元器件的组合。在需要着重关注低电容和成本之前,二极管被广泛用于解决板卡的过冲和低冲问题。系统级二极管的电容在5pF的级别,这些负载效应对于未来的高频应用来说太高了。尽管二极管具有极低的触发电压,但是其电容负载也会引起信号的失真。在未来的大引脚数的解决方案中,需要对多个信号线进行经济的ESD保护,同时还要求在高频下具有较低的电容。

此外从材料的角度来看,很多现有的和将来的技术不适合采用片上的ESD保护。比如磁性记录器件,如磁阻头、巨磁阻头和隧穿磁阻头,它们都是在非硅片衬底上形成的。

在系统级设计中,ESD设计方案和实现会整合多级的ESD保护。在这些系统级解决方案中,最后一级的ESD保护会是片上的ESD网络。如果在这一基础上,再加上火花隙和浪涌保护概念,就更好了。

6.8.1 瞬态电压抑制器件

片外瞬态电压抑制器件可用于抵抗系统级ESD事件。瞬态电压抑制器(Transient Voltage Suppression, TVS)可为与高速数据和通信线相连的敏感集成电路提供低成本的保护,使其免受外部插口进入的EOS、ESD和电缆放电事件(Cable Discharge Event, CDE)的损害。系统工程师需要在保证质量和可靠性的前提下提高系统级性能。

ESD和EMI是系统所关心的焦点问题。系统级标准和系统工程师长期以来都知道带电的电缆会引起系统问题。带电电缆的高压和大电流事件被称为电缆放电事件。通过摩擦生电和感应生电可在非终端双绞线电缆上积累电荷。当双绞线在地上拖动时即会发生摩擦生电,在其绝缘层外表面产生正电荷,外表面的正电荷会吸引双绞线内部的负电荷跨越绝缘区域。当外面的正电荷附近被感应出负电荷时,在电缆末端的导电处会感应出正电荷。当电缆插入连接头时,会导致弧形放电,从而引起非终端双绞线的充电(注意:双绞线对这个点来说是中性的)。当电缆放在强电场中,就会产生感应充电。当电场移除时,该电缆会始终保持充电状态,直到发生了对地的放电事件。如果系统没有上电,那么不会发生闩锁事件;但如果系统在系统上电时发生了电缆放电事件,那么产生的电流会造成闩锁。随着WAN和LAN的集成,以太网起到了很大的作用。当带电双绞线连接到具有较低电势的以太网端口时,LAN系统中会发生电缆放电事件。标准(如IEEE 802.3的14.7.2节)列出了LAN电缆中电缆放电的电势。另外,5类和6类电缆的引入,使得穿过介质的漏电流显著降低。因此当摩擦产生电荷时,由于绝缘体的电导很低,使得感应的电荷可以保持较长的时间(比如24小时)。除了这些系统级问题外,由于与闩锁有关的关键参数的工艺缩放,使得先进工艺的闩锁稳定性显著降低。因此,随着系统和工艺的发展,这变得越来越重要,这体现在:

- WAN 和 LAN 的集成
- 5类和6类的LAN电缆
- 更高层次的断电事件
- 高层次的复接事件

瞬态电压抑制器件可用在含有一对高速差分信号（两根线）的标准 10 BaseT（10Mbit/s）、100 BaseT（100Mbit/s）和 1000 BaseTX（1 Gbit/s 通过铜线）以太网收发器接口等很多环境下应用。瞬态电压抑制器件有时在全桥配置中采用补偿二极管以减小电容负载效应，从而在 Gbit/s 以太网的高速传输接口中保持信号的完整性。瞬态电压抑制器件可以实现低于 10 pF 的电容负载和 100A（8/20 μ s）的浪涌电流的指标。

瞬态电压抑制器件的 ESD 设计目标包括：

- 每个信号引脚的保护元件数目
- 最大反向平衡电压低
- 低电容（1 ~ 10pF）
- 低钳位电压（接近半导体芯片外围 I/O 电源电压的水平）
- 达到 Telcordia GR-1089 避免室内闪电要求（100A，2/10 μ s 脉冲宽度）
- 最大的峰值脉冲功率（对于 10 ~ 100 μ s 脉冲宽度，以瓦特（W）为单位）
- 最小板级面积

为了解决芯片级和系统级的过电应力问题（如 EOS、ESD、CDE 和闪电），瞬态电压抑制器件被用于作为第一线的保护元件。将来，瞬态电压抑制器件需要满足低成本、低电容以及最小板级面积等要求。

6.8.2 聚合物电压抑制器件

在电路保护中采取填充聚合物的方法始于 20 世纪 80 年代，自复位聚合物保险丝具有在浪涌电流过后自动复位的能力^[8,9]。在这种结构中，材料电阻的增大与流过的电流成函数关系。由于具有自复位特性并且可以形成较小面积薄膜的原因，聚合物正温度系数器件广泛存在于电子市场中^[8,9]。

基于聚合物的电压抑制器件（Polymer Voltage Suppression, PVS）可用于封装、电路板、板卡或系统级以抑制大电流瞬态现象^[8,9]。为了对电子产品进行 ESD 保护，PVS 封装具有低电容和高空间利用率的特点，可用在多线的 ESD 保护中。PVS 器件包含了系统级的 ESD 保护，不会干扰高频信号，且不需占用 PCB 上的空间。PVS 器件可以以阵列或矩阵的方式构建，从而满足系统环境中多排并列引脚的需求^[8]。PVS 器件阵列可以被集成入物理系统级连接器中。

在 PVS 元件中，聚合物用于提供低介电常数。聚合物薄膜的介电常数可以符合较宽的频率应用范围。图 6.6 为一个单 PVS 表面安装器件，它由电极间的 PVS 薄膜组成。PVS 器件是双向的，允许其正极和负极从信号线到地分流。PVS 器件的薄膜采用环氧聚合物，在电极

间分层均匀散布着导电和非导电粒子。通过采用 PCB 类似的制作工艺，将层压结构转变成浪涌保护器件。PVS 器件的整个厚度少于 10 密耳。PVS 材料不需要衬底，因此 PVS 器件的触发电压由器件的尺寸和聚合物的结构所决定。这些元件使得单个或多个阵列的表面安装元件以及连接器阵列成为可能。在连接器本身上安装保护阵列，可为 ESD 敏感元件和半导体芯片的输入路径提供 ESD 保护。K. Shrier 实现了负载电容约为 100fF 的聚合物电压抑制元件^[8]。聚合物电压抑制元件还具有少于 200ps 的上升时间，以及少于 10ns 的有效钳位时间^[8, 9]。图 6.7 为把 PVS 器件集成入手机电路板上的例子。

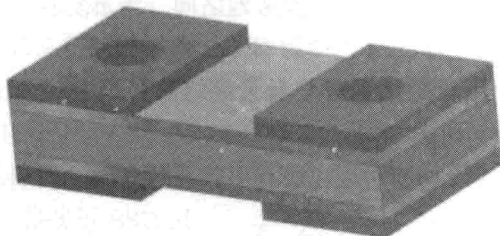
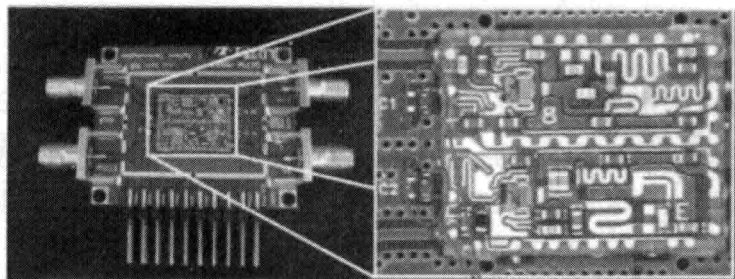


图 6.6 聚合物电压抑制器件



聚合物电压抑制器件

图 6.7 手机中集成的聚合物电压抑制器件（授权自 ESD Association）

6.9 封装级机械 ESD 解决方案——机械撬棒

在很多 ESD 应用中，ESD 解决方案最好在封装、卡级或板级而不是片上来实现。在很多应用中，设计和应用并不适合集成 ESD 元件，比如，半导体激光器、异质结构、超晶格、砷化镓功率放大器和其他引脚数少的应用。在高性能应用中，提供片上 ESD 保护将变得更困难。随着电路密度的增加和物理尺寸的缩小，实现片上 ESD 保护的能力可能会受到限制。封装级 ESD 解决方案最初于 20 世纪 60 代以带电气连接的触发器件的形式提出，如 Wallo 的研究工作^[10]。Wallo^[10]、Kisor^[11]、Medesha^[12]、Tolnar 和 Winyard^[13]、Dinger 等^[14]、Bachman 和 Dimeo^[15]、Beecher^[16] 提出了机械短路的解决方案以避免封装、静态电荷保护封装、连接器、模块和半导体封装中的 ESD 事件。例如在 20 世纪 90 年代，半导体激光器二极管的 ESD 失

效比较常见。Cronin^[17]开发了一种简单的解决方案，在半导体二极管的三个引脚间提供ESD保护。该方案采用螺旋状的机械弹簧——它是封装结构的一部分，形成一个电气短路通路。当没有插入激光器元件时，该机械弹簧会短路引脚。当激光器元件插入时，机械封装弹簧由于插入造成的机械偏转而脱离，这样，当激光器元件从应用中移除时，该方案可以提供ESD保护，而当实现功能时，ESD保护就不起作用。这一解决方案的思想可以被扩展到其他半导体封装^[17-22]、磁记录^[23-28]，以及其他具有插入过程的应用中。

独立于应用的片外ESD保护理念可包括：

- 机械短路方法可应用于敏感引脚与参考地之间，当不实现功能时可以短路，而当功能实现时则保持开路。
- 机械短路方法可应用于敏感引脚与参考地之间，当ESD敏感元件没有被插入到卡、板或系统中时发挥作用。
- 机械短路方法在不实现功能时可在所有引脚与参考地之间启动短路，当功能实现时可被释放。
- 短路的机械释放方法可以通过插入、上电或其他功能操作过程来启动。

6.10 硬盘ESD解决方案

6.10.1 内嵌“ESD短路”

目前许多硬盘采用MR记录磁头，也被称为“MR头”、“MR传感器”或“MR元件”。如今人们广泛认识到，MR头极易受到ESD的损坏。在磁记录驱动器的工作期间，ESD相对来说是一个不重要的问题。磁盘一般被装在电脑内部，从而被保护，免于受到静电放电、颗粒污染、人为影响和其他的损坏。与此相对的是，在磁盘制造阶段，ESD是一个重要和复杂的问题，会极大地降低制造阶段的良品率。因此工程师持续不断地寻求在制造阶段进行ESD保护的有效手段。

传统上来看，减小由于ESD损坏而带来的成品率降低的一种最好解决方法是把MR头的引脚进行短路，从而造成电气上的短路路径。电气短路路径与MR头本身在同一层。MR头的阻抗一般约为 50Ω ，通过在MR头的制造阶段集成入一个并连的 1Ω 短路电阻，可以避免ESD失效。这个“MR短路”围绕MR元件提供了一个另外的电气放电路径，而不是通过MR元件放电。针对传统MR头进行的实验结果表明，通过在MR磁头上跨接一个 1Ω 的电阻可以把HBM失效电压从150V提高到2000V。在MR磁头的lapping过程中，MR头的ESD短路路径被关闭，从而使得其功能测试成为可能。

6.10.2 电枢—机械“短路”——一种内建的电气“撬棒”

1996年，我在拉斯维加斯的EOS/ESD研讨会上与Wallash和Hughbanks一起排队等待午餐的时候，我向他们提出了在MR磁头的引脚间集成一个磁盘电枢结构中的机械“撬棒”

的想法，但当时并不清楚如何激活和关闭撬棒开关。由于我不是 MR 磁头的专家，因此我没能想通关键的一点……Wallash 和 Hughbanks 大笑道“当 MR 磁头旋转时，电枢结构会自然上升”。我们随后找到了一个磁盘电枢结构的专家 Satya Arya，并迅速启动了这项新发明。专利代理人告诉我，美国专利商标局打电话过来说，他们很喜欢这个想法，他们还说最好的专利就是自然和简单的发明。

虽然通过引脚短路可以对 MR 传感器进行 ESD 保护，但这同时也导致 MR 传感器不能正常工作。因此，为了在制造过程中的测试阶段激活 MR 传感器，这些短路的引脚必须被移除、停止或断开电气连接。在测试之后，引脚间的互连又必须重新连接上，以保护 MR 传感器。以这种方式手动对引脚进行短路不能给 MR 磁头的 ESD 保护提供足够的便利性^[26, 27]。

为了保护磁盘中的 MR 磁头，可以在头盘组合件（Head Disk Assembly, HDA）和电枢结构（图 6.8）中嵌入 ESD 保护。ESD 保护还能被集成入磁盘组装中。通过集成 ESD “撬棒”，MR 磁头能够获得 ESD 保护，该保护能在悬臂组装件（磁头固定于其上）未被安装入 HAD 时，以一种自动的、可释放的机制对 MR 磁头进行短路。

在磁盘中，悬臂组装件包括一个挠性件及其下面的负载杆，并连接至一个传动臂。MR 磁头固定于挠性件的末端，其引脚以线端方式引出，沿着负载杆和支撑臂连到临近的终端接触片上。导体沿着挠性件的方向分散并暴露在指定的点上，以提供接触区域。包含电气传导组件的短路杆被安装在传动臂上，当缺少 MR 磁头的支撑使得负载杆朝着短路杆的方向足够弯曲时，接触区域的 MR 引脚线就能自动连接上^[26, 27]。

因此，当组装件从 HDA 中移除时，挠性件可以朝着短路杆移动，使得接触区域和短路杆形成电气连接，造成 MR 磁头引脚线的短路，从而使 MR 传感器不工作。当组装件安装入 HDA 中时，MR 磁头受到空气轴承或磁盘本身的支撑，具体取决于磁盘是处于旋转中还是已停止。在上述任何一种情况下，负载杆都不允许向下弯曲，使得短路杆不能接触到导体，因此可以激活 MR 磁头。临时的 ESD 保护机制通过断开或解除临时的短路机制来提供，这些 ESD 保护在 HDA 工作前被移除^[26, 27]。

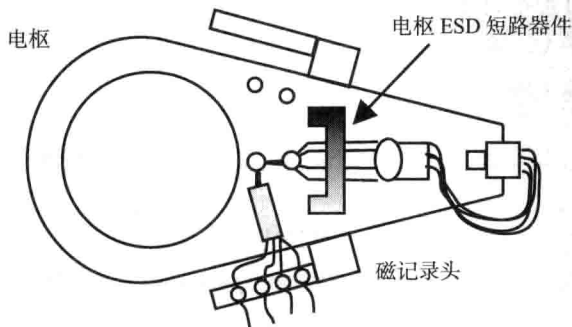


图 6.8 具有机械短路器件的电枢结构

6.11 半导体芯片级解决方案——版图布局、版图及结构

在半导体设计中，噪声对于模拟和射频电路来说都是一个重要问题^[33, 49-53]。该问题可以通过如下技术加以解决：

- 不同电路区域的空间分离。

- 在不同电路区域间设置保护环结构。
 - 电气独立并分开的电源区域。
 - 为了ESD保护的不同区域间的电气连接。
- 下面的章节将简短讨论不同的结构。

6.11.1 混合信号模拟和数字的版图布局

在混合信号设计中，数字电路部分的噪声会在半导体芯片级及系统级上影响模拟部分的电路。在一个混合信号的结构中，数字和模拟电路被划分到不同的电源区域中^[52, 53]。

图 6.9 为一个具有数字和模拟区域规划的芯片示例。在混合信号的半导体芯片中，为了避免ESD失效，可以在模拟地 (AV_{SS}) 和数字地 (V_{SS}) 之间放置ESD保护网络。典型结构可包括每个区域互相分离的ESD电源钳位网络。一个ESD电源钳位网络在数字部分中，位于 V_{DD} 和 V_{SS} 之间；另一个ESD电源钳位网络在模拟部分中，位于模拟 V_{DD} (AV_{DD}) 和模拟地 (AV_{SS}) 之间。

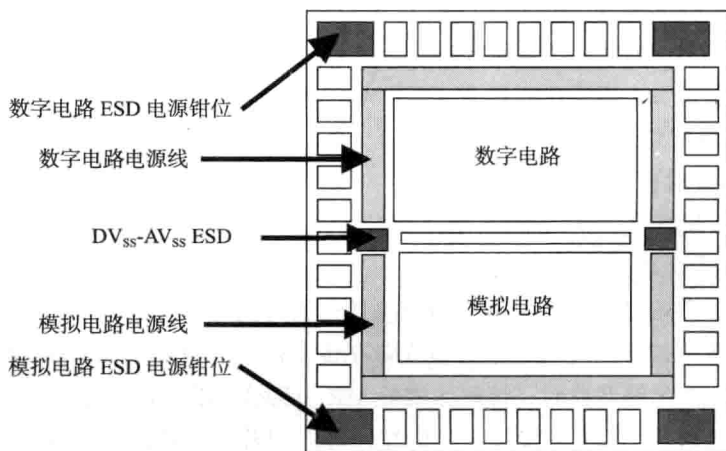


图 6.9 混合信号版图规划——数字和模拟

可选的结构包括：

- V_{DD} 到 AV_{DD} 的 ESD 网络：数字电源 (V_{DD}) 和模拟电源 (AV_{DD}) 之间的 ESD 网络。
- V_{DD} 到 AV_{SS} 的 ESD 网络：数字电源 (V_{DD}) 和模拟地 (AV_{SS}) 之间的 ESD 网络。

这种结构在系统级上引入了与 EMI 和 EMC 相关的潜在问题。如果这些不同的区域仅在封装级被连接到一起，那么会导致地回路。

6.11.2 BCD 版图布局

在一个共同的衬底上集合了功率晶体管、双极型器件和 CMOS 器件的工艺被称为 BCD (Bipolar-CMOS-DMOS) 工艺^[52, 53]。DMOS 晶体管是典型的功率应用的高电压晶体管。这些

DMOS 器件设计为可在 5 ~ 120V 的区间内工作。衬底中大 DMOS 器件的开关活动会扰乱低电压的数字和模拟电路，因此有必要在半导体设计的版图规划过程中对功率晶体管和敏感的低电压电路进行足够的分离。这一要求可通过如下技术来达到：

- ❑ 把 DMOS 晶体管从不同电路区域中空间分离开来。
- ❑ 围绕 DMOS 器件本身设置槽和保护环。
- ❑ 在不同电路区域间设置槽和保护环结构。
- ❑ 电源栅格的电气隔离与分开。
- ❑ 通过地电源线把不同区域电气连接起来，从而实现 ESD 保护。

6.11.3 片上系统设计的版图布局

在混合信号结构中，数字、模拟和射频电路被分离到不同电源区域中^[49-53]。图 6.10 给出了一个具有数字、模拟和射频区域的半导体芯片的示例。为了避免混合信号半导体芯片中发生 ESD 失效，可在模拟地 (AV_{SS})、数字地 (V_{SS}) 以及 RF 地之间放置 ESD 保护网络。典型结构可包括每个区域互相分离的 ESD 电源钳位网络。一个 ESD 电源钳位网络在数字部分中，位于 V_{DD} 和 V_{SS} 之间；另一个 ESD 电源钳位网络在模拟部分中，位于模拟 V_{DD} (AV_{DD}) 和模拟地 (AV_{SS}) 之间；而第三个 ESD 电源钳位网络位于 RF V_{DD} (RF V_{DD} 或 V_{CC}) 与 RF 地 (RF V_{SS} 或 V_{EE}) 之间。在这些混合信号芯片中，RF 应用的电压一般都要高于模拟和数字应用的电压。

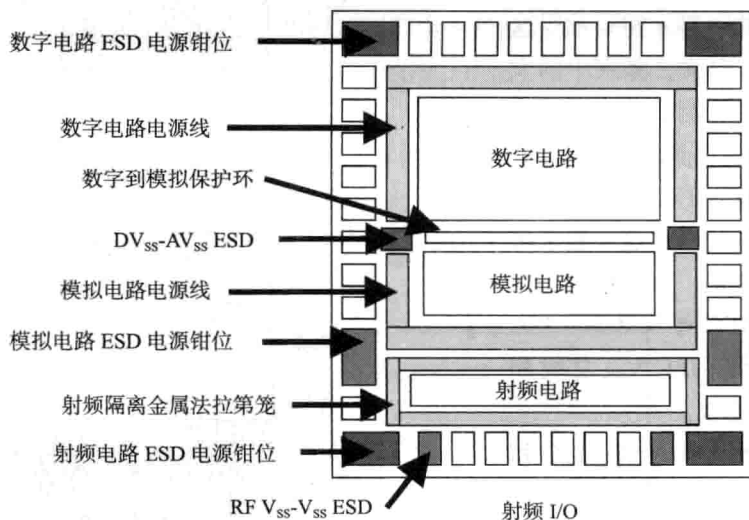


图 6.10 混合信号结构——数字、模拟和射频结构

图 6.10 给出了一个具有射频、模拟和数字电路的混合信号芯片示例^[52]。为了把模拟电路从数字噪声中分离开来，应当分离它们的电源线。此外，一个保护环“沟槽”把模拟和数

字部分分开，从而通过基底区域形成一个大的间距。RF部分位于芯片版图规划的下方位置。RF电路被数层金属所形成的“法拉第笼”环绕，从而隔离RF信号。法拉第笼通过金属层的堆叠而形成，信号通过法拉第笼的缺口进行传输。ESD电源钳位网络被放置在数字、模拟和射频区域中，位于它们的电源和地端口之间。此外， $V_{SS}-V_{SS}$ 的ESD网络被用于在地端口之间实现互连。这些 $V_{SS}-V_{SS}$ 的ESD网络使用串联的二极管ESD元件，该串联结构中元件的数目与数字、模拟和射频部分之间可允许的耦合电容有关。

6.12 半导体芯片解决方案——电源栅格设计

为了对半导体芯片进行IEC 61000-4-2系统脉冲和模拟系统HMM脉冲的测试，在本节中讨论了一种芯片级的解决方案。该讨论主要关乎如何对芯片的内部设计进行修改以防止系统脉冲进入芯片的敏感部位；或者换句话说，如何对半导体芯片进行设计，从而保证系统测试不会导致元器件的失效。

6.12.1 HMM和IEC规范的电源栅格及互连设计上的考虑

对于人体金属模型(HMM)和IEC 61000-4-2规范，其峰值电流能超过 $30 \sim 40A^{[41-45]}$ 。在HMM和IEC 61000-4-2规范中，只有那些连接到外部端口的引脚才需要承受这一大电流脉冲。其次，基底中的大电流会影响非IEC测试的电路。为了保护IEC测试引脚，并避免非IEC引脚的失效，IEC引脚可在电源栅格中进行隔离^[52]。这一要求可通过如下方法实现：

- 独立的IEC电源区域：IEC信号引脚，IEC V_{DD} 总线和IEC V_{SS} 总线。
- 双宽度的电源总线：IEC和非IEC区域。
- 电阻分割：利用电阻对IEC和非IEC区域进行分离。

图6.11和图6.12给出了分离的IEC与非IEC电源栅格及连接的

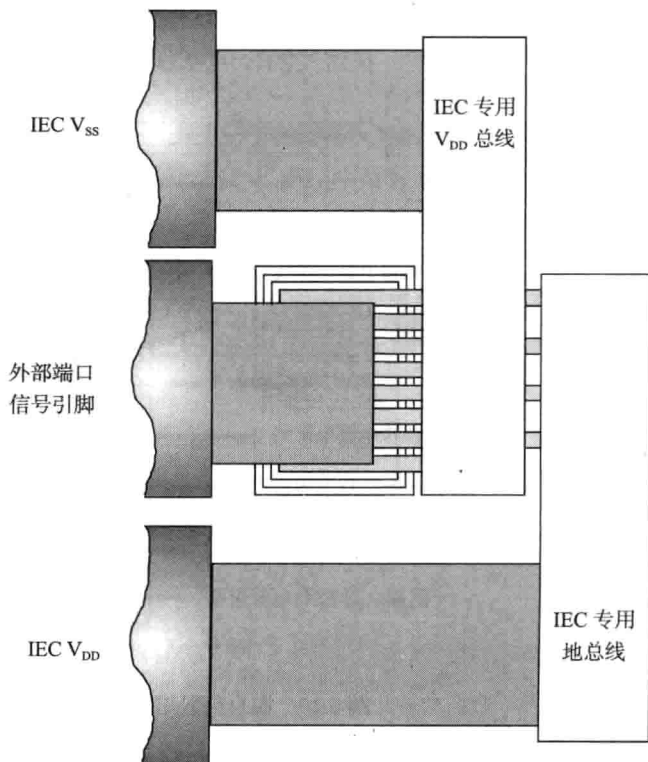


图 6.11 IEC 总线分割

示例^[52]。

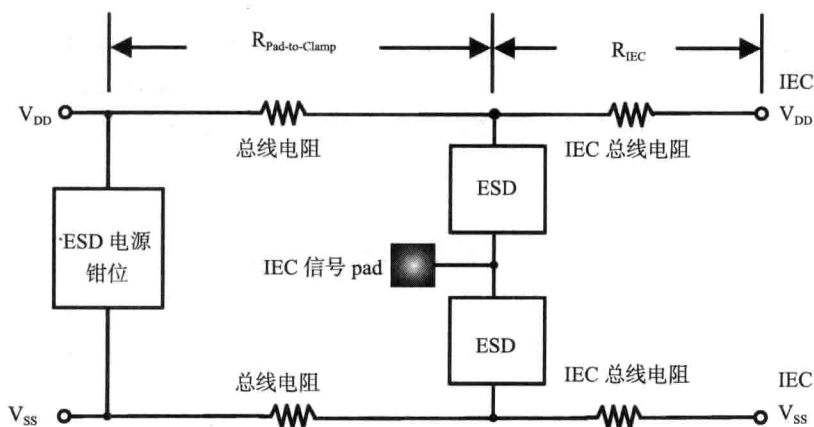


图 6.12 IEC 总线电源和地的布局

6.12.2 ESD 电源钳位设计综合——响应 IEC 61000-4-2 的 ESD 电源钳位网络

对于那些需要响应 IEC 61000-4-2 脉冲事件的应用而言，并非所有的电路拓扑都是适合的^[52]。IEC 61000-4-2 事件具有一个快速的、具有相当大幅度的电流脉冲，因此，为了满足频率响应和电流幅度的需求，很多 ESD 电源钳位网络需要进行修改。

在系统基座或地线的 IEC 61000-4-2 事件中， V_{SS} 电源端口或衬底上会产生一个负脉冲，从而以负脉冲事件启动 RC 触发网络。RC 鉴别器中的元件必须给予响应，否则会导致电路的失效。对电阻和电容元件的要求是它们必须可响应。电阻，比如多晶硅电阻，对快速事件的响应可能较慢。

图 6.13 给出了一个可响应 IEC 61000-4-2 事件的 ESD MOSFET 网络的示例。该网络的优势在于 P 沟道的 MOSFET 与多晶硅电阻元件相比，响应更灵敏。此外，它的反相器驱动网络，由于仅采用了单级反向，因此也具有更灵敏的响应特性。

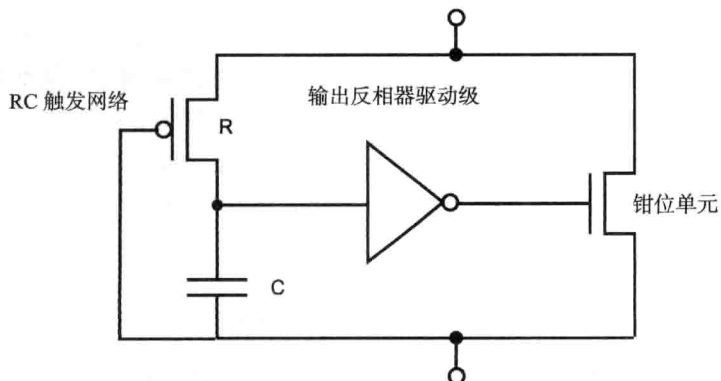


图 6.13 可响应 IEC 61000-4-2 的 ESD 电源钳位

6.13 ESD 和 EMC——当芯片影响了系统

ESD 器件级和系统级的测试通常并非同时完成。器件级的 ESD 测试在元器件上完成，而系统级 ESD 测试则在系统层面上开展。如前面章节所讨论的那样，首先完成元器件的 ESD 测试（如：HBM、MM 和 CDM），然后再对系统进行不同的 ESD 测试（如：IEC 61000-4-2、CDE、CBM）。

在下节中，将解决如下问题：

- 器件级的 ESD 测试退化是如何影响系统级测试的功能的？
- 器件级的 ESD 强度与系统级的敏感性具有什么关系？
- 在目前系统与元器件不进行相同测试的情况下，如何在半导体的 ESD 强度与系统的敏感性之间建立联系？

为了回答第一个问题，需要给出一种在器件级退化和系统级响应之间建立联系的方法。

对于后几个问题，将提出一种器件和系统制造商可执行的、与系统级翻转相关的新方法，并据此判断翻转发生的位置和原因。

6.14 系统级和器件级 ESD 测试与系统级响应

第一种方法是一种与阻抗漂移或退化相关的阻抗测试方法，它是基于时域反射（TDR）方法建立起来的。随后还将介绍在系统中插入退化元器件以评估此种退化如何影响系统指标和测量的方法。

6.14.1 ESD 测试中的时域反射和阻抗方法学

由于时钟频率和数据传输速率的增加，信号的完整性对于数字系统和射频通信系统来说都非常重要。对于射频和高数据率传输系统，需要采用新的测试技术来评估 ESD 对元器件的影响。在这些高数据传输率下，ESD 的引入会影响电子系统的信号完整性，从而对系统的可靠性产生影响。不管是永久的还是潜在的 ESD 损伤都会导致芯片或其性能出现问题。ESD 导致的损伤会影响增益、跨导和 S 参数，这就需要有一个新的方法学和失效判据来评估 ESD 的影响。ESD 导致的损伤可能会发生在系统的传输端或接收端电路中，从而导致无法接受的退化等级。ESD 所致损伤可包括如下电路和系统问题：

- 信号上升时间
- 脉冲宽度
- 时序
- 抖动
- 信噪比

在高速通信系统和高速元器件中，传输特性对于信号的传递是十分重要的，传输和反射

系数是系统工作和功能性的重要度量指标。传输系数、S 参数和阻抗在系统功能性方面扮演着重要的角色，S 参数或传输系数的漂移可以通过时域反射（TDR）方法进行量化。

TDR 方法可以用来验证 ESD 失效及对系统功能的影响，它是一种在高速系统开发中很常用的方法。功能测试需要引入一个入射信号，然后再测量其反射波，来评估传输、反射和测试端口的阻抗。时域反射测量一个传输环境中传输信号所发生的反射。传输环境可以是半导体电路、连接器、电缆或电路板。TDR 测量仪器发出一个信号或脉冲通过待评估的系统，然后把该未量化传输环境的反射与标准阻抗的反射进行比较。

图 6.14 给出了一个 TDR 测量系统的示例。TDR 测量采样模块包括一个步进源，一个 50Ω 连接器，以及到负载的传输线。TDR 采样模块还包括一个采样电路，该电路可以从 50Ω 传输线上采样信号，该信号会反馈回示波器。TDR 显示的是一个发出的快速电压步进信号经传输线后的反射电压波形。在示波器上接收到的这个波形是入射部分以及传输系统中由于阻抗失配和不连续所产生的反射。

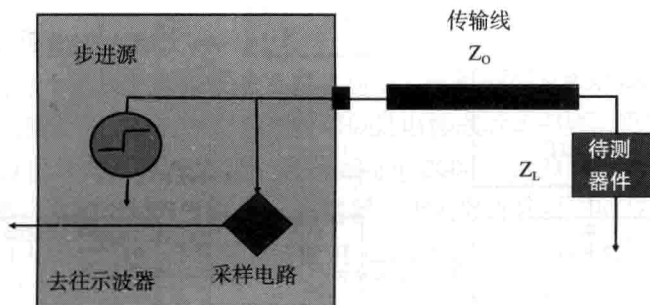


图 6.14 时域反射测试方法学

TDR 方法的数学基础是阻抗比和反射系数 ρ ，反射系数 ρ 等于反射脉冲幅度和入射脉冲幅度的比值：

$$\rho = \frac{V_{\text{reflected}}^*}{V_{\text{incident}}}$$

反射系数也可以表示为传输线特征阻抗 Z_0 和固定终端阻抗 Z_L 的函数，即

$$\rho = \frac{Z_L - Z_0}{Z_L + Z_0}$$

快速步进激励波形通过采样头、传输线、连接头和测试固定连接部分的传播后会被送到被测器件。由被测器件反射回的波形在示波器处会延迟两个电气长度，即通过所有互连及返回的飞越时间。该信号在 TDR 采样电路处会叠加在入射波形上，TDR 采样电路主要用于电压波形、反射系数或 TDR 示波器上阻抗的评估。

6.14.2 时域反射 ESD 测试系统评估

TDR 对于分析元器件和系统因 ESD 而导致的失效都是很有价值的，但 TDR 方法只在当

输入端可被分析的情况下才有意义。参考资料给出了一个高速光学互连系统的例子^[49, 50, 55], 作为 TDR 系统和 ESD 导致的退化的应用实例。

图 6.15 给出了该光学互连系统的框图。该系统包括一个发射 / 接收模块、一个短波垂直腔表面发射激光器 (Vertical Cavity Surface Emitting, VCSEL)、一个光学波导、一个光学照相检波器和一个光电 (Optical-to-Electrical, O/E) 转换器。在光纤通道模式 (Fiber Channel Pattern, FCPAT) 中, 数据输入信号流产生速率大约 2Gbit/s 的数据。数据模式由模式发生器产生, 并通过混合耦合器转换成差分信号。混合耦合器元件连接到收发单元 (TX) 的差分输入上。SFF 收发单元接收数据, 并调制激光二极管。SFF 收发单元的光学输出连接到一个多模光纤, 该光纤在光信号传输到 DCA 的光学输入分路之前, 转换信号到一个光学衰减器。DCA 中的光电转换器通过限制带宽来过滤波形并在屏幕上显示波形。

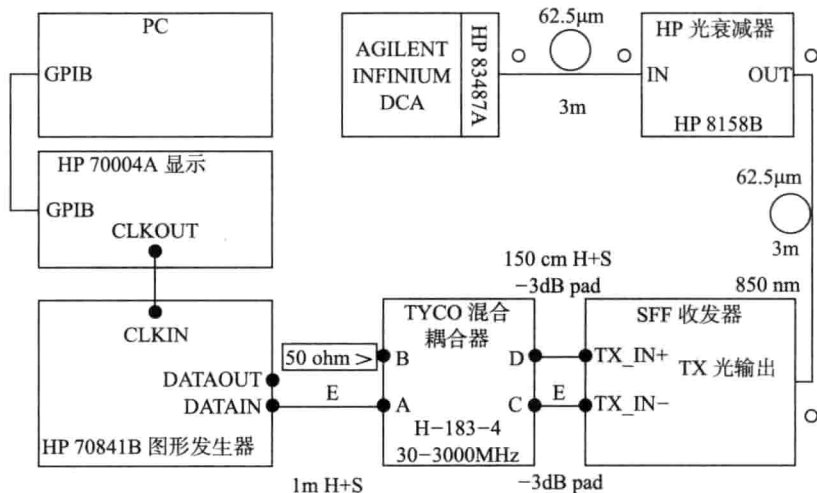


图 6.15 电-光测试系统

收发器中的光电转换应当极其精确, 因此要求严格控制 Gbit 数据传输的参数。从连接器到 MICC 的电学路径是一个受约束的 50Ω 单端阻抗。这种收发器的形状因数使得其输入引脚暴露于 ESD 事件。ESD 事件会损害电路, 破坏电路的完整性。在 ESD 事件的前、后测试光电转换器是监测 ESD 保护电路强度的一种方法。

用于评估系统的 ESD 测试方法包含以下几个步骤^[49, 50, 55]:

- ESD 应力测试前测试系统的功能特征。
- 在无电源状态下评估输入 TDR 信号。
- 加上系统电源。
- ESD 测试前记录光学眼图。
- 把 ESD 应力加在收发芯片的输入信号端。
- “ESD 枪” 或者 ESD 脉冲系统直接连接到引脚, 并加上激励。

- 评估板卡的每一个引脚都连接到收发器的信号端、电源和地端。
- TX_IN 差分输入引脚接源信号，返回信号接电源或者地引脚。对正极性和负极性都进行测试。
- ESD 应力之后进行 TDR 测量。当系统不加电时，在端口上加一个 ESD 激励脉冲，然后利用 TDR 测试方法重新测试系统。
- ESD 应力之后进行输出“眼图”测试，用于观察系统级的退化效应。

ESD 测试之前，要先进行系统功能的特征分析。实验从系统断电后开始观测输入的 TDR 信号。TDR 系统包括 Tektronix 11801C 示波器，以及一个 Tektronix SD24 TDR 采样探头。Tektronix 20GHz SD24 TDR 采样插件对负载只有 15 ps 的上升时间以及 35 ps 的反射波上升时间。Tektronix 11801C 示波器具有 50 GHz 的采样频率。加电后，数据输入信号流被初始化，在所有 ESD 测试之前记录输出的光学眼图图形。在全系统评估前，先进行收发芯片的分析。

ESD 测试方法采用一定的步骤通过外部引脚把 ESD 脉冲加到收发器的所有焊盘上。Mini-Zap 2000 型号的“ESD 枪”直接连接到被测引脚，并依据 JEDEC 标准 (JESD22-A114-B) 来施加激励。Mini-Zap 2000 型号的“ESD 枪”用导线连接到期望的源引脚及反馈引脚。评估板卡的每个引脚都连接到收发器的信号、电源和地。在这个特殊的测试中，一个 TX_IN 引脚可作为源信号，而返回信号路径可以是电源或者地引脚。需要注意的是，对正极性和负极性的 ESD 脉冲都可进行评估。从 Mini-Zap 2000 “ESD 枪”的引脚开始，源/返回路径的次序依次是：激励引脚、卡迹、卡连接器、收发器连接器、收发器轨迹/元件，最后是 MICC 芯片的输入 (TX_IN)。在系统未上电的时候，ESD 脉冲应力加在端口上，然后利用 TDR 测试方法对系统进行重新测试。下面的一个实例结果显示了应力在 2000V 及以上时，频率为 1GHz 的系统信号路径的特性。

在测试系统中，抗 ESD 能力比较弱的半导体芯片是含有射频元器件的 SFF 收发器芯片。在该应用中，收发芯片应用了 f_T 为 45GHz 的 SiGe 异质结双极型晶体管工艺。图 6.16 所示为该收发器芯片的框图，在该图中给出了差分输入、放大器和二极管激光信号。

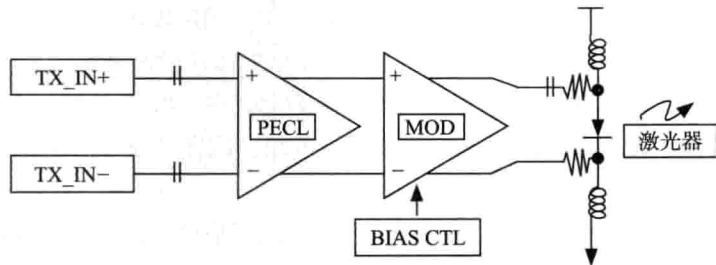


图 6.16 收发器芯片的架构

需要测量不同的应力级别，以评估 TX 引脚的失真。收发器芯片上施加 HBM 应力，用于判断信号端的 ESD 敏感性。表 6.1 给出了在 2000V HBM ESD 应力下，传输信号和反射信

号的幅度。表中的行数据表示在ESD应力下，传输信号和反射信号的幅度和损耗的各种系统级参数。在2000V HBM级别以下，1GHz信号路径上没有观察到TX信号幅度的失真。表6.2中，ESD应力增加到2000V HBM以上。通过TDR方法可发现，随着ESD应力的增大，各种参数开始出现失真。2000V以上时，传输端口测试中出现了漂移。在TX DJ上TX引脚的传输失真增大了2倍（TX DJ从30增加到72和131）。因此通过TDR方法，可以评估各种信号级参数的评价指标^[49, 50]。

表 6.1 2000V HBM ESD 应力以下时 TDR 方法的结果

类型	串行	FCP	TX ER	TX DJ	le-12 RX 敏感性	RX 幅度	TX 故障	Rx 损耗
1GHz fc 路径	1505	-5.69	7.40	34.78	-18.7	756.06	ok	ok
	2735	-5.64	6.62	22.17	-19.2	761.03	ok	ok
	2779	-6.12	7.25	24.01	-19.7	743.39	ok	ok
	2750	-6.48	5.96	18.3	-18.7	717.93	ok	ok
	1502	-5.82	8.82	45.45	-19.8	749.10	ok	ok

表 6.2 2000V HBM ESD 应力以上时 TDR 方法的结果

类型	串行	FCP	TX ER	TX DJ	le-12 RX 敏感性	RX 幅度	TX 故障	Rx 损耗	备注
1GHz 路径	1505	-5.69	7.97	131.48	-18.8	770.85	ok	ok	TX-distorted
	2735	-5.64	6.98	24.58	-19.4	771.89	ok	ok	TX-ok
	2779	-6.12	6.75	28.85	-19.6	767.84	ok	ok	TX-ok
	2750	-6.48	7.25	30.57	-18.8	786.23	ok	ok	TX-ok
	1502	-5.82	7.68	72.53	-19.8	787.76	ok	ok	TX-hi crossing

另一个观察方法是输出“眼图”的测试。在输入的发射/接收电路进行了TDR测量之后，系统被重新上电，并在2 Gbit/s的数据速率下循环工作。利用输出“眼图”来评估输出特性的失真是一种另外评估ESD影响的方法。由于输入SFF芯片的差分输入端受到ESD脉冲的影响，进而影响了光学网络的时序。经验观测结果表明，在有些情况下，在ESD应力前/后确定TDR输入特性的改变是很困难的，然而通过输出“眼图测试”中的细微变化可以观察到输入特性的改变^[49, 50, 55]。

因此，利用TDR技术和系统级“眼图测试”，可以评估位于系统输入和输出的射频芯片的影响。TDR方法，利用最先进的带TDR采样探头的示波器，可以评估反射系数、阻抗和电压级响应。通过对系统输入端（不加电的情况下）在ESD前/后利用TDR测量方法，可以对比评估应力对TDR波形的影响。此外，“眼图测试”可以观察到TDR方法观察不到的低电压退化效应。经过训练后，通过“眼图测试”中的微小变化可以为测试工程师提供一种观

察失真的方法，该失真可能会影响数据传输系统。

6.14.3 ESD 退化系统级方法——眼图测试

在 ESD 退化的系统级量化方面，对于半导体芯片或低速特性，确定其由于 ESD 而导致的退化并不总是可行的。利用“眼图测试”，可以量化 ESD 退化的系统级影响。输出“眼图测试”是观察方法中的一种。通过比较 ESD 退化前后的输出“眼图”，可以建立系统级的失效判据。由输出“眼图”观察输出特性失真是一种另外评估 ESD 影响的方法。眼图测试是一种对信号时序的度量，可用于评估最坏工作情况。图 6.17 所示是 ESD 应力前/后的“眼图”。“眼图”由被测的两个信号叠加形成，其中一个信号是反转的。当时序情况较好时，“眼图”的图形是敞开的、宽大的。当失真或者时序较差时，信号的叠加会导致一个较小的眼图开口。图 6.17 给出了一个“眼图测试”的例子，其“光阑”由于 ESD 导致的退化而恶化。

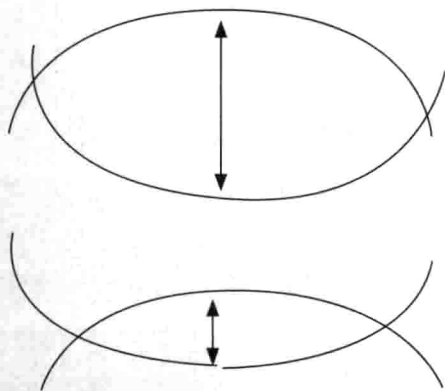


图 6.17 ESD 测试前后的功能性眼图测试。上图为“好”的眼图，下图为“差”的眼图

图 6.18 给出了一个具有良好功能特性的系统的“眼图测试”实例。图 6.19 给出了 ESD 测试后的输出“眼图”的结果。

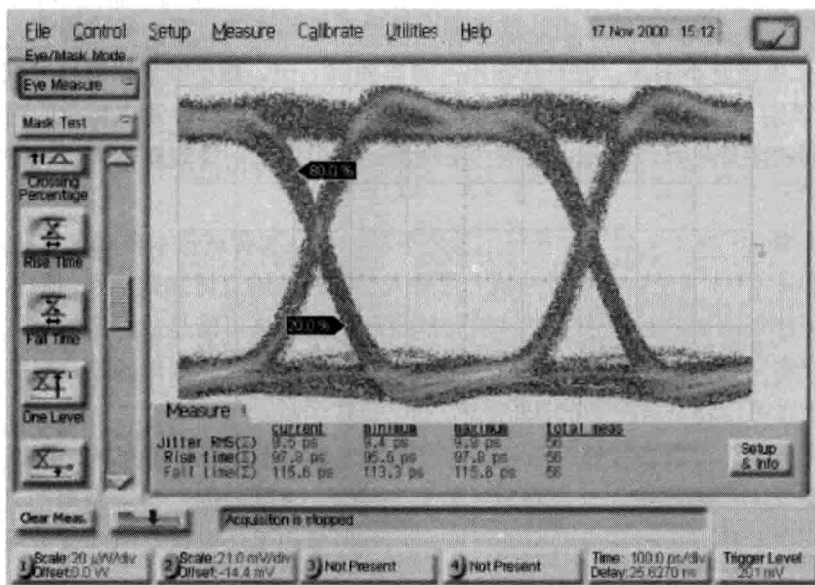


图 6.18 ESD 测试前的系统级眼图测试结果

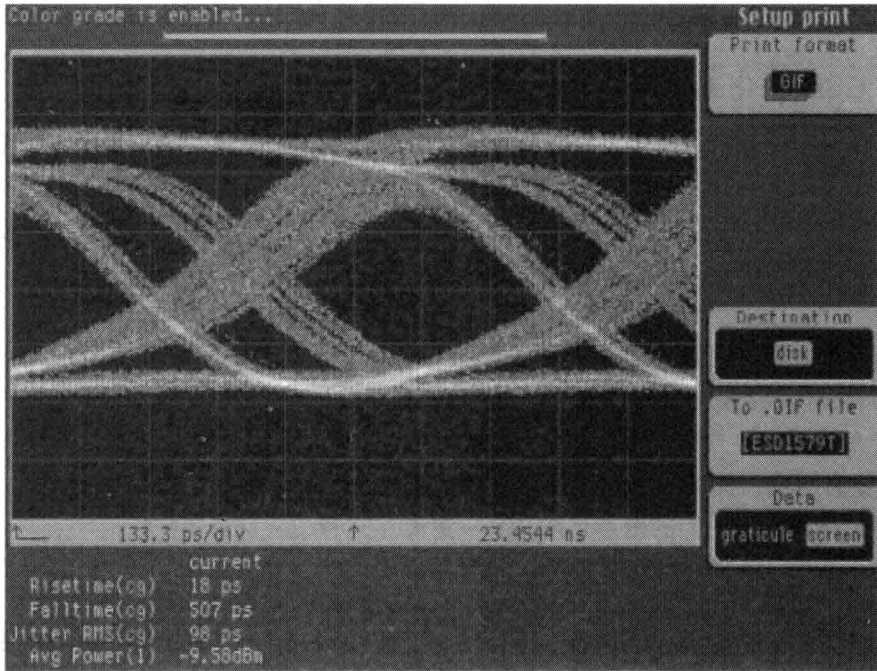


图 6.19 ESD 测试后的系统级眼图测试结果

实验结果表明，在一些芯片应用中，要确定半导体芯片输入特性在 ESD 应力前后的变化是很困难的。在低电流应力级别，直流特性漂移和器件特性较小的退化可能对半导体芯片不会产生很大的影响，但在系统级上，这可能会导致系统的失效。在一些应用中，半导体芯片级的 ESD 退化可能并不明显，但是在输出“眼图测试”中，微小的变化都可以被观察到。在大 ESD 应力级别下，器件直流特性或 TDR 测试中的显著变化会导致在接收的输出示波器上出现光学眼图的明显失真。因此，输出“眼图测试”提供了一种观察输入器件特性失真的定性方法^[49, 50, 55]。

这些结果表明，对于高速通信系统，需要有新的准则和测试技术来确定其 ESD 应力的影响。传统的 ESD 测试关注半导体器件或芯片输入引脚特性的直流参数漂移，但这些对于量化系统级影响可能是不够的。未来，ESD 退化的最好量化方法可能是通过定量时域反射技术和阻抗漂移、反射特性、传输特性的评估来确定器件失效。同时，利用输出“眼图”测试来评估真实的系统影响也将获得更多的认同。

利用这种方法，可以在器件级退化和系统级敏感性、系统级性能影响之间建立联系，可以建立阻抗退化与影响系统级性能目标（如上升时间、下降时间、抖动及眼图开口）之间的关系。这种方法学建立了器件级到系统级的联系，但是却无法提供空间的或可视的方法。下面将会介绍一种对性能退化位置进行视觉化的方法。

6.15 EMC 和 ESD 扫描

器件级和系统级的制造者都需要有一种方法学对元件和系统的 ESD 敏感性进行测试，并建立两者之间的关系。能关联系统级翻转，并定位问题所在位置的敏感性测试方法对于建立更优的系统来说是至关重要的。

现有的未上电的元件 ESD 模型并不能给估计“上电”状态下系统的性能提供足够的信息。

对于印制电路板、主板和元件本身来说，能确定 ESD 问题最容易发生在哪个位置是非常重要的。计算机芯片的复杂性以及系统板的空间范围，使得准确定位问题发生的位置，并加以改善和解决变得极其重要。当今最大的一个问题在于缺乏能将 ESD 敏感区域定位可视化的方法，这使得电磁兼容 (EMC) 和 ESD 敏感性的改善只能依靠反复试验和 EMC 经验来进行评估。

EMC/ESD 扫描是一种在未发生硬失效的情况下确定系统、电路和元件对于 ESD 或其他 EMC 事件敏感性的方法^[56-59]。为了实现 EMC/ESD 敏感性的可视化，一个局部化的源及系统扫描方法对于评估局部系统或电路的响应来说是十分重要的。

开发的 ESD/EMC 扫描系统可以产生一个局域化的电场或磁场，扫描待测设备，并监测其干扰或翻转。这种测试能扫描产品、子系统和电路板的表面，还能用于系统中的元件 (如半导体集成电路)。在上述情况下，通过叠加系统可生成一个映射以确定电磁噪声和系统敏感性的入口点。

该 ESD/EMC 扫描系统能使用不同的激励源^[56-59]。测试脉冲可以来自 RF 源、电学快速瞬变 (Electrical Fast Transient, EFT)、传输线或者是 ESD 枪。可使用传输线脉冲 (TLP) 源来提供一个传输线脉冲或快速传输线脉冲 (VF-TLP) 事件，还能用人体金属模型 (HMM) 或 IEC61000-4-2 测试来模拟类似系统的事件。

图 6.20 给出了一个 ESD/EMC 扫描系统的例子^[56-59]。图 6.21 给出了该扫描系统中主要子系统的框图，它包括样品台区域、定位臂、电机驱动、数据采集系统和控制计算机，此外还包括高电压的电源、一个 TLP 源，以及到定位臂的连接器。为了产生一个局部的磁场，探头的尖端形成了一个小的环路，然后利用来自 TLP 系统的脉冲生成一个脉冲电流，形成局部的磁场。



图 6.20 EMC/ESD 扫描系统。许可授权自 Amber Precision Instruments, Inc.

扫描过程结束后，扫描系统可把

敏感度的映射叠加到板或元件的物理图像上。图 6.22 给出了两个产品的敏感度映射叠加到该产品的物理图像后的结果。可以看到，左边图中产品 A 的图像映射结果比右边产品 B 的映射结果更敏感。虽然两者都达到了相同的电气功能规范要求，但是它们对于 EMI 的敏感度是不同的。

图 6.23 给出了一个主板的例子。在该图像映射中，存在敏感度的区域。通过映射，它给主板的重新设计提供了指导^[56-59]。

利用该 EMC/ESD 扫描系统，可对元器件或系统板卡在其设计阶段、组装或鉴定阶段进行评估。通过使用这些新的方法学，如今可把系统级和芯片级的 ESD 测试结合起来。

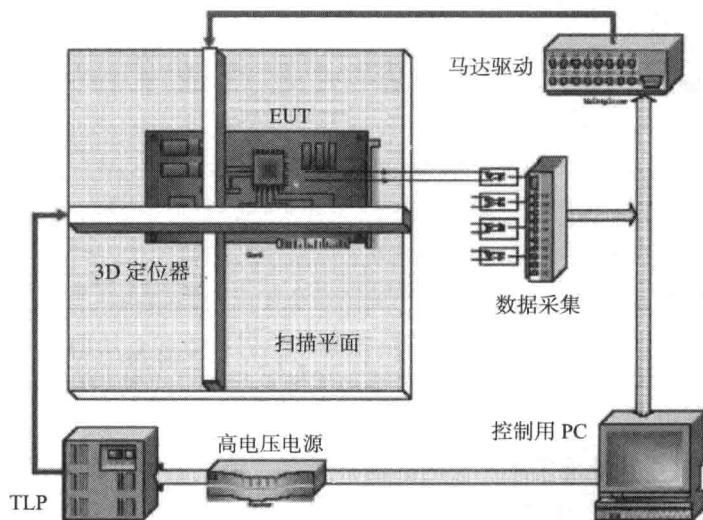


图 6.21 EMC/ESD 扫描系统的框图。许可授权自 Amber Precision Instruments, Inc.

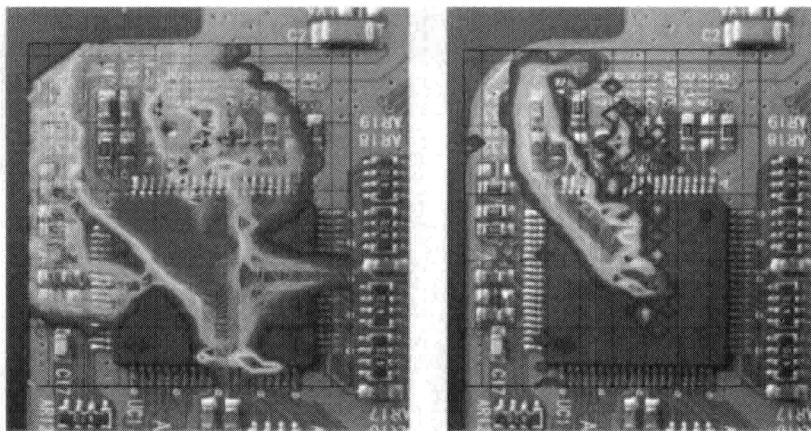


图 6.22 ESD/EMC 图像比较（产品 A 与产品 B）。许可授权自 Amber Precision Instruments, Inc.

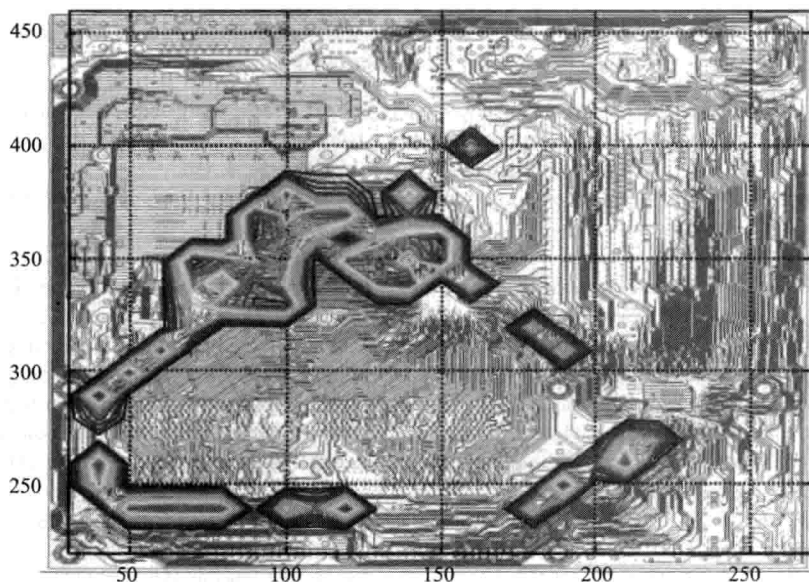


图 6.23 主板的图像扫描。许可授权自 Amber Precision Instruments, Inc.

6.16 本章小结

在第 6 章中，我们讨论了非传统的 ESD 网络、片上和片外保护网络的问题，还展示了成功的 GaAs 工艺的火花隙、场发射器件和导电聚合物 ESD 保护网络及其应用。随着工作频率的不断上升以及芯片面积的缩小，需要从非传统半导体 ESD 网络和片外 ESD 保护结构进行转变，但在此时还无法确定哪种工艺类型和工艺节点将需要这些解决方案，以及它们何时形成针对所有半导体产品的标准解决方案。此外，为了这些解决方案的继续发展，这些元件的比例缩小（如触发电压、开启电流、开启电阻、尺寸和支出）对于它们未来的改进是至关重要的。

本章还讨论了用于评估系统级响应到器件级的 ESD 退化，以及对电磁场的敏感度的新测试方法学，给出了两个把退化元器件放入系统以评估系统级性能退化的实例。此外还展示了 ESD/EMC 扫描系统，它可用于解决元器件级和系统级的敏感度测试问题。这种新方法学在元器件级 ESD 评估和系统级 EMC 测试之间建立了联系。同时，这种 ESD/EMC 测试方法还能进行敏感位置的映射，从而找到问题的根源，协助重新设计或设计改进。

第 7 章将讨论未来的纳米系统中的 ESD 问题，具体包括光掩膜、磁性记录器件、微电机、微镜元件、RF MEMS 开关、鳍式场效晶体管 (FinFET)、纳米线中的 ESD 问题。

参考文献

1. Paschen, F. (1889) Ueber die zum Funkenübergang in Luft, Wasserstoff und Kohlensäure bei verschiedenen Drucken erforderliche Potentialdifferenz, *Annalen der Physik*, **37**, 69.
2. Toepler, M. (1906) Über Funkenspannungen, *Annalen der Physik*, **4**, 191.
3. Von Hippel, A. (1965) Conduction and breakdown, in *The Molecular Designing of Materials and Devices*, MIT Press, Boston, 183–197.
4. Townsend, J.S. (1915) *Electricity in Gases*, Clarendon Press, Oxford.
5. Kleen, B.G. (1972) Printed circuit spark-gap protector. *IBM Technical Disclosure Bulletin*, **4** (2), 638.
6. DeBar, D.E. *et al.* (1975) Module spark gap. *IBM Technical Disclosure Bulletin*, **18** (7).
7. Bock, K. (1997) ESD issues in compound semiconductor high-frequency devices and circuits. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 1–12.
8. Shrier, K., Truong, T., and Felps, J. (2004) Transmission line pulse test methods, test techniques, and characterization of low capacitance voltage suppression device for system level electrostatic discharge compliance. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 88–97.
9. Shrier, K. and Jiaa, C. (2005) ESD enhancement of power amplifier with polymer voltage suppressor. Proceedings of the Taiwan Electrostatic Discharge Conference, pp. 110–115.
10. Wallo, W.H. (September 16 1967) Electrically connecting spring device. U.S. Patent No. 3,467,930.
11. Kisor, T.W. (April 4 1972) Static charge protective packages for electronic devices. U.S. Patent No. 3,653,498.
12. Medesha, A.L. (November 20 1973) Package including electrical equipment lead shorting element. U.S. Patent No. 3,774,075.
13. Tolnar Jr., E.J. and Winyard, A.H. (March 4. 1975) Connector means having shorting clip. U.S. Patent No. 3,869,191.
14. Dinger, E.D., Saben, D.G., and VanPatten, J.R. (April 19 1977) Static control shorting clip for semiconductor package. U.S. Patent No. 4,019,094.
15. Bachman, W.J. and Dimeo, F.R. (December 18 1979) Plug-in circuit cartridge with electrostatic charge protection. U. S. Patent No. 4,179,178.
16. Beecher, R. (July 23 1985) Cartridge having improved electrostatic discharge protection. U.S. Patent No. 4,531,176.
17. Cronin, D.V. (November 20 1990) Electrical connector with attachment for automatically shorting select conductors upon disconnection of connector. U.S. Patent No. 4,971,568.
18. Voldman, S. (2002) Lightning rods for nanoelectronics. *Scientific American*, **287** (4), 90–97.
19. Cronin, D.V. (April 28 1992) Electrostatic discharge protection devices for semiconductor chip packages. U.S. Patent No. 5,108,299.
20. Cronin, D.V. (November 17 1992) Electrostatic discharge protection devices for semiconductor chip packages. U.S. Patent No. 5,163,850.
21. Cronin, D.V. (November 17 1992) Electrostatic discharge protection device for a printed circuit board, U.S. Patent No. 5,164,880.
22. Johansen, A.W. and Cronin, D.V. (September 22 1998) Electrostatic discharge protection device. U.S. Patent No. 5,812,357.
23. Wallash, A., Hughbanks, T., and Voldman, S. (1995) ESD failure mechanisms of inductive and magnetoresistive recording heads. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 322–330.
24. Bajorek, C.H., Erpelding, A.D., Garfunkel, G.A. *et al.* (November 7 1995) Shorted magnetoresistive head leads for electrical overstress and electrostatic discharge protection during manufacture of a magnetic storage system. U. S. Patent No. 5,465,186.

25. Hughbanks, T.H., Lee, H.P., Phipps, P.B. *et al.* (February 13, 1996) Shorted magnetoresistive head elements for electrical overstress and electrostatic discharge protection. U.S. Patent No. 5,491,605.
26. Arya, S.P., Hughbanks, T.S., Voldman, S.H., and Wallash, A.J. (July 1, 1997) Electrostatic discharge protection system for MR heads. U.S. Patent No. 5,644,454.
27. Arya, S.P., Hughbanks, T.S., Voldman, S.H., and Wallash, A.J. (January 20, 1998) Electrostatic discharge protection system for MR heads. U.S. Patent No. 5,710,682.
28. Jowett, C.E. (1976) *Electrostatics in the Electronic Environment*, Halsted Press, New York.
29. Lewis, W.H. (1995) *Handbook on Electromagnetic Compatibility*, Academic Press, New York.
30. Morrison, R. and Lewis, W.H. (1990) *Grounding and Shielding in Facilities*, John Wiley and Sons Inc., New York.
31. Paul, C.R. (2006) *Introduction to Electromagnetic Compatibility*, John Wiley and Sons Inc., New York.
32. Morrison, R. and Lewis, W.H. (2007) *Grounding and Shielding*, John Wiley and Sons Inc., New York.
33. Ott, H.W. (2009) *Electromagnetic Compatibility Engineering*, John Wiley and Sons Inc., Hoboken, New Jersey.
34. Ott, H.W. (1985) Controlling EMI by proper printed wiring board layout. Sixth Symposium on EMC, Zurich, Switzerland.
35. Radio Technical Commission for Aeronautics (RTCA) RTCA/DO-160E (December 7 2004) *Environmental Conditions and Test Procedures for Airborne Equipment*, Radio Technical Commission for Aeronautics (RTCA).
36. Society of Automotive Engineers SAE J551 (June 1996) *Performance Levels and Methods of Measurement of Electromagnetic Compatibility of Vehicles and Devices (60 Hz to 18 GHz)*, Society of Automotive Engineers.
37. Society of Automotive Engineers SAE J1113 (June 1995) *Electromagnetic Compatibility Measurement Procedure for Vehicle Component (Except Aircraft) (60 Hz to 18 GHz)*, Society of Automotive Engineers.
38. Wall, A. (2004) Historical perspective of the FCC rules for digital devices and a look to the future. IEEE International Symposium on Electromagnetic Compatibility, August 9–13, 2004.
39. Denny, H.W. (1983) *Grounding For the Control of EMI*, Don White Consultants, Gainesville, VA.
40. Boxleitner, W. (1989) *Electrostatic Discharge and Electronic Equipment*, IEEE Press, New York.
41. International Electro-technical Commission (IEC) IEC 61000-4-2 (2001) Electromagnetic Compatibility (EMC): Testing and Measurement Techniques – Electrostatic Discharge Immunity Test.
42. Grund, E., Muhonen, K., and Peachey, N. (2008) Delivering IEC 61000-4-2 current pulses through transmission lines at 100 and 330 ohm system impedances. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 132–141.
43. IEC 61000-4-2 (2008) Electromagnetic Compatibility (EMC) – Part 4-2: Testing and Measurement Techniques – Electrostatic Discharge Immunity Test.
44. International Electro-technical Commission (IEC) IEC 61000-4-2 (2001) Electromagnetic Compatibility (EMC): Testing and Measurement Techniques – Electrostatic Discharge Immunity Test.
45. Grund, E., Muhonen, K., and Peachey, N. (2008) Delivering IEC 61000-4-2 current pulses through transmission lines at 100 and 330 ohm system impedances. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 132–141.
46. IEC 61000-4-2 (2008) Electromagnetic Compatibility (EMC) – Part 4-2: Testing and Measurement Techniques – Electrostatic Discharge Immunity Test.
47. Voldman, S. (2004) *ESD: Physics and Devices*, John Wiley and Sons, Ltd., Chichester, England.
48. Voldman, S. (2005) *ESD: Circuits and Devices*, John Wiley and Sons, Ltd., Chichester, England.
49. Voldman, S. (2008) *ESD: Circuits and Devices*, Publishing House of Electronic Industry (PHEI), Beijing, China.

50. Voldman, S. (2006) *ESD: RF Circuits and Technology*, John Wiley and Sons, Ltd., Chichester, England.
51. Voldman, S. (2011) *ESD:RF Circuits and Technology*, Publishing House of Electronic Industry (PHEI), Beijing, China.
52. Voldman, S. (2009) *ESD: Failure Mechanisms and Models*, John Wiley and Sons, Ltd., Chichester, England.
53. Voldman, S. (2011) *ESD: Design and Synthesis*, John Wiley and Sons, Ltd., Chichester, England.
54. Vashchenko, V. and Shibkov, A. (2010) *ESD Design in Analog Circuits*, Springer, New York.
55. Voldman, S. (2007) *Latchup*, John Wiley and Sons, Ltd., Chichester, England.
56. Voldman, S., Ronan, B., Ames, S. *et al.* (2002) Test methods, test techniques and failure criteria for evaluation of ESD degradation of analog and radio frequency (RF) Technology. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, October 2002, pp. 92–100.
57. Pommerenke, D., Koo, J., and Muchaidze, G. (Feb. 2006) Finding the root cause of an ESD upset event. *DesignCom 2006*, Santa Clara.
58. Pommerenke, D., Muchaidze, G., Min, J. *et al.* (2007) Application and limits of IC and PCB scanning methods for immunity analysis. Proceedings of the 18th Int. Zurich Symposium on Electromagnetic Compatibility (EMC), Munich.
59. Muchaidze, G., Koo, J., Cai, Q. *et al.* (2008) Susceptibility scanning as a failure analysis tool for system-level electrostatic discharge problems. *IEEE Transactions on Electromagnetic Compatibility*, **50** (2), 268–276.

第 7 章

静电放电的未来

7.1 ESD 未来如何

随着半导体由微电子学范畴向纳电子学范畴转变，新的问题与不确定性相继产生，一个崭新的时代也随之开启。当我们进入纳米电子时代，器件尺寸变得越来越小，但对 ESD 现象的关注越来越多^[1-5]。半导体工业已经对 CMOS 工艺的制造技术进行了四十年的投资，但未来如何呢？对 ESD 领域的兴趣部分来源于在免受静电和静电放电损伤的情况下制造出新型纳米结构的需要。纳米 ESD 为我们刻画出一个全新领域，随着我们的研究进入到纳米结构世界，该领域在全球范围内引起了巨大的兴趣与关注^[1, 6-9]。

静电放电是否会影响到纳米结构的可靠性以及制造能力和市场化能力？我们将去向何处？对于未来的 ESD 问题有没有解决方案？ESD 敏感性会不会与结构和工艺类型相关？

7.2 工厂与制造

在未来，工厂原料和设计可能会采取不同于现在的方式，这取决于工厂和制造设施的全球化扩张。工厂采取的方法将会依赖良好的控制 ESD 措施或工厂成本的预期。随着全球化的发展，未来工厂的方向将在工厂成本、生产产品和 ESD 防护价值之间取得平衡。

在纳米结构制造过程中，器件、元件和系统产品的 ESD 敏感性将对未来产品的工厂环境、运输和操作过程的发展起关键作用。下节将展示几个从光刻掩膜到纳米线不同工艺器件的例子。本章首先讨论具有气隙或开放表面的器件的 ESD 失效，这些器件具有机械静态结构或机械动态结构。本章重点介绍光刻掩膜、磁记录器件和微机电系统 (Micro Electromechanical Machine, MEM)，但主题与所有静电驱动和悬浮结构有关 (例如电容器与电感器)。然后本章将介绍硅器件 (从体硅 CMOS 到绝缘体上硅 (Silicon On Insulator, SOI))，以及现代的纳米结构 FinFET 和纳米线。

7.3 光刻掩膜与十字线

光刻掩膜在半导体器件制造成型中使用。光刻掩膜作为半导体圆片上印制所需要图形的负像。半导体圆片表面形成一层光敏材料，以便制造所需要的结构和形状。使用光刻掩膜对光敏材料曝光，曝光会导致光敏材料加固硬化。在光刻中可能会使用正胶或者负胶。光刻掩膜通常由石英基底及其物理表面的铬版所构成（图 7.1）。光刻掩膜生产必须无缺陷，缺陷的产生可能成为产品失效的一个潜在机理。

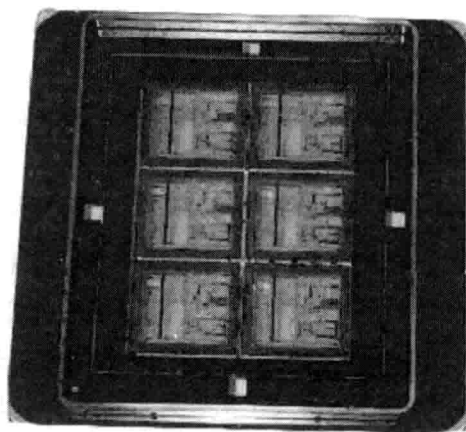


图 7.1 光掩模十字线

7.3.1 光刻掩膜中的 ESD 问题

其关键问题之一在于掩膜版静电荷的产生。在光刻掩膜不同的铬版间，存在一个潜在的“火花隙”，当间隙电势超过气体击穿电压时会导致静电放电。在光刻掩模的制造和操作时，静电问题会导致铬刻线的损坏^[10-19]。当光刻掩模产生全部或局部的差分电压时，静电问题就会发生。在局部损伤情况下，差分电压可以在两相邻铬刻线之间产生。差分电压与各结构上电荷的产生数有关。物理尺寸或者形状的区域不同，电荷产生也不同，从而导致差分电压的产生。电击穿既可能是表面击穿，也可能是体内气体击穿。

图 7.2 所示为光掩模两掩版之间 ESD 放电随间隙距离变化的情况。从图中的损伤结果可以看出，铬材料会在电击穿后两掩版之间产生的电流作用下熔融。图 7.2a ~ e 显示了放电随缝隙间距变化的情况（间距分别是 $1.5\mu\text{m}$ 、 $2\mu\text{m}$ 、 $2.5\mu\text{m}$ 、 $3\mu\text{m}$ 和 $4\mu\text{m}$ ）^[4]。在间距为 $4\mu\text{m}$ 时（图 7.2e）两个铬刻线边缘处并无明显损伤，但证据表明在该距离下横线末端上角处形状已发生改变。在图 7.2d 中，当气隙间距为 $3\mu\text{m}$ 时，两个铬刻线边缘处均有轻微损伤，在这个情况下，横线末端上角处和竖线边缘的形状均发生了改变。在图 7.2c，当气隙间距为 $2.5\mu\text{m}$ 时，铬刻线边角与末端均参与了放电过程。当间距更小时，横线末端与竖线边缘处气隙的损伤更为明显。

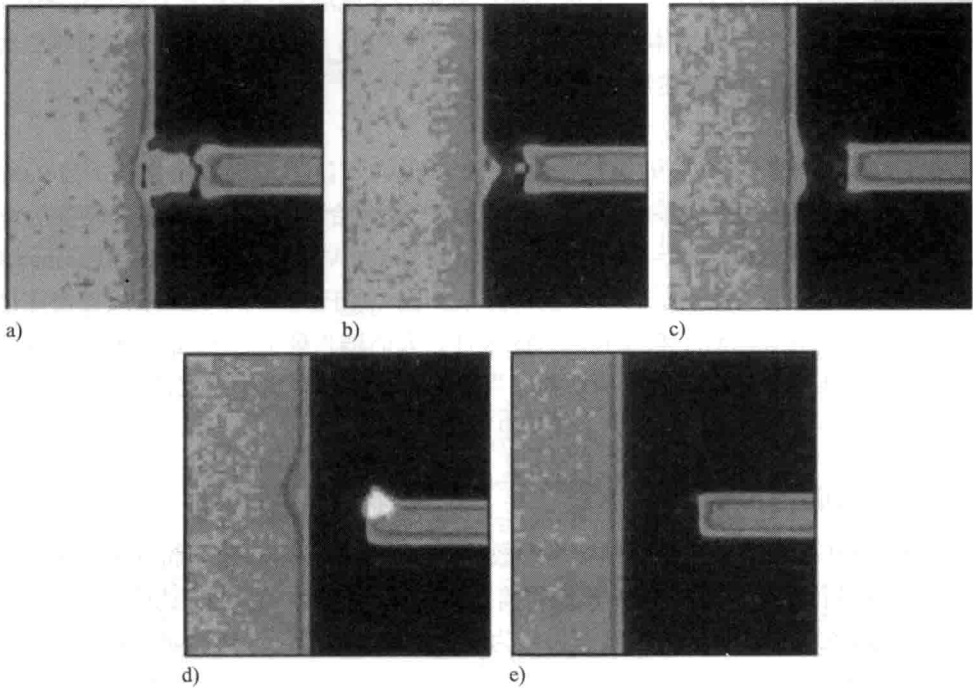


图 7.2 a) 到 e) 光刻掩膜损伤随距离的变化情况

7.3.2 光刻掩膜的雪崩击穿

雪崩现象对于理解气体和其他材料中的击穿过程十分重要。Townsend 于 1915 年指出，当雪崩高度达到某一个临界值时，就会产生击穿。

$$H = e^{ad} = \frac{1}{\gamma}$$

式中，雪崩高度 (H) 和碰撞电离系数与距离的乘积成指数关系，碰撞电离系数指在电场方向上单个电子在单位距离上电离碰撞的数目。雪崩高度 (H) 又被认为是再生概率系数的倒数，再生概率系数指阴极发射每个正离子产生的新电子的数目。F. Paschen 研究结果表明，雪崩击穿过程是气压与电极间距的函数：

$$pd \approx \frac{d}{l}$$

式中， P 为压力， d 为极板间距， l 为电子平均自由程。根据 Paschen 的研究结果，可以得出一条具有相同变化特征的普适性曲线，它与极板间气体的成分无关。Paschen 曲线描述了击穿电压 V_{BD} 与气压和间隙间距乘积之间的函数关系，并以它们的对数为变量作图而得。

$$V_{BD} = f(pd)$$

当 pd 乘积较小时，电子与原子间的碰撞概率较低，因此电子必须通过加速来突破电离限制才能产生雪崩过程。此时，击穿电压随着气压与间距乘积的增加而降低，直至达到一个

极小值。然而，当 pd 乘积较高时，非弹性碰撞数则会相应增加，使得击穿电压也随之增加。上述过程形成一个 U 字型的气体放电特性。当气压较高时，还会伴随着光子发射等二次粒子的产生。空气中，另外一种表达形式为：

$$p\lambda = 5 \times 10^{-3}$$

式中， p 的单位为 Torr， λ 的单位为 cm。在一个大气压下，平均自由程 λ 为 $0.066\mu\text{m}$ 。一个平均自由程所聚积的能量为 30eV ，达到可以产生初始雪崩击穿的能量，转换为电场与电压，其对应的电场强度为 $E = 30 \text{ V}/0.066\mu\text{m}$ ，约为 $480 \text{ V}/\mu\text{m}$ 。因此，根据 Paschen 理论，当气隙间距小于 $1\mu\text{m}$ 时，气体击穿（无表面）击穿电压低于 500V 。Paschen 发现击穿过程与气压和间距的乘积有关。对于当前和未来的器件，人们感兴趣的是 Paschen 曲线的 U 形区，该区域内击穿电压随着间距的减小而增加。当我们制造出具有更小线宽的纳米电子器件时，线间距的减小将导致膜版之间产生纳米级静电放电现象。

7.3.3 光刻掩膜的电模型

光掩模中各单元的电响应也是结构电参数的函数。因而，可以建立起电模型来对光掩模中的 ESD 事件进行量化^[10, 19]。事件模型可简化为基底上的第一掩模板图形和第二掩模板图形，它们之间存在气隙。掩模十字线背面作为地面基准面。那么，铬形就会在铬版与掩模背面参考面之间形成电容。电容量由掩模板图形面积和石英圆片衬度的厚度所决定。掩模板图形电阻是图形薄层（feature sheet）电阻和图形几何参数的函数。铬线的电感与每单位长度的电感相关。电容 C_1 和 C_2 分别是两个铬层相对掩模背板的电容。电阻和电导也是两相邻结构的参数。在这个模型中，间隙电容与弧阻并不包括在内。这种假设在间隙区较小或者间隙电容和电阻远小于其他电阻和电容的情况下是有效的。注意在这模型中，当发生空气放电时，电路的所有单元组成一个网络，形成一个 RLC 响应。J. Montoya、L. Levit 和 A. Englisch 展示了该模型的响应与静电放电中观察到的振荡波形相符合^[10, 19]。静电放电的电流波形表现为阻尼振荡，电流是电路阻抗的函数，而阻抗则等于频率与两电感之和的乘积（ $Z = \omega (L_1 + L_2)$ ）^[10, 19]。

$$I(t) = \frac{V}{\omega \{L_1 + L_2\}} e^{-\alpha t} \sin\{\omega t\}$$

衰减率与等效 R/L 衰减相关，其中的等效电阻是这两个电阻的总和，等效电感为两电感之和（ $(R_1 + R_2) / (L_1 + L_2)$ ）。

$$\alpha = \frac{1}{2} \left\{ \frac{R_1 + R_2}{L_1 + L_2} \right\}$$

振荡频率可通过 Kirchoff 电压回路获得，特征振荡频率^[10, 19]如下，

$$\omega = \left\{ \alpha^2 + \left(\frac{1}{C_2} - \frac{1}{C_1} \right) + \left(\frac{1}{L_1 + L_2} \right) \right\}$$

放电响应与两电感之和、两电阻之和以及衬底基准面间的电容有关。也就是说，RLC 响应是掩模形状（例如长度和宽度）以及间隙距离的函数（图 7.3）。空气间隙距离也决定了发

生击穿时的电压。

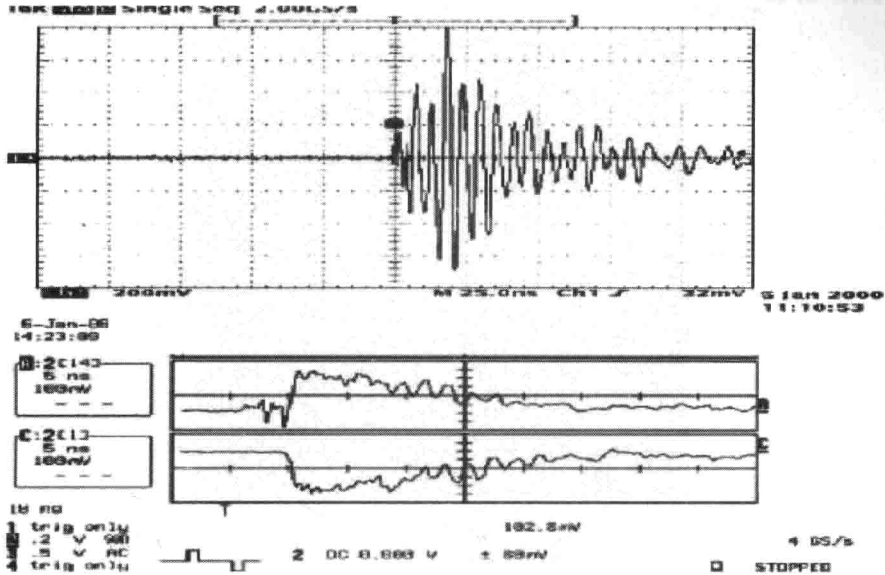


图 7.3 放电 RLC 振荡的测试

7.3.4 光刻掩膜中的失效缺陷

放电本身将导致铬线熔化，并使半导体芯片掩模产生缺陷。随着间距的减小，这些纳米缺陷很难在掩模检查时被发现。图 7.4 显示了铬线损伤的原子力显微镜 (Atomic Force Microscope, AFM) 图像，这些损伤可能导致潜在缺陷。这些纳米缺陷阻碍了结构制造时的非良率损失，因此，在未来纳米结构中实施制造环节的检查正引起人们的关注。

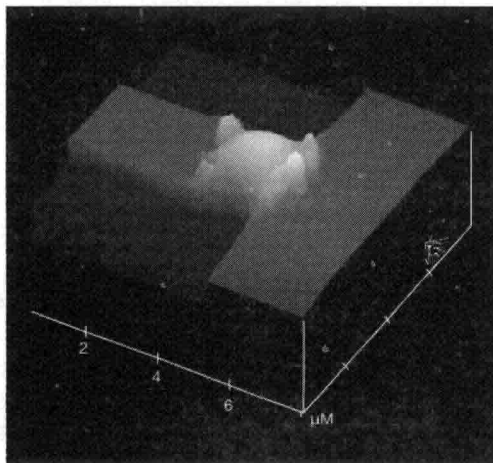


图 7.4 光刻掩膜上潜在缺陷的原子力显微镜 (AFM) 图像

图 7.5 显示两个掩膜图形之间 ESD 缺陷的 AFM 图像。可以明显看到掩膜的材料出现在两个掩膜图形之间。

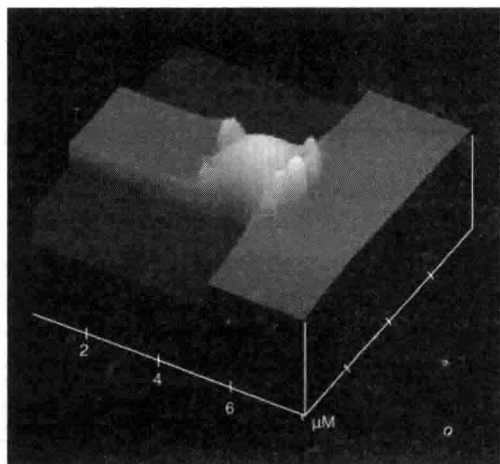


图 7.5 光刻掩膜上 ESD 缺陷的原子力显微镜 (AFM) 图像

7.4 磁记录技术

磁记录业利用一个装在磁头上的小型薄膜磁阻 (MR) 来感应旋转磁盘上的磁场。随着磁盘驱动器尺寸的减小, 为了在单位面积上存放尽可能多的信息, 磁记录业不断开发出具有更小结构的磁头设备。相应工业由磁阻发展到巨磁阻 (GMR), 再发展到了目前的隧道磁阻 (TMR)。

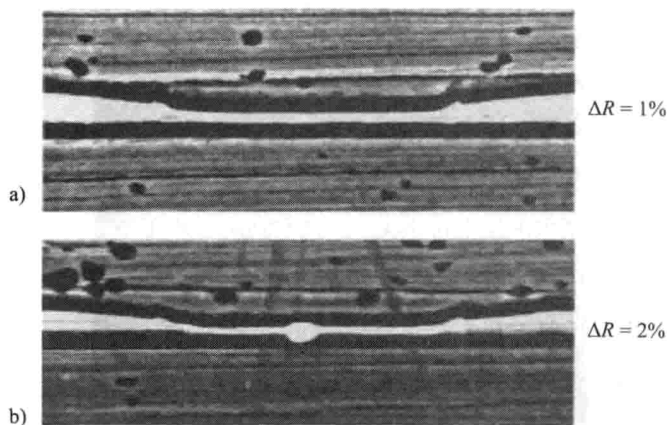


图 7.6 磁阻条纹的 ESD 失效损伤及其电阻漂移

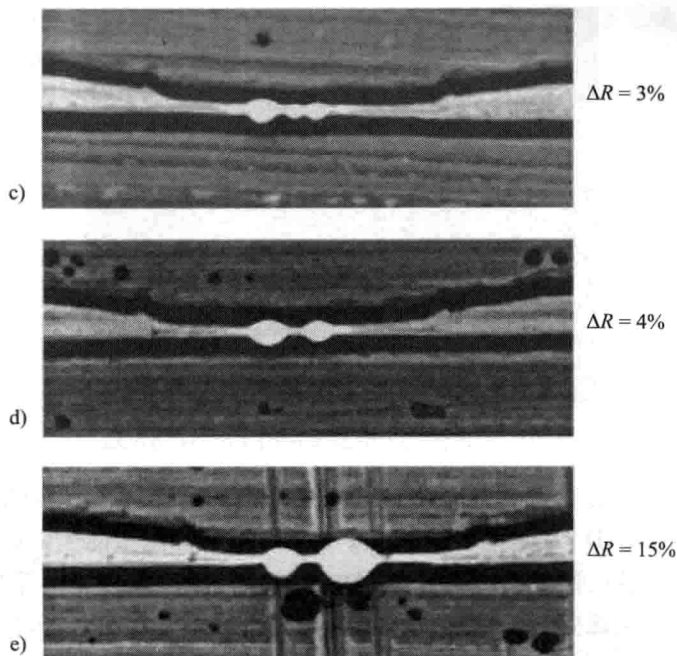


图 7.6 (续)

ESD 与电磁干扰 (EMI) 已成为磁记录业中重点关注的问题^[4, 20-28]。在今天所生产的器件中, 磁记录器最具 ESD 敏感性。因此, 人们对于制造出“0 级”器件表现出极大的兴趣。这些器件 ESD 健壮性低的一个主要原因是无法在硬盘驱动器上制造 ESD 防护器件或结构来保护它们。

在这些器件中, 存在着大量电、磁以及气动失效机理。同时也有材料状态和电路状态 (例如: 初始化) 的改变。图 7.6a ~ 图 7.6e 显示了磁阻 (MR) 磁头结构 ESD 失效损伤随电阻退化漂移的变化情况^[20]。随着磁阻条缺陷的改变, 其电阻值也相应发生改变。这将影响 MR 薄膜的磁特性。在磁盘驱动中, 当磁阻条在磁盘上面“飞”过时, MR 器件的这种聚集态将改变其气动特征。磁头与磁盘的“碰撞”也可能发生, 并导致磁盘驱动失效。

磁阻及其相邻屏蔽层和基底之间也可能发生微击穿^[20]。击穿可能沿着表面发生, 导致 MR 条纹和物理盘片表面的损坏。

MR 磁头的第二个基本的机理是 MR 磁条与相邻磁屏蔽结构之间的 ESD 失效。和光掩膜一样, 在这两相邻结构的表面之间可发生静电击穿。在 MR 磁头中, MR 屏蔽层为磁阻条提供杂散磁信号的磁屏蔽。当信号减弱时, 磁屏蔽会靠近磁阻条以增强磁阻条的信号。和光刻掩膜一样, 沿着空气轴承表面 (Air Bearing Surface, ABS) 存在着气隙, 磁阻条与 MR 屏蔽层在该处分离。图 7.7 给出了磁阻条与相邻 MR 屏蔽层之间的 ESD 失效的例子。

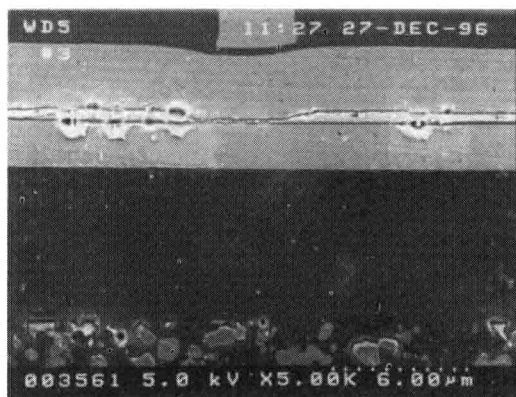


图 7.7 磁阻条到屏蔽层之间的 ESD 损伤机理

在磁记录业的发展过程中，通过减小尺寸和薄膜厚度来提高小信号敏感性，这也导致对人体模型（HBM）ESD “健壮性”的降低。在 1993，MR 磁头的人体模型 ESD 敏感度为 150V HBM 级别。随着巨磁阻磁头的引入，HBM 敏感度减小到 35V。当进一步引入隧道磁阻磁头时，其失效等级降低到低于 10V HBM。人体带电电压能达到多高呢？有人测量发现可高达 35kV。半导体器件往往设计为能承受 2kV 人体模型 ESD 电压。

今天，TMR 是正在生产的最具 ESD 敏感性的纳米器件之一^[4, 28]。TMR 器件正在教导半导体制造业如何对超敏感器件进行构建、运输和安装，并引导我们进入未来纳米技术世界。图 7.8 显示了 TMR 器件的静电放电（ESD）损伤^[28]。

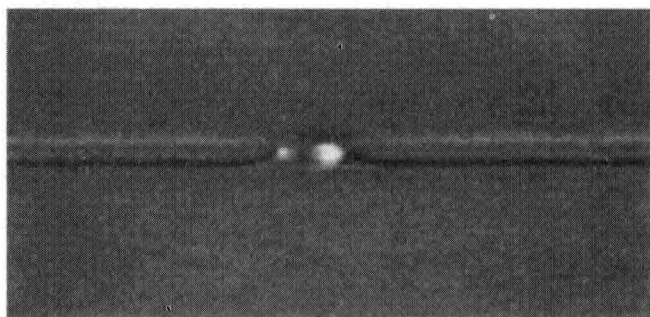


图 7.8 隧道磁阻的 ESD 损伤

7.5 微机电器件

微机电（MEM）结构广泛应用于基本电元件、微引擎和微镜^[4, 7, 29-38]。在马达中，MEM 用于“能量拾荒”，即将机械振动能转化成电能。MEM 电元件包括电容、电感和开关^[4]。MEM 也用于微镜阵列^[35-38]。目前，人们正在探索 MEM 在电子、生物医药、消费、多媒体、

便携式电子产品、能源和军事中的广泛应用。这些 MEMS 均具有以下关键点：

- MEM 结构含有空气间隔。
- MEM 结构含有气腔和悬浮结构单元。
- MEM 结构存在可动单元。
- MEM 结构的机械运动由静电场触发（静电驱动）。

其结果是，MEM 结构的失效既与电失效有关，也与机械失效有关^[4, 7, 29-38]。机械失效包括蠕变，疲劳，磨损和“粘滞”。MEM 结构运行失效与阻碍可动部件的运动而造成的结构损伤有关。电失效与表面和气隙的击穿有关。电击穿可导致结构熔融、静电偏转或结构损伤。这可能表现为 MEM 器件运行过程中电阻、电容和电感的变化。电失效与器件直流、交流参数或者漏电流的变化相关。今天，并非所有 MEM 应用中的 ESD 失效机理都已被证实。许多关于 MEM ESD 失效的观察与认识均可转移到其他 MEM 应用中，例如 MEM 电感和 MEM 电容^[4]。

由于许多纳米单元均是由静电所驱动，因此，MEM 面临着新的挑战。试想，在静电驱动的纳米单元中，如何避免静电放电问题？又如何避免气隙与悬浮结构中的静电放电？正如在光掩模中，充电可在两邻近排列的单元之间发生一样，在 MEM 结构中，单元的各个部分之间均紧密排列，其间的空隙用于提供静电驱动。结果，电火花就可能在空隙处发生，并导致器件熔融，有时甚至能使它们“粘着”在一起。因此，在这些 MEM 结构中，静电问题既可能对功能产生影响，也可能使结构发生“粘滞”。

微机电器件中的 ESD 问题

在静电驱动器件中，ESD 失效与多个因素有关。第一个失效机理是电击穿。电击穿发生于驱动源和器件物理结构或膜之间的空隙处。正如前面所述，Paschen 曲线描述了击穿电压与空隙尺寸之间的关系。静电驱动器件的一个有趣的特性就是，在器件运行过程中空隙尺寸随着机械的运动而发生改变。MEM 结构与场发射器件（Field Emission Device, FET）、火花间隙、记录磁头（例如 AMR, GMR, TMR 和巨磁电阻 CMR）以及光刻掩膜结构之间特有的差异处就是其间隙尺寸的可变性。间隙的改变取决于以下因素：

- 电学状态（例如激励态、非激励态或者开关转换态）
- 残余电荷（ESD 事件前后）
- 机械变形（例如预应变条件）
- 电场（ESD 事件前后）

对于电学状态，结构可以处于“打开”、“关闭”或开关转化态。这种情况下，间隙尺寸将会改变。当间隙较小时，材料的位移会导致“粘滞”。此时，两表面发生熔融，使得两种结构粘在一起，并阻碍器件的运行，这就是所谓的“粘滞”。在光刻掩膜中，它是一种缺陷，而在 MEM 结构中，它则阻止了 MEM 器件的运行。结构的机械弹性常数也影响着结构在放电后能否回复到原态（例如，结构的刚度就会影响回复的响应）。

残余电荷将导致结构“初始态”的改变，进而在ESD事件发生之前影响间隙的间距。这种“预置电荷”产生的电场会诱导结构发生位移或偏转。因此，预置态（既包括电的，也包括机械的）将导致气隙间距减小、初始电场建立，进而影响到HBM、机器模型（MM）和传输线路脉冲（TLP）的结果。

由预应力条件或非弹性变形导致的机械形变会引起驱动器件位置的改变。因此，机械初始态同样将导致气隙间距减小、初始电场建立，进而影响到HBM，MM和TLP结果。

7.6 微马达

微机械引擎在未来具有广泛应用的价值^[29, 30]。例如一个微机械引擎含有齿轮和线型驱动器。微机械引擎有可以转动的齿轮，齿轮沿着一个连接到衬底的轴转动。可转动的齿轮机械连接到线型驱动器上。微机械具有正交梳形驱动，这些梳形驱动包含一套固定齿和一套接地齿。固定齿和接地齿之间是绝缘的，接地齿机械连接到可移动的穿梭结构上，穿梭结构被弹簧悬挂到接地面上方作为地面电势。

微马达器件中的ESD问题

Sandia实验室的J. Walraven首先研究了微马达中的ESD损伤问题^[29, 30]。图7.9显示了一个扭转棘轮驱动器（Torsional Ratcheted Actuator, TRA）的实例（Sandia国家实验室开发）。Sandia国家实验室一直探索这些马达在静电方面的可靠性，采用静电放电测试来评价其失效机理。J. Walraven观察到齿轮旋转和马达部件粘滞的损伤现象，还观察到ESD电流所产生的“纳米焊接”。另外一个可靠性问题是放电后的残留颗粒会干扰部件的机械旋转。

J. Walraven等发现这些驱动器人体模型（HBM）的失效等级位于100~130V之间（HBM）^[29, 30]。另外，机器模型（MM）的ESD失效等级在95~120V之间（MM）（图7.10）^[29, 30]。对于普通半导体器件，人体模型和机器模型ESD结果的比值在5:1到20:1之间。在半导体器件中，失效比例和电流密度及温度密切相关。但在微引擎中，失效与空气间隙的击穿电压相关。因此，与半导体器件中的ESD失效相比，微引擎的失效更类似于火花间隙、光掩模和磁记录器件。

失效分析显示ESD失效机理与第二层的多晶硅梳齿和第一层的多晶硅接地面之间发生粘连有关。这两个多晶层之间产生放电，将导致其失效位置的多晶熔融。电失效特征通过

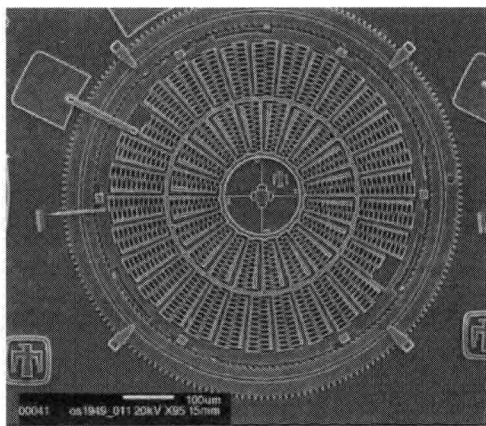


图7.9 扭转棘轮驱动器（TRA）（ESD协会授权许可）

TIVA 分析而得, TIVA 的结果得到了扫描电镜 (SEM) 分析的证实。ESD 失效发生在多晶硅梳状指上。这些结构的放电器件模型 (CDM) 测试显示其失效等级超过 1000V (CDM), 其中, 有些驱动器超过 2000V (CDM) 仍未失效^[29]。在这些微引擎中, 运行的结构不含有硅衬底, 这些结构与基底圆片之间有电隔离, 因此它们并没有体硅半导体器件那么敏感。失效分析证实了在固定和可动梳齿与衬底间没有出现损伤。在一些情况中, 在多晶硅梳齿结构上发现了多晶硅的损伤, 只要不发生粘连, 微引擎仍然具有功能。因此, 证据显示在一些结构中虽然出现了硅或者多晶硅的损伤, 但只要损伤没有导致物理粘连, 微引擎仍然能维持功能性运转。但如果放电导致两个物理结构粘连或者“焊接”, 微引擎将丧失功能^[29, 30]。

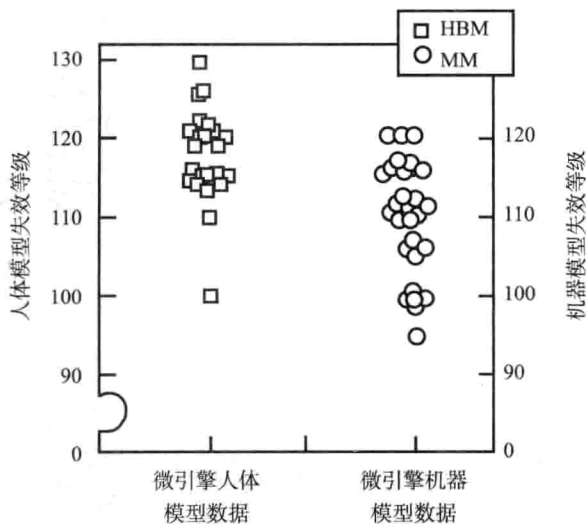


图 7.10 扭转棘轮驱动器 (TRA) 人体模型 (HBM) 和机器模型 (MM) 的 ESD 结果

7.7 微机电射频开关

在射频 (RF) 应用中, RF MEM 开关比传统开关更具有优势。MEM RF 开关结构的电学状态可以是“打开”、“关闭”或处于开关过渡状态。在这些情况下, 间隙的尺寸会有所不同。在这些静电驱动的开关中, ESD 同样是需要关注的问题^[31-34]。当间隙较小时, 材料的位移可导致“粘滞”。两个表面间的熔融导致两个结构粘到一起而无法工作。在光掩模中, 它导致缺陷的产生, 在 MEM 结构中, 它导致 MEM 器件无法完成功能运行。

微机电射频开关中的 ESD 问题

A. Tazzoli 研究了 ESD 对射频 MEM 开关器件的影响^[31, 34]; 他描述过结构的“弹性常数”会影响到结构在放电发生后能否自我恢复 (例如: 结构刚性影响其回复响应)。由于预应力或非弹性形变的存在, 机械变形也可导致驱动器件的位置改变。因此机械初始状态导致更小的间

隙间距和初始电场，进而影响 ESD 结果。

第二个问题是结构部件的机械失效（例如破损结构）。对于结构部件，机械变形可以使用结构力学“梁理论”来评价。结构部件可以认为是一个给定截面的梁结构。梁偏转与支点有关。例如悬臂梁结构，假定力沿着梁的长度方向分布，而这个力将梁拉向一个平面。在梁结构和表面之间有一个电场，这个电场在梁结构上施加了一个力。梁的位移和力的大小、梁的长度、梁的厚度、梁材料的杨式模量相关。力的大小与梁与表面之间的间隙尺寸有关（例如所定义电场的建立）。

用于计算 MEM 结构梁位移的模型是 Osterberg 模型。模型计算了悬臂梁末端接触表面所需要的电压。这个电压被称为崩溃电压。悬臂梁接触表面时的崩溃电压为：

$$V_c = \left\{ \frac{16Et^3g_0^3}{81\epsilon l^4} \right\}^{\frac{1}{2}}$$

其中 E 是杨式模量（单位兆帕）， t 是梁的厚度， g 是悬臂梁和表面的间隙， ϵ 是空气的介电常数， l 是梁的长度。破损的物理单元可在间隙中产生残留物质，影响功能性运行或电短路。

图 7.11 显示了一个 RF 开关的例子，RF 开关有一个 RF “输入”（RF (IN)）、一个 RF “输出”（RF (OUT)）以及驱动桥结构。在这些 RF MEM 开关中，ESD 事件不仅影响开关的机械运动，还影响射频的 S 参数^[31, 34]。图 7.12 所示为 ESD 应力后 RF MEM 开关的损伤情况。ESD 损伤发生在射频 (IN) 和射频 (OUT) 之间，以及射频输入或输出信号与驱动器之间。此外，ESD 电流也能导致开关部件中产生部件的“纳米焊接”，从而影响其功能，这一点和微型马达一样。

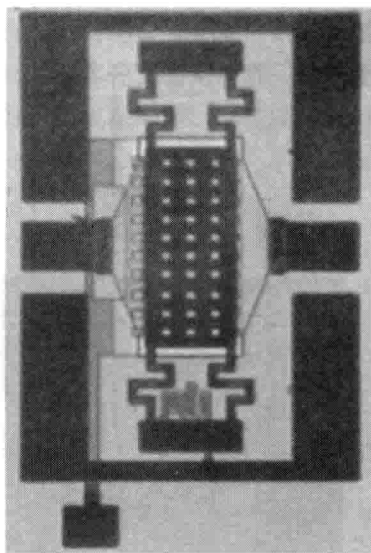


图 7.11 射频 (RF) 开关

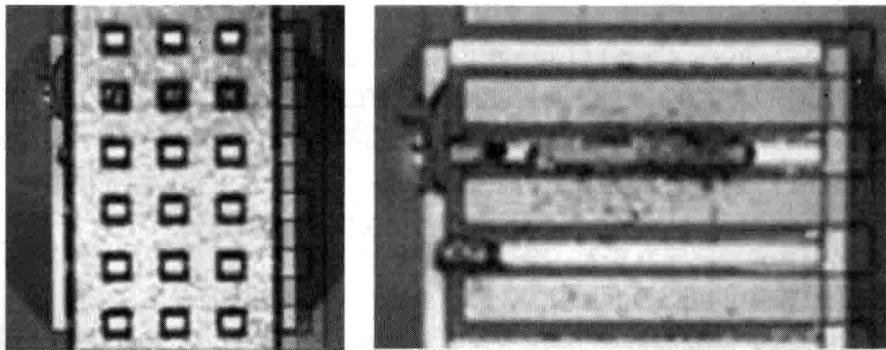


图 7.12 射频 (RF) MEM ESD 事件后的损伤 (图像获 ESD 协会授权)

7.8 微机电反射镜

微镜在现在和未来的系统中都会被应用。光学 MEM 系统包含静电驱动的微镜结构^[35-38]。这些微镜部件可广泛应用于相干光或非相干光。在使用激光的相干光应用中, MEM 结构可用在磁盘驱动器读磁头、激光打印机、条形码阅读器和扫描机。因此,无论是在便携式还是非便携式应用中,这些微镜系统均表现出巨大的应用价值。使用静电驱动,微镜可以通过镜和硅衬底上的焊盘之间电容耦合形成的力倾斜,驱动电压影响倾斜的角度,倾斜角度是驱动电压的函数。正如在其他 MEM 应用所示,ESD 故障可能发生。微镜的独特性在于部件的偏移或弯曲对于其应用至关重要。MEM 开关受到开关“打开”或“关闭”状态的影响,因此, MEM 微镜表现为数字化,但其本质是“模拟”态的。

微机电反射镜中的 ESD 问题

图 7.13 是微镜阵列 ESD 测试后的 SEM 图像。反射镜可能是电容元件的一个平板。微镜支撑梁位于中心,左右两侧各有一个电容器平板。通过施加一个电场,静电引力将导致反射镜部件倾斜,就像“拉锯”一样。倾斜角度是所施加的电场的函数。微镜同样关注 ESD 问题。ESD 事件可造成反射镜和驱动器之间损伤,这将导致微镜结构倾斜角和旋转的失真。在微镜阵列中,反射镜被小间隙所分隔开。ESD 事件的放电事件可能会发生在反射镜之间,导致镜面损坏^[38]。

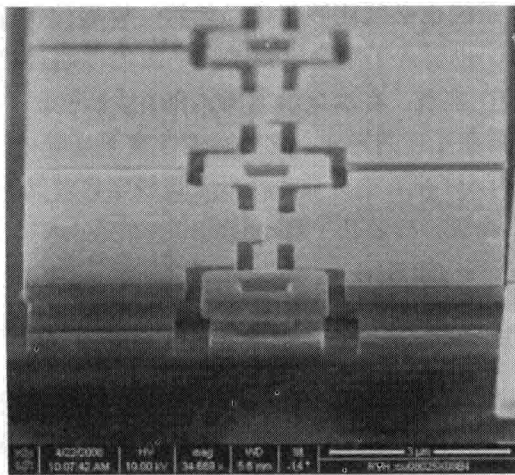


图 7.13 微镜结构

对于 RF MEM 开关, ESD 损坏可能会影响机械运动和系统响应。在微反射镜阵列中, ESD 损害会导致结构的倾斜角减小。如果增加驱动电压,仍然可以使微镜倾斜发生,但在倾斜角度的范围内会受 ESD 事件程度的显著影响(例如,影响其功能)。对不同尺寸的单镜或微镜阵列进行了 HBM ESD 测试。S. Sangameswaran 等人指出微镜阵列的一个失效机理与两

相邻微镜的失效机理有关^[38]。相邻镜之间存在间隙,形成“间隙火花放电”,可能导致镜与镜之间的ESD失效。

7.9 晶体管

随着半导体晶体管尺寸的减小,晶体管不断改进并取得革命性的转变。在过去的三十年中,半导体尺寸从微米级发展到了纳米级,但MOSFET恒定电场的缩小已影响到晶体管的ESD健壮性^[1-5]。在半导体器件中,半导体圆片的掺杂浓度经历了低掺杂浓度向高掺杂浓度发展,然后又回到低掺杂浓度的过程^[39,40]。而阱的设计也从单阱发展到双阱,再到三阱,这种演变受到半导体加工设备(例如MeV注入)、半导体器件隔离(例如抗门锁要求)和供应要求(例如低压或高压器件)的影响。其中,隔离技术已从凹陷氧化物(Recessed Oxide, ROX)、局部氧化(LOCOS)发展到了目前的浅沟隔离技术(Shallow Trench Isolation, STI),以利于缩小尺寸、改善图形^[39-42]。

晶体管结的注入技术已从单注入发展到L_{DD},再发展到扩展注入。今天,使用应变硅锗(Silicon Germanium, SiGe)技术,通过引入区域拉伸或压缩来改变材料的迁移率。机械应变能够调整晶格原子间距,进而改变自由载流子与晶格原子的碰撞频率。机械应变也可通过在栅结构上使用薄膜引入,薄膜将沿着硅表面产生压缩和拉伸。

由于互连线要与MOSFET器件集成,因此,互连系统大小必须与硅晶体管相匹配。与MOSFET器件集成的互连系统也必须能够与硅晶体管一样等比例缩小。为达到这一目标,在创新平面化技术的同时,也引入了冶金学技术。平面化可通过化学机械抛光(Chemical Mechanical Polishing, CMP)实现。在冶金学方面,金属线和接触孔连接结构发生了革命性的改变,实现了铝互连向铜基互连的转变,这种转变改变了半导体的ESD健壮性^[43,44]。为提高半导体芯片的性能,引入了低k电介质来降低互连线电容及其线间的耦合,这也影响了互连线的ESD健壮性^[45]。今天,硅通孔(Through Silicon Vias, TSV)技术已被引入到多芯片模块和堆叠芯片中以增加其功能带宽。

7.9.1 晶体管—体硅和SOI技术

为达到性能的持续提高,实现摩尔定律曲线所描述的发展趋势,人们认为,MOSFET结电容是影响性能发展的障碍。“体硅CMOS”晶体管自然而然被部分耗尽绝缘体上硅(Partially Depleted Silicon On Insulator, PD-SOI)技术所取代。SOI技术的一个关注点就在于能否获得ESD防护能力以及在不降低产品ESD健壮性的前提下实现从体硅CMOS应用向SOI应用的转变。ESD的发展始于1991年,最初是为了证明SOI有能力成为体硅CMOS技术的主流替代技术。图7.14所示为体硅CMOS向SOI技术转变路线图。经过多年的努力,提供具有ESD的健壮性SOI产品已成为可能^[46,47]。这项工作打开了半导体发展的大门,但也产生了两难困境。问题在于是选择体硅CMOS还是SOI技术作为高性能的先进技术。当

进入到 22nm 或亚 22nm 技术时，这两种技术均被用作先进 CMOS 候选技术。

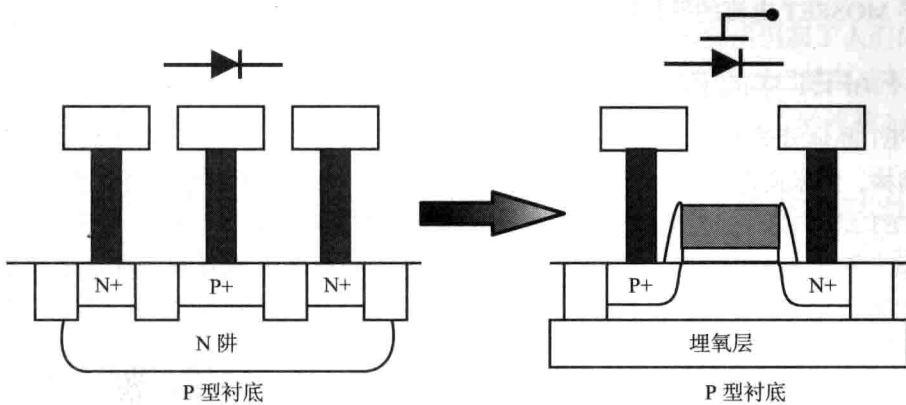


图 7.14 体硅和 SOI 结构

7.9.2 晶体管和 FinFET

当硅晶体管由微米尺度向纳米尺度转变时，半导体器件必须完成两种模式的转变：一是引入全耗尽晶体管，二是扩展到第三维度。

半导体中，为了在更多空间里面封装更多的晶体管，以获得更高的性能，晶体管正从二维（2D）圆片向三维（3D）发展。新的 3D 器件“FinFET”（也称作多栅场效应晶体管（Multiple Gate Field Effect Transistor, MUGFET）），正在被开发用于未来 CMOS 技术之中^[48-50]。名称“FinFET”来源于圆片表面纵向伸长的 3D “鳍”结构。为提高 MOSFET 晶体管单位面积内的电流传导，当前的发展是采用多栅极和环绕栅结构设计。目前已在 45nm 和 32nm 工艺中开始了其密度提高的探索工作。在 22nm 或未来 SOI 技术中，将极有可能采用全耗尽 SOI 晶体管和 SOI FinFET 晶体管。

今天，这些晶体管正在 45nm 技术中被证实，并有望应用于未来系统。在这些结构中，MOSFET 的栅极“包围”着“鳍”结构的各条边。每一个“鳍”结构均与邻近“鳍”结构物理上彼此隔离，只有一条公共栅极延伸穿过所有鳍结构并与电流方向垂直。

图 7.15 所示为 FinFET 结构的一个例子。不同于平面器件的表面，FinFET 被分割成垂直硅

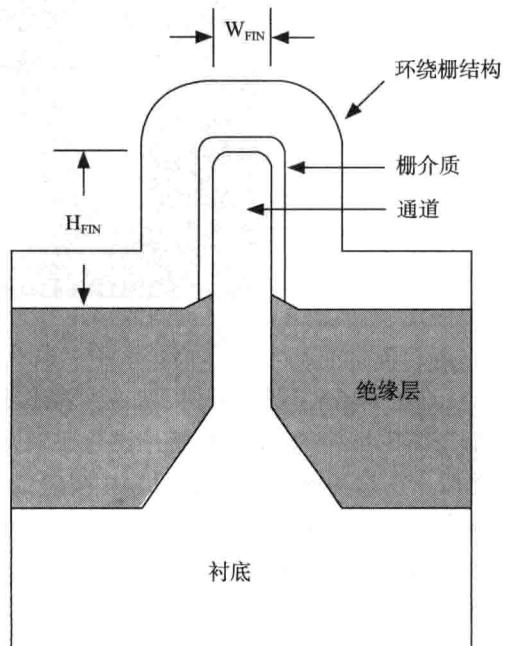


图 7.15 FinFET

柱。MOSFET 栅极三面环绕着“鳍”结构，并在各个平行鳍结构之间迂回穿过。FinFET 器件由传导 MOSFET 电流的平行纳米通道构成。

7.9.3 FinFET 中的 ESD 问题

FinFET 晶体管的 ESD 测试已有报道，其挑战在于如何设计和优化新型晶体管^[39, 40]。对于纳米结构，纳米通道会影响平面器件中的“电限制”，对平行通道电流约束进行量化。

FinFET 结构 ESD 失效受人们所关注，这是因为它和指条宽度、电流电限制的本质存在内部联系。在平面 MOSFET 中，在 MOSFET 宽度上的横向电流限制了高电流状态下预测 MOSFET 规模宽度的能力。在 FinFET 结构中，FinFET 的电流限制明显小一些，导致电流分布于多个指条上。

C. Russ 等人进行了 SOI FinFET 器件结构 ESD 失效的第一个试验性工作。他们对 150nm 和 90nm 长的 FIN 结构中的 320 个宽度 50nm 的平行指条进行了 TLP IV 特性评价^[48]。第二项研究显示了 250nm 和 120nm 长度的 FIN 结构中 500 个平行指条的第二项 TLP IV 特性。ESD 失效发生在 FinFET TLP IV I_2 电流级别。在 ESD 失效等级下，FinFET 结构中的许多通道因 ESD 事件而发生位移。需要指出的是 ESD 失效发生于相邻 FinFET 通道之间，而不是随机分布于结构中（图 7.16）。

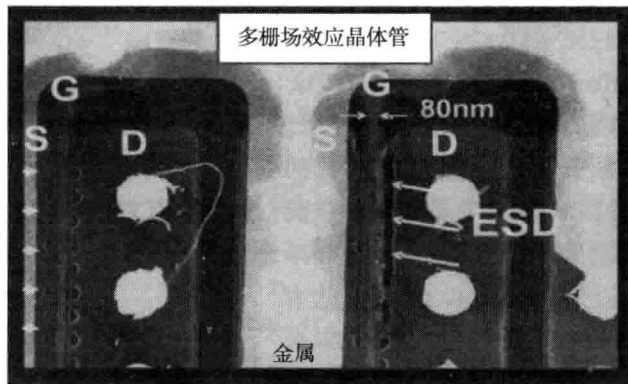


图 7.16 FinFET 的 ESD 损伤（图像获 ESD 协会授权）

这些 FinFET 结构可用于二极管结构和 MOSFET 结构^[48]。对平面 SOI 横向二极管与 SOI FinFET 的结构 TLP IV 特性进行比较，FinFET 二极管结构的 TLP 响应和平面二极管结构类似。在这项研究中，平面 SOI 横向二极管相对于 SOI FinFET 二极管结构具有更低的电阻^[48]。对于二极管构建的 FinFET 结构，在 ESD 失效的等级上，ESD 事件结果将使许多二极管的 SOI FinFET 通道发生移位。正如之前 MOSFET 结构中显示的那样，ESD 失效发生在相邻的 FinFET 通道，而不是随机分布于结构之中。

7.10 硅纳米线

随着半导体器件尺寸的减小，纳米线在电流传导和开关方面的应用引起了人们的关注。纳米线（Nanowire, NW）结构可应用于下一代亚 20nm 技术中。硅纳米线已被制成长 15nm、半径 4nm 的栅极^[51]。硅纳米线可用于全耗尽 MOSFET 结构，这是因为纳米线被 MOSFET 栅极结构包围^[51]。

这些结构的实用化障碍在于其承受 ESD 损伤的能力。研究硅纳米线 ESD 健壮性的试验工作已开始，第一篇公开报道的 ESD 成果由 W. Liu、J.J. Liou、A. Chung、Y.H. Jeong、W.C. Chen 和 H.C. Lin 等人发表于 2009 年 9 月^[52]。具有不同数量的平行纳米线和不同沟道长度的纳米线结构的 TLP 测试已经完成。首先，ESD 结果随着平行纳米线数量的增加而增加。其次，随着纳米线沟道长度减小，TLP 电流增加。使用 100 根平行纳米线，结构的临界失效电流为 20mA。使用 70 根平行纳米线，沟道长度从 2 μm 减小到 0.4 μm 时，临界失效电流从 7mA 增加到 18mA^[52]。

7.11 碳纳米管

碳纳米管（Carbon Nanotube, CNT）在纳米结构世界中引起人们极大的兴趣^[1, 56, 57]。CNT 被认为可用于未来电子器件中，因此人们对其进行了大量的研究并取得了一定进展。碳纳米管可用于外部和内部的电路应用上。但随之而来的是一些需解决的问题：我们如何保护 CNT 电路？如何在 CNT 外部建立 ESD 防护电路？我们可使用碳纳米线传导电流吗？它们是否具备构建 ESD 防护网络的重大意义？目前需要关注吗？

关注 ESD 的一个原因在于需要确保静电问题不影响碳纳米管在生产和市场中的主流引入。如果纳米管和纳米线的产品在未来成为现实，我们必须能够建立生产、运输和操作这些器件的实用技术。

人们对纳米线感兴趣的原因还源于其在导电能力方面的巨大潜能。如果我们能够学会如何发挥并驾驭纳米线的优势，那么，我们将取得巨大的进步。人们对于更快、更低能耗和更小尺寸器件的追求，正导致那些比现有器件长宽更小的结构产生。人们特别感兴趣的是碳纳米管形成的结构例如量子点、碳纳米管线和碳纳米管场效应晶体管（CNT Field Effect Transistor, CNTFET）。使用 CNTFET 和 CNT 线构建的电路将要求提供 ESD 防护，然而目前提供此类防护的结构和方法尚不清楚。因此，需要有一种兼容 CNT 二极管和 ESD 电路用于保护 CNT 基电子器件。

碳纳米管是由 sp^2 杂化的碳原子按六方和五方排列而成的封闭笼状分子。碳纳米管有单壁和多壁两种类型，单壁碳纳米管具有中空的管状结构，而多壁碳纳米管则类似于一束同心圆筒。单壁和多壁碳纳米管能够产生量子化的导电特征，这与标准的电子器件显著不同。击穿特性使其具有独特的行为，这在功能、可靠性和 ESD 应用前景上均引起了人们的兴趣。使

用两种掺杂的碳纳米管，可以形成PN结二极管，该二极管可用作防护器件。正如IBM T.J. Watson研究中心的Jia Chen所述，碳纳米管的取向和物理面积将影响交叉点CNT的能力^[54]。例如，在CNT二极管中，一根CNT从纳米催化颗粒沿纵向延伸出来，并与纳米催化颗粒相反端的金属接触处进行电连接。第二根CNT沿着第二个纵向方向同样从纳米催化颗粒延伸出来，并与其反端的金属接触处电连接；碳纳米管可以位于两个不同但平行的平面内，这两个平面均平行于绝缘层顶面。当通过含有C元素的气体例如一氧化碳和氢气混合气，采用化学气相沉积法制备CNT时，纳米催化颗粒可以是铁/钴(Fe/Co)或铁/钴/镍(Fe/Co/Ni)。

未来CNT的抗ESD能力以及ESD是否会阻碍CNT在现代电子系统中的集成仍然是个悬而未决的问题。因此，目前尚不清楚CNT的抗ESD能力在未来具有优势还是劣势。对这些问题的回答均需要大量的工作来支撑。

7.12 未来的系统和系统设计

在过去几年中，电子业飞速发展。大型服务器向小型化发展，信息存储由工作台转向“云”或云中心，笔记本正取代台式机。

笔记本电脑去除了磁盘驱动器和CD/DVD口。其屏幕从17英寸减为11英寸；厚度变得更薄，从厚型设计向超薄设计转变。笔记本壳也逐步减为单机械单元，仅留一个小端口在外。而且，目前笔记本正在被平板电脑所取代。

平板电脑正在与云、计算机和智能手机集成。平板电脑使用触摸屏，这消除了电磁干扰和电磁兼容问题的传入点。今年，平板电脑正在从笔记本电脑的尺寸向更小、更轻的方向发展，几乎接近大型手机大小！

家庭的有线电话正在被无线电话取而代之。移动电话也在从键盘式向着具有更少外露端口的触摸屏式发展，就如平板电脑一样。

在电子贸易展览中，“非触摸式”系统正在被引入，用户甚至无需触摸到触摸屏，而只需在屏幕表面附近“扫过”。随着“非触摸式”系统的发展，人们对于系统问题的关注将从ESD和EOS更多的转向电磁干扰(EMI)和电磁兼容问题。

今天，CMOS工艺已从平面型晶体管发展到“鳍式”晶体管和绝缘体上硅(SOI)技术，随之而来的是寄生器件和闩锁效应问题的消除。

随着系统的飞速改变以及系统、部件和器件的革命性发展，ESD、EOS、闩锁效应以及EMI和EMC的重要性将随之改变。其中的一些问题将不再重要，而另一些问题的重要性则将增加。这种趋势现在已经发生并不断变化，将来也会同样如此。

7.13 本章小结

随着器件尺寸达到纳米尺度，所有器件必须解决静电电荷、静电放电(ESD)、电磁干扰

(EMI) 和过电应力 (EOS) 的影响。这些问题在光刻掩模、磁记录器件、半导体器件、纳米线和纳米管中真实存在。

在光掩模、磁记录器件和 MEM 结构中, 由于气隙、空洞和悬浮结构的存在, 它们将产生其特有的失效。这些结构在许多情况下是机械静止的, 例如光掩模, 其他结构则为静电驱动。结果表明, ESD 失效与结构实际电压超出其运行的静电驱动电压有关, 这可能会导致熔化、移动元件熔融、机械故障以及器件损伤。对于机械静止器件, 例如光掩模, 残余材料会影响其成像过程。对于机械动态器件, 残余物则可导致机械运行失效。若超过运动结构的屈服应力, 则会发生机械损伤, 并产生破损部件。在这些结构中的一个关键发现是, HBM 和 MM 结果差异甚微, 基于空气间隙的失效机理, 失效与气隙击穿电压有关, 这与硅基二极管和 MOSFET 结构极其不同。

此外, 在众多机械驱动器件中, 器件与支撑衬底之间电隔离, 从而导致它们具有高的 CDM 电压。再次, 这与硅基器件单元具有明显的区别, 它们更像 MR 磁头和光掩模中所观察到的 ESD 失效。此外, 对于极短脉冲, ESD 脉冲宽度远小于机械结构的弹簧常数的响应时间。同样清楚的是, 失效是由于其实际电压超过了正常功能下的工作电压, 当实际电压超出了正常工作电压范围时, MEM 结构容易受损, 这将导致气体击穿或发生允许范围之外的机械偏差。

硅器件所面临的挑战在于, 随着其性能目标的持续提高, 如何保持半导体器件的 ESD 健壮性。根据早期硅纳米线试验结果, 向纳米结构的改变可能并不像预期那样困难。

总的来说, 如果纳米结构较为微小, 并暴露于外部源, 那么它就有可能受到静电的影响。研究和开发当前和未来纳米结构的静电击穿问题将会成为需求。除了 ESD 问题, 电磁干扰 (EMI) 也是元器件级或系统级关注的问题。放电过程所产生的电场和磁场, 也是未来包含纳米结构的系统所关心的问题。因此, 不仅有必要评价纳米结构半导体器件和部件的 ESD, 而且“纳米 ESD”还必须进行系统级评价(即“系统级纳米 ESD”)。未来包含这些纳米结构的系统也必须对系统级 ESD 问题进行量化评估。

未来是否会有这些纳米结构的 ESD 解决方案呢? 对于过去的 ESD 问题, 人们或多或少都会有解决方案。今天, 人们关注着工程界又将如何处理纳米 ESD 问题。这个问题目前仍然悬而未决^[55]。

参考文献

1. Voldman, S. (2004) *ESD: Physics and Devices*, John Wiley and Sons, Ltd., Chichester, England.
2. Voldman, S. (2005) *ESD: Circuits and Devices*, John Wiley and Sons, Ltd., Chichester, England.
3. Voldman, S. (2006) *ESD: RF Technology and Circuits*, John Wiley and Sons, Ltd., Chichester, England.
4. Voldman, S. (2009) *ESD: Failure Mechanisms and Models*, John Wiley and Sons, Ltd., Chichester, England.

5. Voldman, S. (1998) The impact of MOSFET technology evolution and scaling on electrostatic discharge protection. *Microelectronics Reliability*, **38**, 1649–1668.
6. Voldman, S. (2002) Lightning rods for nanoelectronics. *Scientific American*, **287** (4), 90–97.
7. Voldman, S. (2009) Nano Electrostatic Discharge (ESD). *IEEE Nano Technology Magazine*, **3** (3), 12–15.
8. Voldman, S. (2006) Electrostatic discharge protection in the nano-technology era – Will we be able to provide ESD protection in the future? Proceedings of the International Conference on Semiconductors and Integrated Circuit Technology (ICSICT), Shanghai, China, October 2006.
9. Voldman, S. (October 12–15 2007) Electrostatic discharge in the nano-technology era, Keynote Talk. Application Specific Circuits and Networks (ASICON) 2007, Guilin, China.
10. Montoya, J., Levit, L., and Englisch, A. (2000) A study of the mechanisms for ESD damage in reticles. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 394–405.
11. Greig, E. (1995) Controlling static charge in photolithography areas. *Micro Magazine*, **13** (5), 33–38.
12. Steinman, A. and Montoya, J.A. (1997) Developing an exit charge specification for semiconductor production equipment. *Micro Magazine*, **15** (4), 32–39.
13. Levit, L.B. and Meneer, J. (1998) Measuring and quantifying static charge in cleanrooms and process tools. *Solid State Technology*, **41** (2), 85–92.
14. Wiley, J. and Steinman, A. (April 1999) Ultrapure materials-reticles: Investigating a new generation of ESD-induced reticle defect, *Micro Magazine*, www.micromagazine.com.
15. Wang, K.C. (2000) ESD and reticle damage. International SEMATECH Electronic Discharge Impact and Control Workshop, October 9th, 2000, SEMATECH, Austin, Texas.
16. Steinman, A. (2000) SEMI E78-0998 Electrostatic Compatibility. International SEMATECH Electronic Discharge Impact and Control Workshop, October 9th, 2000, SEMATECH, Austin, Texas.
17. Armentrout, L. (2000) Analysis of ESD/reticle SMIF pods. International SEMATECH Electronic Discharge Impact and Control Workshop, October 9th, 2000, SEMATECH, Austin, Texas.
18. Pendley, M. (2000) ESD induced EMI Detection Techniques. International SEMATECH Electronic Discharge Impact and Control Workshop, October 9th, 2000, SEMATECH, Austin, Texas.
19. Montoya, J., Levit, L., and Englisch, A. (2001) A study of the mechanisms for ESD Damage in reticles. *IEEE Transactions on Electronic Packaging and Manufacturing*, **24** (2), 78–85.
20. Wallash, A.J., Hughbanks, T., and Voldman, S. (1995) ESD failure mechanisms of inductive and magnetoresistive recording heads. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 322–330.
21. Tian, H. and Lee, J.K. (1995) Electrostatic discharge damage of MR heads. Proceedings of INTERMAG 1995.
22. Tian, H. and Lee, J.K. (1995) Electrostatic discharge damage of MR Heads. *IEEE Transactions of Magnetism*, **31** (6), 2624–2626.
23. Cheung, T. and Rice, A. (1996) An Investigation of ESD protection for magnetoresistive heads. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 1–7.
24. Lam, C., Chang, C., and Karimi, R. (1998) A study of ESD sensitivity of AMR and GMR recording heads. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 360–367.
25. Wallash, A. and Smith, D. (1998) Electromagnetic interference (EMI) damage to giant magnetoresistive (GMR) recording heads. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 332–340.
26. Wallash, A. and Kim, Y.K. (1998) Magnetic changes in GMR heads caused by electrostatic discharge. *IEEE Transactions of Magnetism*, **34** (4), 1519–1521.
27. Chen, T.W., Wallash, A.J., and Dutton, R. (2008) Ultra-fast transmission line pulse testing of tunneling and giant magnetoresistor heads. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 258–261.

28. Wallash, A. (2003) ESD challenges in magnetic recording: Past, present and future. Proceedings of the International Reliability Physics Symposium (IRPS), pp. 222–228.
29. Walraven, J.A., Soden, J.M., Tanner, D.M. *et al.* (2000) Electrostatic discharge/electrical overstress susceptibility in MEMS: A new failure mode. Proceedings of the Society of Photo-Optical Instrumentation Engineers (SPIE), vol. 4180 pp. 30–39.
30. Walraven, J.A., Soden, J.M., Cole, E.I. *et al.* (2001) Human body model, machine model, and charged device model ESD testing of surface micromachined microelectromechanical Systems (MEMS). Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 238–247.
31. Tazzoli, A., Peretti, V., Zanoni, E., and Meneghesso, G. (2006) Transmission line pulse (TLP) testing of radio frequency (RF) micro-machined micro-electromechanical systems (MEMS). Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 295–303.
32. Ruan, J., Nolhier, N., Bafluer, M. *et al.* (2007) Electrostatic discharge failure analysis of capacitive RF MEM switches. *Microelectronic Reliability Journal*, vol. 47, 1818–1822.
33. Tazzoli, A., Peretti, V., and Meneghesso, G. (2007) Electrostatic discharge and cycling effects on ohmic and capacitive RF-MEMS switches. *IEEE Transactions on Device and Material Reliability (TDMR)*, 7 (3), 429–437.
34. Tazzoli, A., Peretti, V., Autuzi, E., and Meneghesso, G. (2008) EOS/ESD sensitivity of functional RF MEMS switches. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 272–280.
35. Zhang, X.M., Chau, F.S., Quan, C., and Liu, A.Q. (1999) Modeling of optical torsion micro-mirror. Proceedings of the Society of Photo-Optical Instrumentation Engineers (SPIE), Vol. 3899, pp. 109–116.
36. Douglass, M.R. (1998) Lifetime estimates and unique failure mechanisms of the digital micro-mirror device (DMD). Proceedings of the International Reliability Physics Symposium (IRPS), pp. 9–16.
37. Gromova, M., Haspeslagh, L., Verbist, A. *et al.* (2007) Highly reliable and extremely stable SiGe micro-mirrors. Proceedings of the Micro-electromechanical Systems (MEMS), pp. 759–762.
38. Sangameswaran, S., De Coster, J., Linten, D. *et al.* (2008) ESD reliability issues in microelectromechanical systems (MEMS): A case study of micromirrors. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 249–257.
39. Voldman, S. and Gross, V. (1994) Scaling, optimization, and design considerations of electrostatic discharge protection circuits in CMOS technology. *Journal of Electrostatics*, 33 (3), 327–357.
40. Voldman, S. and Gerosa, G. (1994) Mixed voltage interface ESD protection circuits for advanced micro processors in shallow trench and LOCOS isolation CMOS technology. International Electron Device Meeting (IEDM) Technical Digest, Session 10.3.1, December 1994, pp. 277–281.
41. Voldman, S. (1993) Shallow trench isolation double-diode electrostatic discharge circuit and interaction with DRAM circuitry. *Journal of Electrostatics*, 31, 237–262.
42. Voldman, S. (1999) Electrostatic discharge protection, scaling, and ion implantation in advanced semiconductor technologies, Invited Talk, Process Integration Issues/Technical Trends Session. Proceedings of the Ion Implantation Conference (I2CON), Napa, California.
43. Voldman, S. (1997) ESD robustness and scaling implications of aluminium and copper interconnects in advanced semiconductor technology. Proceedings of the Electrostatic Overstress/Electrostatic Discharge (EOS/ESD) Symposium, Sept. 1997, pp. 316–329.
44. Voldman, S. (1998) High current transmission line pulse characterization of aluminium and copper interconnects for advanced CMOS semiconductor technologies. Proceedings of the International Reliability Physics Symposium (IRPS), pp. 293–301.
45. Voldman, S., Morriseau, K., Hargrove, M. *et al.* (1999) High-current characterization of dual-damascene copper interconnects in SiO₂ and low-K inter-level dielectrics for advanced CMOS technologies. Proceedings of the IEEE International Reliability Physics Symposium (IRPS), pp. 144–153.

46. Voldman, S., Hui, D., Warriner, L. *et al.* (1999) Electrostatic discharge protection in silicon-on-insulator technology. Proceedings of the IEEE International silicon on insulator (SOI) Conference, pp. 68–72.
47. Voldman, S. (1999) Electrostatic discharge (ESD) protection in silicon-on-insulator (SOI) CMOS technology with aluminium and copper interconnects in advanced microprocessor semiconductor chips. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 105–115.
48. Russ, C., Gossner, H., Schulz, T. *et al.* (2005) ESD evaluation of emerging MUGFET technology. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 280–289.
49. Gossner, H., Russ, C., Siegelin, F. *et al.* (2006) Unique ESD failure mechanism in a MUGFET technology. International Electron Device Meeting (IEDM) Technical Digest, pp. 1–4.
50. Tremouilles, D., Thijs, S., Groeseneken, G. *et al.* (2007) Understanding the optimization of sub-45 nm FinFET devices for ESD applications. Proceedings of the Electrical Overstress/Electrostatic Discharge (EOS/ESD) Symposium, pp. 408–415.
51. Yeo, K.H., Suk, S.D., Li, M. *et al.* (2006) Gate all-around (GAA) twin silicon nanowire MOSFET (TSNWFET) with 15 nm length gate and 4nm radius nanowires. International Electron Device Meeting (IEDM) Technical Digest, pp. 1–4.
52. Liu, W., Liou, J.J., Chung, A. *et al.* (2009) Electrostatic discharge of Si nanowire field effect transistors. *IEEE Electron Device Letters*, **EDL-30** (9), 969–971.
53. Chen, J. and Voldman, S. (January 18 2011) Carbon nanotube diodes and electrostatic discharge circuits and methods. U.S. Patent No. 7,872,334.
54. Voldman, S. (1999) The impact of technology evolution and scaling on electrostatic discharge (ESD) protection on high-pin-count high-performance microprocessors, *International Solid-State Circuits*. Conference Proceedings, Session WA21, San Francisco, CA, Feb. 15–17, 1999.
55. Voldman, S. (2011) Nano ESD: Electrostatic Discharge in the Nanoelectronic Era, Chapter 15, in *Nanoelectronics: Nanowires, Molecular Electronics, and Nanodevices*, McGraw Hill, New York.
56. Voldman, S. (1998) The impact of MOSFET technology evolution and scaling on electrostatic discharge protection, *Review Paper. Micro-electronics Reliability*, **38**, 1649–1668.
57. Singh, N., Agarwal, A., Bera, L.K. *et al.* (2006) High performance fully depleted silicon nanowire (diameter < 5nm) gate-all-around CMOS devices. *IEEE Electron Device Letters*, **EDL-27** (5), 383–386.

术 语 表

空气离子消电器：一种在空气中产生离子的电子或核装置，用于在制造和组装环境中消除静电。

抗静电材料：能防止静电在工作台面或材料内产生的材料或涂层。抗静电材料是化合物，通常用于处理材料或者其表面，使其减少或者消除摩擦产生的电荷聚集。

审核：检查生产过程，确认与 ESD 流程和标准要求符合。

电缆放电事件 (CDE)：来自于电缆的静电放电事件。

盒式模型：一种采用 10pF 电容网络的 ESD 测试方法，也称为小充电模型 (SCM)，或者任天堂模型。

充电板事件 (CBE)：评价安装在板上的封装半导体芯片充电后再接地的 ESD 测试方法，测试过程半导体芯片安装在板上，板置于绝缘体上。

放电器件模型 (CDM)：评价封装半导体芯片充电后再通过一个引脚接地的 ESD 测试方法。测试过程中半导体芯片放在一块绝缘体上，而不是插座里。

导体：电子在内部可以自由流动的材料，例如铜和铝。材料的电导率比绝缘体和半导体高。

电磁干扰 (EMI)：由于电磁感应或者外部的电磁发射而影响电子电路的电磁扰动。

电磁脉冲 (EMP)：由于高能或者核爆炸产生的电磁爆发性事件，导致电场和磁场快速变化，并耦合到电气 / 电子系统，产生破坏性电流和电压浪涌。

过电应力 (EOS)：过电压或者过电流的电学事件，导致电子元件或者电子系统损坏和失效。

电磁兼容 (EMC)：一门研究非预期的电磁能量产生、传输和接收的电子学分支，电磁兼容同时关注系统对电磁干扰的敏感性以及电磁噪声的传播。

静电放电 (ESD)：静电放电是过电应力的一类，可导致器件立即失效、永久性的参数漂移或导致持续退化的潜在损伤。

静电屏蔽：电子系统中用于防止电磁噪声进入和穿透的屏蔽。

静电敏感性：系统对电磁干扰的敏感度。

等电位：所有点的电位相同的面。

等电位连接：连接两个物体使其静电位相同而避免发生静电放电的操作。

ESD 控制程序：在生产和操作中防止静电问题的公司规程。

场致充电：物体置于电场中而导致的充电过程，也称为场感应充电。

人体模型 (HBM)：放电源采用 100 pF 电容和 1500 Ω 电阻组成的串联 RC 网络的 ESD 测试方法。

人体金属模型 (HMM)：采用 IEC 61000-4-2 规定的脉冲对半导体芯片进行 ESD 试验的方法，只有连接到系统的引脚才进行测试。源是符合 IEC 61000-4-2 标准要求的 ESD 枪。

感应充电：通过电磁场在两个物体间转移能量而充电的过程。

绝缘体：电导率比半导体和导体低的材料 (小于

10^{-8} S/cm)。绝缘体能阻止电流流动。

集成电路：半导体工艺制成的电子电路，不同的元器件集成到同一个衬底或者圆片上。

电离：将原子变成离子的方法，采用的技术包括电化学技术和核源技术。

闩锁：半导体器件或者功率系统中的 PNP 寄生结构（又称为硅控整流管、晶闸管或者 Schokley 二极管）进入高电流低电压状态时所导致的过程电失效，闩锁可能导致热失效和系统损坏。

潜在失效机理：损伤导致的与未测试样品或良品发生偏离的失效机理。潜在失效可能会影响成品率和可靠性。

机器模型 (MM)：放电源采用 200 pF 电容的 ESD 测试方法。

半导体：电导率在导体和绝缘体之间的材料（电导率 $10^{-3} \sim 10^{-8}$ S/cm 之间），半导体常用于集成电路制造技术。

小充电模型 (SCM)：放电源采用 10 pF 电容的 ESD 测试方法。

插座器件模型 (SDM)：评价封装半导体芯片充电后再通过一个引脚接地的 ESD 测试方法。测试过程中半导体芯片放置在插座中。

静电：充电过程中产生并在物体上保持和积累的电荷。

表面电阻率：材料表面单位面积的电阻（与体电阻率相对）。

IEC 61000-4-2 系统级试验：使用 ESD 枪对系统注入脉冲的系统级试验方法。

传输线脉冲 (TLP)：使用矩形脉冲对器件进行试验的 ESD 测试方法（10 ns 上升和下降时间，100 ns 保持时间）。

摩擦生电：通过接触带电方式产生电荷的方法。接触带电是指材料接触了另外一种材料，分离后（例如摩擦）带电；带电的极性和强度与材料、表面粗糙度、温度、应变和其他特性相关。

摩擦生电序列：材料摩擦生电特性的一个排序表。材料在接触分开后的充电极性决定了它在列表中的位置。接近列表底部的材料，接触了接近列表顶部的材料，会得到负电荷，反之亦然。Tribo 是希腊语“摩擦”的意思。

超快传输线脉冲 (VF-TLP)：使用矩形脉冲对器件进行试验的 ESD 试验方法（1 ns 上升和下降时间，10 ns 保持时间）。

ESD 标准

ESD 协会 (ESD Association)

ANSI/ESD S1.1-2006 Wrist Straps 腕带

ESD DSTM2.1- Garments 服装

ANSI/ESD STM3.1-2006 Ionization 离子化

ANSI/ESD SP3.3-2006 Periodic Verification of Air Ionizers 空气离子消电器的周期检查

ANSI/ESD STM4.1-2006 Worksurfaces-Resistance Measurements 工作台面—电阻测量

ANSI/ESD STM3.1-2006 ESD Protective Worksurfaces-Charge Dissipation Characteristics 防 ESD 工作台面—电荷分布特性

ANSI/ESD STM5.1-2007 Electrostatic Discharge Sensitivity Testing-Human Body Model (HBM) Component Level 静电放电敏感度测试—器件级人体模型 (HBM)

ANSI/ESD STM5.1.1-2006 Human Body Model (HBM) and Machine Model (MM) Alternative Test Method: Supply Pin Ganging-Component Level 人体模型 (HBM) 和机器模型 (MM) 二选一测试方法: 电源引脚分组—器件级

ANSI/ESD STM5.1.2-2006 Human Body Model (HBM) and Machine Model (MM) Alternative Test Method: Split Signal Pin-Component Level 人体模型 (HBM) 和机器模型 (MM) 二选一测试方法: 信号引脚分组—器件级

ANSI/ESD S5.2-2006 Electrostatic Discharge Sensitivity Testing-Machine Model (MM) Component Level 静电放电敏感度测试—器件级机器模型 (MM)

ANSI/ESD S5.3.1-2009 Charged Device Model

(CDM)-Component Level 放电器件模型 (CDM) —器件级

ANSI/ESD SP5.3.2-2008 Electrostatic Discharge Sensitivity Testing-Socketed Device Model (SDM) Component Level 静电放电敏感度测试—器件级插座器件模型 (SDM)

ANSI/ESD STM5.5.1-2008 Electrostatic Discharge Sensitivity Testing-Transmission Line Pulse (TLP) Component Level 静电放电敏感度测试—器件级传输线脉冲 (TLP)

ANSI/ESD SP5.5.2-2007 Electrostatic Discharge Sensitivity Testing-Very Fast Transmission Line Pulse (VF-TLP) Component Level 静电放电敏感度测试—器件级超快传输线脉冲 (VF-TLP)

ANSI/ESD SP6.1-2009 Grounding 接地

ANSI/ESD S7.1-2005 Resistive Characterization of Materials-Floor Materials 材料电阻特性—地板材料

ANSI/ESD S8.1-2007 Symbols-ESD Awareness 符号—ESD 标识

ANSI/ESD STM9.1-2006 Footwear-Resistive Characterization 鞋子—电阻特性

ESD SP9.2-2003 Footwear-Foot Grounders Resistive Characterization 鞋子—脚接地电阻特性

ANSI/ESD SP10.1-2007 Automatic Handling Equipment (AHE) 自动操作设备 (AHE)

ANSI/ESD STM11.11-2006 Surface Resistance Measurement of Static Dissipative Planar

- Materials 静电耗散平面材料的表面电阻测量
- ESD DSTM11.13-2009 Two Point Resistance Measurement 两点电阻测量
- ANSI/ESD STM11.31-2006 Bags 袋子
- ANSI/ESD STM12.1-2006 Seating-Resistive Measurements 座椅—电阻测量
- ESD STM13.1-2000 Electrical Soldering/Desoldering Hand Tools 电焊 / 拆焊手持工具
- ANSI/ESD SP14.1-System Level Electrostatic Discharge (ESD) Simulator Verification 系统级静电放电 (ESD) 模拟验证
- ESD SP14.3-2009 System Level Electrostatic Discharge (ESD) Measurement of Cable Discharge Current 电缆放电电流的系统级静电放电 (ESD) 测量
- ANSI/ESD SP15.1-2005 In Use Resistance Testing of Gloves and Finger Cots 使用中手套和指套电阻测试
- ANSI/ESD S20.20-2007 Protection of Electrical and Electronic Parts, Assemblies, and Equipment 电气和电子元件、组件和设备的保护
- ANSI/ESD STM97.1-2006 Floor Materials and Footwear-Resistance Measurements in Combination with A Person 地板材料和鞋—人员穿鞋和地板之间的电阻测量
- Department Of Defense (美国国防部)
- DOD HDBK 263-Electrostatic Discharge Control Handbook for Protection of Electrical and Electronic Parts, Assemblies and Equipment 电气和电子元件、组件和设备的静电放电防护控制手册
- DOD-STD-1686-Electrostatic Discharge Control Program for Protection of Electrical and Electronic Parts, Assemblies and Equipment 电气和电子元件、组件和设备的静电放电防护控制程序
- DOD-STD-2000-2A Part and Component Mounting for High Quality/High Reliability Soldered Electrical and Electronic Assembly 高质量 / 高可靠焊接电气和电子装配线的部件和元件安装
- DOD-STD-2000-3A Criteria for High Quality/High Reliability Soldering Technology 高质量 / 高可靠焊接技术判据
- DOD-STD-2000-4 A General Purpose Soldering Requirements for Electrical and Electronic Equipment 电气和电子设备焊接的通用要求
- FED Test Method STD 101-Method 4046-Electrostatic Properties of Materials 材料的静电特性
- MILITARY STANDARDS (美国军用标准)
- MIL-STD-454 Standard General Requirements for Electronic Equipment 电子设备一般标准要求
- MIL-STD-785 Reliability Program for System and Equipment Development and Production 系统和装备开发和生产的可靠性程序
- MIL-STD-883-Method 3015-4-Electrostatic Discharge Sensitivity Classification 静电放电敏感度等级
- MIL-STD-1686A-Electrostatic Discharge Control Program for Protection of Electrical and Electronic Parts, Assemblies and Equipment 电气和电子元件、组件和设备的静电放电防护控制程序
- MIL-E-17555-Electronic and Electrical Equipment, Accessories, and Provisioned Items (Repair Parts: Packaging of) 电气和电子设备、配件和供给品 (维修部件: 封装形式)
- MIL-M-38510-Microcircuits, General Specification for 微电路通用规范

MIL-D-81705-Barrier Materials, Flexible, Electrostatic Free, Heat Sealable 阻挡材料—柔性的、防静电的、可热封的

MIL-D-81997-Pouches, Cushioned, Flexible, Electrostatic Free, Reclosable, Transparent 袋子—有衬垫的、柔性的、防静电的、可再封的、透明的

MIL-D-82646-Plastic Film, Conductive, Heat Sealable, Flexible 塑料膜—导电的、可热封的、柔性的

MIL-D-82647-Bags, Pouches, Conductive, Plastic, Heat Sealable, Flexible 袋子—导电的、塑料的、可热封的、柔性的

IEC 801-2-Electromagnetic Compatibility for Industrial Process Measurements and Control Equipment, Part 2: Electrostatic Discharge (ESD) Requirements 工业生产过程中的测量和控制设备的电磁兼容：第二部分静电放电 (ESD) 要求

EIA-541-Packaging Material Standards for ESD Sensitive Materials ESD 敏感材料的封装材料标准

JEDEC 108-Distributor Requirements for Handling Electrostatic Discharge Sensitive (ESDS) Devices 处理静电放电敏感 (ESDS) 器件的供应商的要求