



请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

天线设计和射频布局指南

作者: Tapan Pattnayak, Guhapriyan Thanikachalam

相关器件系列: **CY8C4XXX-BL**, **CYBL1XXXX**, **CY8C6XXXXX-BL**

相关应用笔记: [点击这里](#) 获取完整列表

请访问 <http://www.cypress.com/go/AN91445> 网址, 以获取该应用笔记的最新版本以及相关 Gerber 文件。

本应用笔记仅供参考。天线设计需要合适的测试设备和专有技术以获得最佳性能。强烈建议寻求专门从事天线设计和布局的公司的专业服务。赛普拉斯可根据要求提供合适的天线设计专家名单。

AN91445 以简单的术语解释了天线设计, 并指导 RF 组件选择、匹配网络设计和布局设计。本应用指南还推荐了两款经赛普拉斯测试的 PCB 天线, 这些天线可以以非常低的成本实现, 以与赛普拉斯的 PSoc® 和 PProC™ 系列中的低功耗蓝牙 (BLE) 解决方案配合使用。带蓝牙低功耗 (BLE) 连接的 2.4 GHz 无线电的 PProC BLE, PSoc 4 BLE 和 PSoc 6 MCU 必须与其天线仔细匹配以获得最佳性能。

目录

1 简介	2	16.1 微带线	42
2 天线原理	3	16.2 CPWG (带底部接地)	43
3 天线类型	4	16.3 RF 迹线布局注意事项	43
4 天线的选择	5	17 PCB 堆叠	45
5 天线参数	6	17.1 四层 PCB	45
6 赛普拉斯 PProC/PSoc BLE 的天线	9	17.2 两层 PCB	45
7 赛普拉斯专有的 PCB 天线	9	18 接地平面	46
7.1 蛇形倒 F 天线 (MIFA)	10	18.1 接地平面注意事项	46
7.2 天线馈电的考量	11	19 电源解耦	46
7.3 天线长度的考量	14	19.1 电源解耦布局注意事项	46
7.4 倒 F 天线 (IFA)	15	20 过孔	47
8 芯片天线	17	21 电容器和电感器	48
9 导线天线	19	21.1 电容器	48
10 各种天线的比较	20	21.2 电感器	50
11 外壳和接地层对天线性能的影响	21	22 可检验性设计	51
11.1 接地层的影响	21	23 支持外部功率放大器/低噪声放大器/ RF 前端	51
11.2 外壳的影响	22	24 支持与 WiFi 共存	52
12 天线放置、外壳、和接地层指南	23	24.1 空间隔离	52
13 射频概念与术语	24	24.2 频率隔离	52
13.1 史密斯圆图	27	24.3 时间隔离	53
14 阻抗匹配	28	25 总结	53
14.1 匹配网络拓扑	30	26 相关应用笔记	54
14.2 匹配网络提示	34	Appendix A. 检查清单	55
15 天线调试	34	Appendix B. 参考资料	56
15.1 调试过程	35	文档修订记录	57
16 RF 传输线	42	销售、解决方案以及法律信息	58

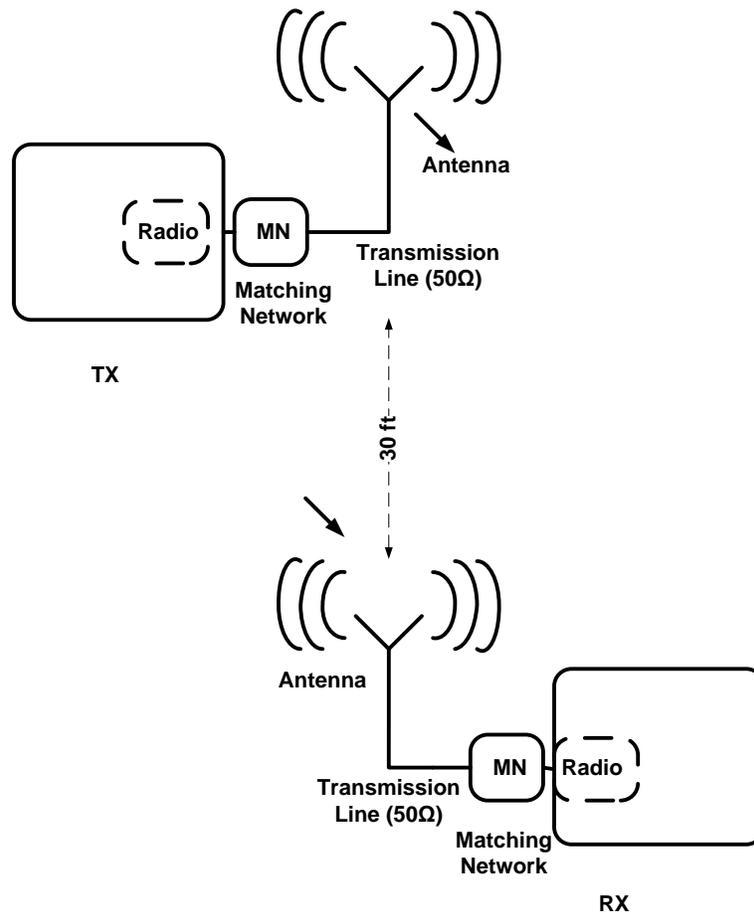
1 简介

天线设计和射频布局是无线系统中的关键组件，它负责发送和接收来自空中的电磁辐射。终端客户从某个 RF 产品 (如电量有限的硬币型电池) 获得的无线射程主要取决于天线的设计、外壳以及良好的 PCB 布局。

对于芯片和电源相同但布局和天线设计实践不同的系统，它们的 RF (射频) 范围有较大变化也是正常的。本应用笔记介绍了最佳实践、布局指南以及天线调试程序，并给出了使用给定电量所获取的最宽波段。射频跟踪、电源解耦、通路孔、PCB 层叠、以及天线与接地的总体布局注意事项也进行了讨论。应用笔记也详细介绍了射频无源器件 (如电感器和电容器) 的选择。每个主题以提示或与主题相关的设计项目的检查表结尾。

Figure 1 示出了在发射机 (TX) 和接收机 (RX) 上的无线系统的关键部件。

Figure 1. 典型的近距离无线系统

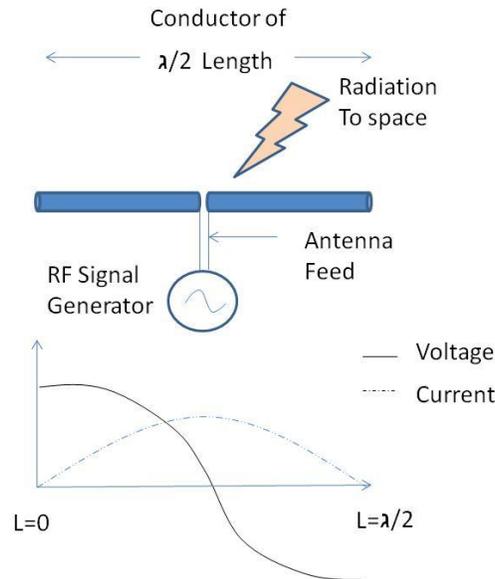


设计优良的天线可以扩大无线产品的工作范围。从无线模块发送的能量越大，在已给的数据包错误率 (PER) 以及接收器灵敏度固定的条件下，传输的距离也越大。类似地，接收器侧的调谐良好的无线电可以在天线上在极小的辐射条件下工作。RF 布局连同无线匹配网络需要被正确设计，以确保大部分来自射频的功率到达天线，反之亦然。

2 天线原理

天线一般指的是裸露在空间内的导体。该导体的长度与信号波长¹成特定比例或整数倍时，它可作为天线使用。因为提供给天线的电能被发射到空间内，所以该条件被称为“谐振”。

Figure 2. 偶极天线基础



如 Figure 2 所示，导体的波长为 $\lambda/2$ ，其中 λ 为电信号的波长。信号发生器通过一根传输线（也称为天线馈电）在天线的中心点为其供电。按照这个长度，将在整个导线上形成电压和电流驻波，如 Figure 2 所示。

输入到天线的电能被转换为电磁辐射，并以相应的频率辐射到空中。该天线由天线馈电供电，馈电的特性阻抗为 50Ω ，并且辐射到特性阻抗为 $377 \Omega^2$ 的空间中。

因此，对于天线的几何形状，有两个非常重要的事项需要注意：

1. 天线长度
2. 天线馈电

长度为 $\lambda/2$ 的天线（如 Figure 2 所示）被称为偶极天线。但在印刷电路板中，大多作为天线使用的导体长度仅为 $\lambda/4$ ，但仍具有相同的性能。请参见 Figure 3。

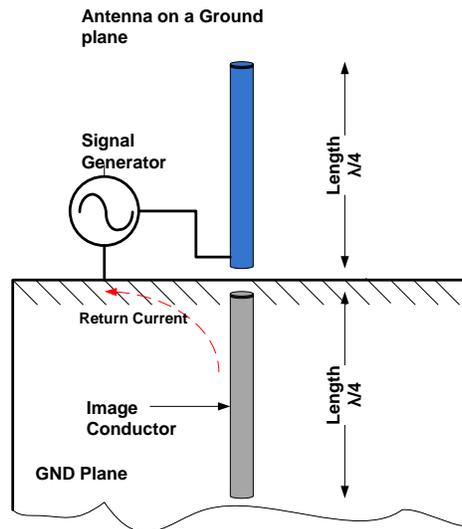
通过在导体下方一定距离的位置上放置接地层，可以创建与导体长度相同的镜像（ $\lambda/4$ ）。被组合在一起时，这些引脚作为偶极天线使用。这种天线被称为四分之一波长（ $\lambda/4$ ）天线。PCB 上几乎所有的天线都按铜制接地层上四分之一波长的尺寸实现。请注意，该信号现在是单端馈电，同时接地层作为返回路径使用。³

¹ 参见“谐波天线操作”

² 如果周边无物料的空间阻抗

³ 稍后我们将看到这种返回路径的效果。这在天线 PCB 布局和天线馈电中非常重要。

Figure 3. 四分之一波长天线



对于大多数 PCB 中使用的四分之一波长天线，需要特别注意：

1. 天线长度
2. 天线馈电
3. 接地层和回流路径的形状和尺寸

3 天线类型

如前部分所述，在自由空间中裸露的波长为 $\lambda/4$ 的所有导体被放在一个接地层上，并为其提供合适的电压，那么该导体可以作为一个天线使用。根据不同的波长，天线可能与汽车的 FM 天线一样长，也可能与信号浮标上的走线一样短。对于 2.4 GHz 的应用，大部分 PCB 天线都属于下面的类型：

1. **导线天线：**这是在 PCB 上延长到自由空间中一段导线，它的长度为 $\lambda/4$ ，并被放置在接地层上。这种天线是由 $50\text{-}\Omega^4$ 阻抗的传输线供电的。通常，由于尺寸和三个维度的暴露，该导线天线提供的性能和辐射范围最好。该导线可以是直线、螺旋或是回路的。它是一个三维 (3D) 的结构，其中天线高出 PCB 4-5mm，并伸出到空间内。

Figure 4: 导线天线

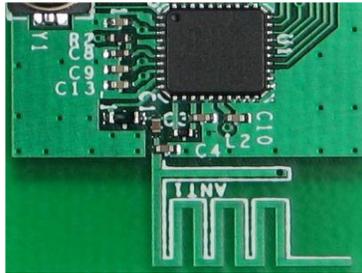


⁴大多数 RF 电路板中的馈电通常为 50 欧姆，以满足低功耗无线应用的需求。但是，其他阻抗值也是可能的。

2. **PCB 天线:** 它是 PCB 上的一根 PCB 走线，并且可以将其画成直线形走线、反转的 F 形走线、蛇形或圆形走线、或基于天线类型和空间限制的摆动曲线等。在一个 PCB 天线中，天线在 PCB 的同一平面上变成二维 (2D) 结构；见 Figure 5。

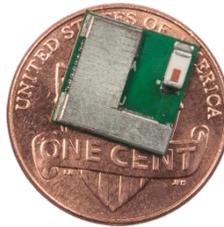
当裸露到空间外的 3D 天线被放置到 PCB 层上作为 2D 的 PCB 走线时，必须遵循一定的指南。一般情况下，与导线天线相比，它需要的 PCB 空间更大，效率也低，但成本低，并且容易制造和可以给 BLE 应用提供可接受的无线距离。

Figure 5. PCB 天线



3. **芯片天线:** 这是一种带有导体的天线，天线和导体都被组装在小型的 IC 封装中。当印刷 PCB 天线的空间有限或支持 3D 导线天线时，这非常有用。请参阅 Figure 6 了解包含芯片天线的蓝牙模块。下面给出了天线和模块的大小与 1 美分硬币的比较。

Figure 6. 带芯片天线的 Cypress EZ BLE 模块 (10 mm x 10 mm)



4 天线的选择

天线的选择取决于其应用、可用电路板的尺寸、成本、辐射范围以及方向性等因素。

蓝牙低功耗 (BLE) 应用 (比如无线鼠标) 只需要 10 英尺的辐射范围和几 kbps 的数据速率。然而，对于采用语音识别的遥控应用，则需要一个室内设置天线，该天线的辐射范围大概为 20 英尺，并且其数据速率为 64 kbps。

5 天线参数

下面部分提供了天线性能的某些关键参数。

- 回波损耗:** 天线的回波损耗表示天线如何与阻抗为 $50\ \Omega$ 的传输线 (TL) 实现匹配, 将其显示为 Figure 7 中的信号馈送。通常, 这个 TL 的阻抗值为 $50\ \Omega$, 但也可以是其他数值。对于工业标准, 商业天线和它的测试设备的电阻为 $50\ \Omega$, 因此建议您最好使用该值。

回波损耗显示: 由于不匹配, 天线反射的入射功率大小 (公式 1)。一个理想的天线会发射全部功率, 不会产生任何反射。

如果该回波损耗是无限的, 则认为天线与 TL 完全匹配, 如 Figure 7 所示。 S_{11} 是回波损耗的倒数, 其单位为 dB。大多数情况下, 如果回波损耗 $\geq 10\ \text{dB}$ (即 $S_{11} \leq -10\ \text{dB}$), 便足够大。Table 1 显示了天线的回波损耗 (dB) 与反射功率 (%)。回波损耗为 $10\ \text{dB}$ 时, 表示 90% 的入射功率被传给天线以进行发射。

$$\text{Equation 1} \quad \text{Return Loss (dB)} = 10 \log \left(\frac{P_{\text{incident}}}{P_{\text{reflected}}} \right)$$

Figure 7. Return Loss

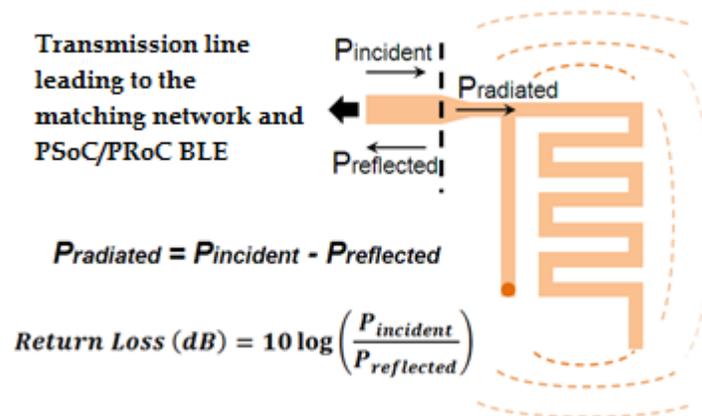
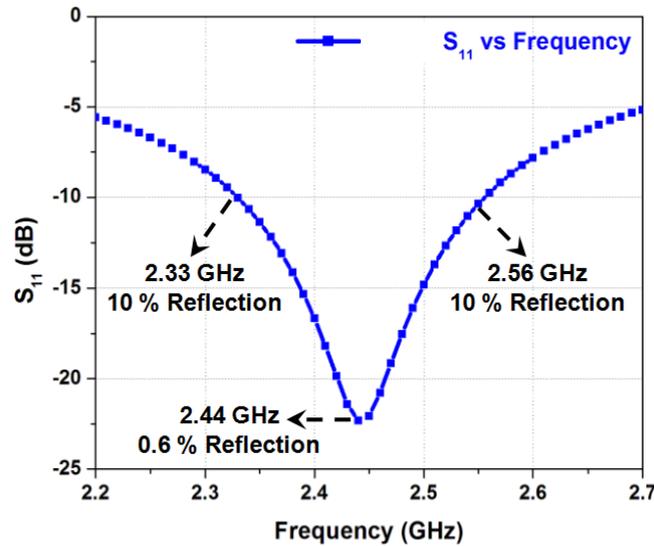


Table 1 天线的回波损耗及反射功率

S_{11} (dB)	Return Loss (dB)	$P_{\text{reflected}} / P_{\text{incident}}$ (%)	$P_{\text{radiated}} / P_{\text{incident}}$ (%)
-20	20	1	99
-10	10	10	90
-3	3	50	50
-1	1	79	21

- 带宽：**是指天线的频率响应。它表示在采用的整个频带上，即在 BLE 应用的 2.40 GHz 至 2.48 GHz 的范围内，该天线与 50 Ω 的传输线如何相互匹配。

Figure 8. 带宽

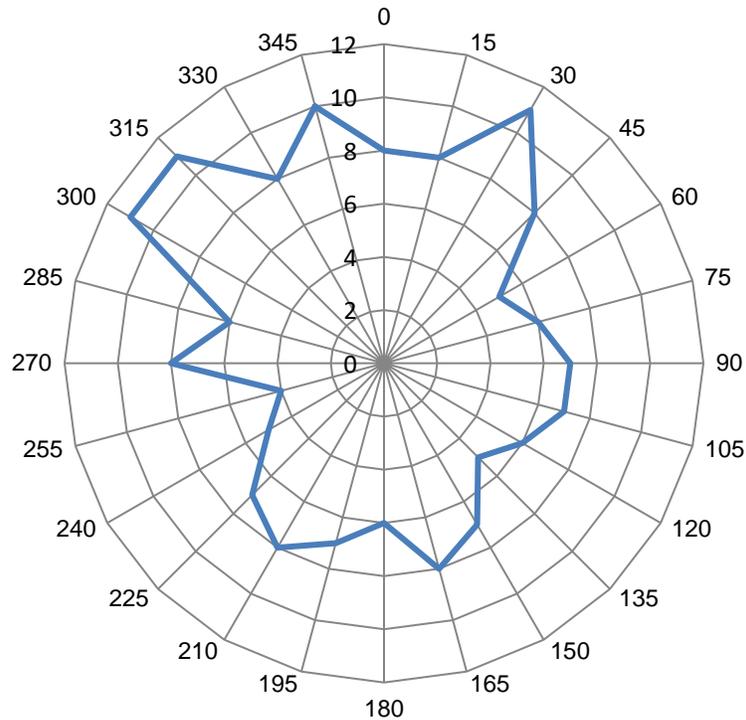


如 Figure 8 所示，在 2.33 GHz 至 2.55 GHz 的带宽上，回波损耗大于 10 dB。因此，采用的带宽为 200 MHz 左右。在大多数情况下，更宽的带宽是首选，因为它可以最大限度地减少产品在实际使用中天线周围环境变化引起的失谐效应 (例如放置在木材/金属/塑料桌上的鼠标，鼠标周围的手等。)

- 辐射效率：**指的是非反射功耗中的一部分 (请参见 Figure 7) 被消耗为天线中的热量。产生热量是由于 FR4 基板中的介电损耗以及铜线中的导体损耗造成的。该信息作为辐射效率。辐射效率为 100% 时，全部非反射的功耗都被发射到空间内。对于小型的 PCB 外形因素，热耗最小。
- 辐射图型：**该图型表示辐射的方向性，即表示在哪个方向上的辐射更大，哪个方向上的辐射更小。这有助于在应用中准确地确定天线的方向。

无方向性天线可以按与轴线相垂直的平面上所有方向进行等效发射。但大多数天线都达不到这个理想的性能。欲了解详细说明，请参看 Figure 9 中所示的 PCB 天线的辐射图。每个数据点都代表 RF 场强，可以通过接收器中用于接收信号强度的指示器 (RSSI) 进行测量。正如所料的情况，获得的轮廓图像并不是圆形的，因为该天线不是各向同性的。

Figure 9.辐射图



- **增益：**增益提供了所采用方向的辐射与各向同性天线 (即可从所有方向进行发射) 进行对比的信息。增益单位为“dBi”，即表示在与一个理想的无方向性天线进行对比时辐射的场强。

6 赛普拉斯 PRoC/PSoC BLE 的天线

设计 Cypress BLE 的一个目标便是需要在一个紧凑的空间中集成天线，并且不需要两个以上外部组件进行调整。调谐是确保在通过工作频段传输时将近乎最大功率发送到天线的过程。这可以通过使感兴趣频段的回波损耗大于 10 dB 来保证。当看到天线的阻抗和芯片输出阻抗相同时，最大功率传输到天线；同样的规则也适用于接收。天线调谐可确保天线阻抗与 50 Ω 天线匹配。当芯片处于接收模式时，无线电调谐确保阻抗看起来为 50 Ω，朝向芯片。

PRoC/PSoC BLE 器件中集成平衡器的阻抗并不等于 50 Ω，所以可能需要通过两个组件对其进行调整。对于射频范围较小的低数据速率应用，赛普拉斯所推荐的 PCB 天线不需要通过任何组件来调整天线。

对于高数据速率的应用 (如通过遥控器的声音识别应用)，建议至少需要使用四个组件进行匹配网络。其中两个用于无线调整，其余两个用于天线调整。如果结果带宽可接受，可使用两个组件进行调整过程。提供额外的组件⁵占用面积是未来在新产品中减少 EMI⁶辐射的明智设计选择。使用这些组件可以实现滤波器以进行带外操作。

此外，赛普拉斯 PRoC/PSoC 还提供了不同的应用，如室内定位、智能家居、智能电器以及传感器集线器。这些应用可能不受空间的限制，因此，可以针对射频范围和射频方向模式等因素为这些应用设计更好的天线。导线天线非常适合工业设计 (ID) 可以有适当高度以适应导线的应用。

在某些应用中，像可穿戴超小型设备是必需的。与 PCB 天线相比，芯片天线通常占用更少的空间；它在这个应用程序类别中更受欢迎。赛普拉斯推荐使用超小型芯片天线的一些指导原则。

很多应用直接在其主 PCB 中嵌入了赛普拉斯的该类模块，用以实现无线连接。这些应用要求通过 FCC 的低成本小型模块。赛普拉斯为此类应用提供了 EZ-BLE 模块。赛普拉斯 EZ-BLE 模块使用 Johansson 芯片天线 2450AT18B100E。

虽然使用 2.4 GHz 频段的应用很多，大部分 BLE 应用使用两个赛普拉斯专有的 PCB 天线。赛普拉斯推荐使用两种专有的 PCB 天线、蛇形倒 F 天线 (MIFA) 和倒 F 形天线 (IFA)，它们是针对 BLE 应用而特性化和广泛模拟的天线。特别是 MIFA，可将它用于几乎所有的 BLE 应用中。

但您也可以从本文档中选出任何一款符合您的应用要求的天线。

7 赛普拉斯专有的 PCB 天线

赛普拉斯推荐使用 IFA 和 MIFA 这两种 PCB 天线。BLE 应用中的低速率和典型的辐射围范使这两种天线特别有用。这些天线既便宜又容易设计，这是因为它们是 PCB 的组成部分，并且能够在 150 至 250 MHz 的频段范围内提供良好的性能。

建议将 MIFA 天线使用在仅需极小的 PCB 空间的应用中，如无线鼠标、演示机等等。对于 IFA 天线，建议将其应用要求天线一侧的尺寸远小于另一侧的尺寸的应用中，如心率监视器。大多数 BLE 应用中使用的是 MIFA 天线。

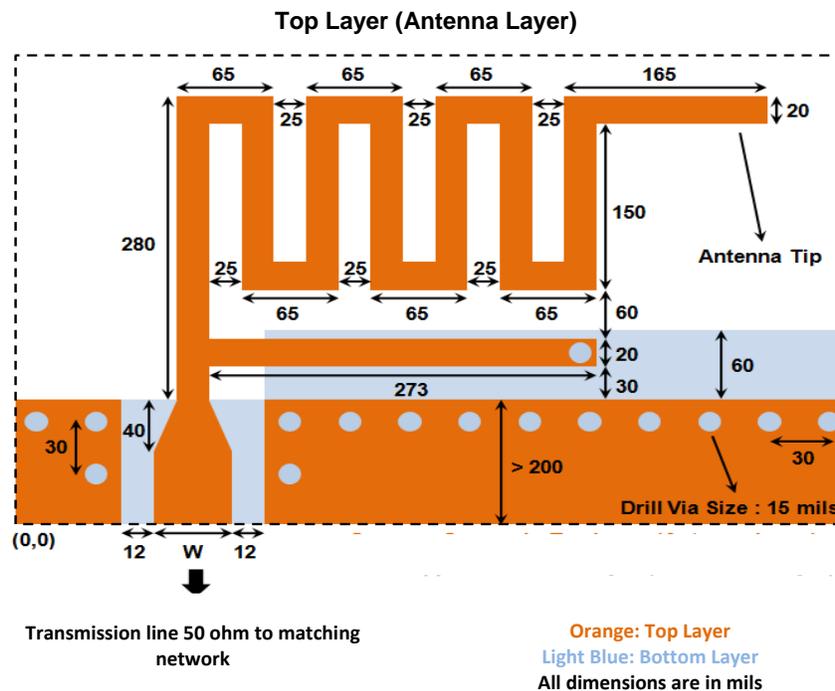
⁵ 天线之前的额外元件是推荐的做法，有助于未来实现降低 EMI 的滤波器。

⁶ EMI 是电磁干扰规范，为公众健康设定辐射功率限制

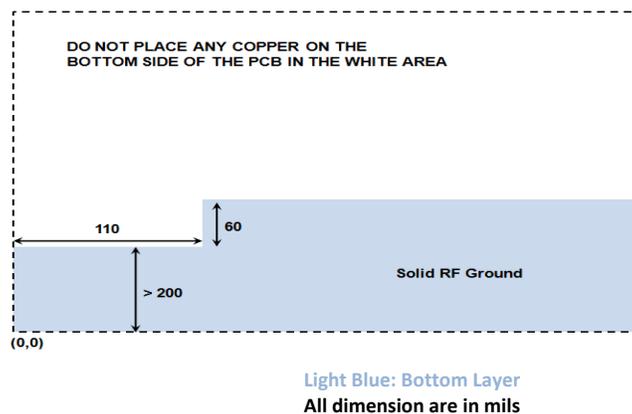
7.1 蛇形倒 F 天线 (MIFA)

MIFA 是一种普通的天线，被广泛地使用在各个人机接口设备 (HID) 中，因为它占用的 PCB 空间较小。因此赛普拉斯已设计出一种结实的 MIFA 天线，而它能在较小的波形系数中提供优越的性能。该天线的尺寸为 $7.2\text{ mm} \times 11.1\text{ mm}$ (相当于 284 密耳 \times 437 密耳)，因此它很适合于各种 HID 的应用，例如无线鼠标、键盘或演示机等。Figure 10 显示的是所推荐的 MIFA 天线的详细布局，其中包含了双层 PCB 的顶层和底层。这种天线的迹线宽度均为 20 密耳。“W”的值是可改变的主要参数，它取决于 PCB 堆栈间隔，它表示 RF 走线 (传输线) 的宽度。

Figure 10. MIFA 布局



Bottom Layer (RF Ground Layer)



Note: 有关用于 1.6 mm 厚的 FR4 PCB 上 MIFA 天线的 Gerber 和 .brd 文档，请访问网址 www.cypress.com/go/AN91445 上的 AN91445.zip 文档。

Note: 注意：天线方向图的翻转 (与地面以及遮挡区域一致) 正常。唯一的影响是辐射模式的旋转。

7.2 天线馈电的考量

Table 2 显示的是双层 FR4 PCB 顶层和底层间厚度的“W”值 (相应的介电常数为 4.3)。顶层包含了天线走线；而底层则是包含了固态 RF 接地层的下一层。底层的余下 PCB 空间可以作为信号接地层使用 (针对 PProC/PSoC 和其他电路)。Figure 11 显示的是典型的双层 PCB 厚度的“W”值。

Table 2. FR4 PCB 的“W”值：天线层与相邻射频的接地层间的厚度。

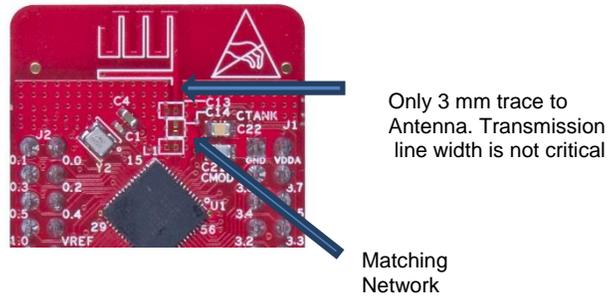
Thickness (mils)	W (mils)
60	65
50	59
40	52
30	44
20	33

Figure 11. PCB 厚度说明



对于为天线馈电更短的 PCB 走线，这样的宽度要求是比较宽松的。要确保天线走线的宽度和天线馈电接点的宽度相同。在 Figure 12 展示的情况中，天线馈电的走线宽度不是 Table 2 中所规定的宽度。

Figure 12. 短走线的天线馈电宽度



但如果传输线较长 (从匹配网络至天线或回到 PProC/PsoC BLE 器件的 ANT 引脚的线的长约为 1 cm)，那么赛普拉斯建议使用底层上宽度特定的“W”的传输线 (TLine) 类型作为馈源。

Note: 请参阅附录 B 中的共面波导计算器以计算共面传输线的宽度。

Figure 13 绘制了 MIFA 的 S_{11} 图。MIFA 在 2.44 GHz 附近具有 230 MHz 的带宽 ($S_{11} \leq -10$ dB)

Figure 13. MIFA 的 S_{11} (回波损耗 = $-S_{11}$)

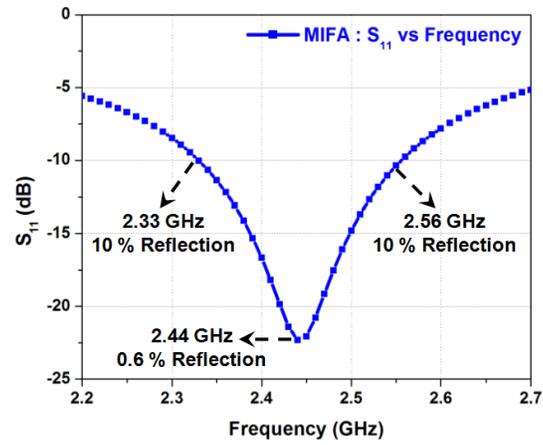
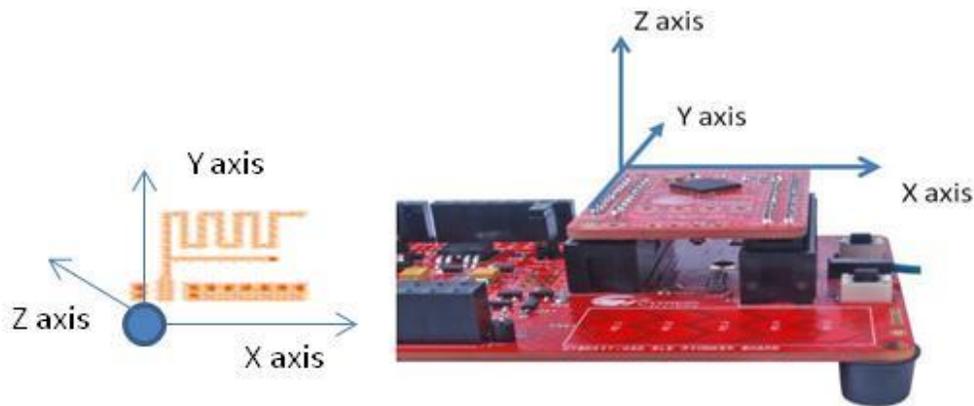
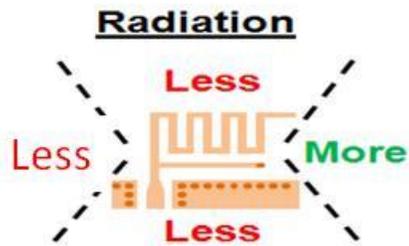


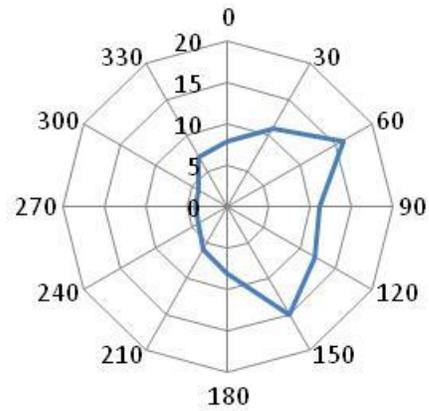
Figure 14 显示的是 MIFA 在 2.44 GHz 频率时完整的 3D 辐射增益图。在给自定义应用设置 MIFA 天线时，该信息非常有用，有助于在需要的方向上得到最大的辐射。在上面的图中：MIFA 被放置在 XY 平面上，Z 轴方向与它垂直。

Figure 14. MIFA 的 3D 辐射增益图

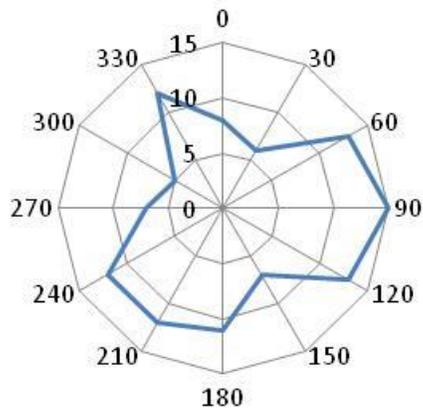




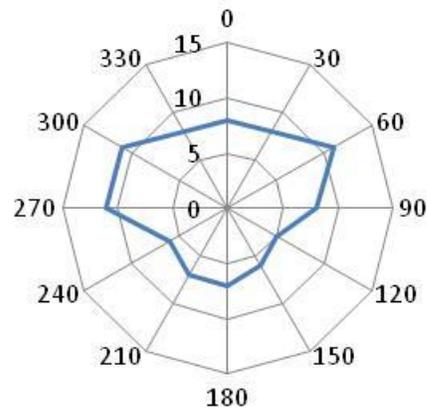
About Z axis



About X axis



About Y axis



辐射方向图在带有带 MIFA 天线的模块的 Pioneer 电路板上以 30 度角分辨率进行测试。采用金属连接头。在裸板中，辐射方向图与显示的不同；这仅用于说明如何将天线放置在 PCB 中。我们鼓励您在最终产品组装中测量相似的图案，以确定天线的最佳位置。

7.3 天线长度的考量

根据 PCB 的不同厚度，需要调整 MIFA 天线的长度，这样才能调整天线辐射的阻抗和频率选择。根据不同的电路板厚度，赛普拉斯提供了 Table 3 中的各天线长度。

Figure 15. MIFA 的长度

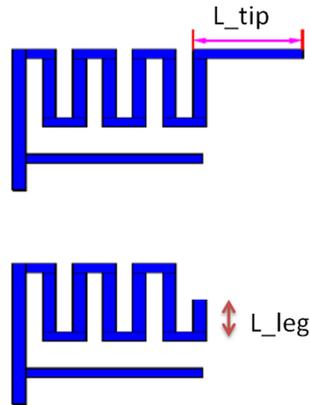


Table 3. 竖向部分和末梢的长度

PCB 厚度	天线的 L_Tip / L_leg
16 mils	L_tip= 353 Mils
31 mils	L_tip= 165 Mils
47 mils	L_tip= 125 Mils
62 mils	L_leg= 115 Mils

Figure 15 显示的是两种适用于两个不同电路板厚度的 MIFA 天线。设计人员根据特定的电路板厚度进行调整 MIFA 天线的长度时，请参考 Table 3。

请注意，原始天线应该从全长天线开始。根据电路板厚度的不同，天线需要调整长度。我们不能像减少长度那样容易地在板上增加长度。应将 Table 3 作为指导，以检查给定板厚度的天线的最终长度而非确切数字。

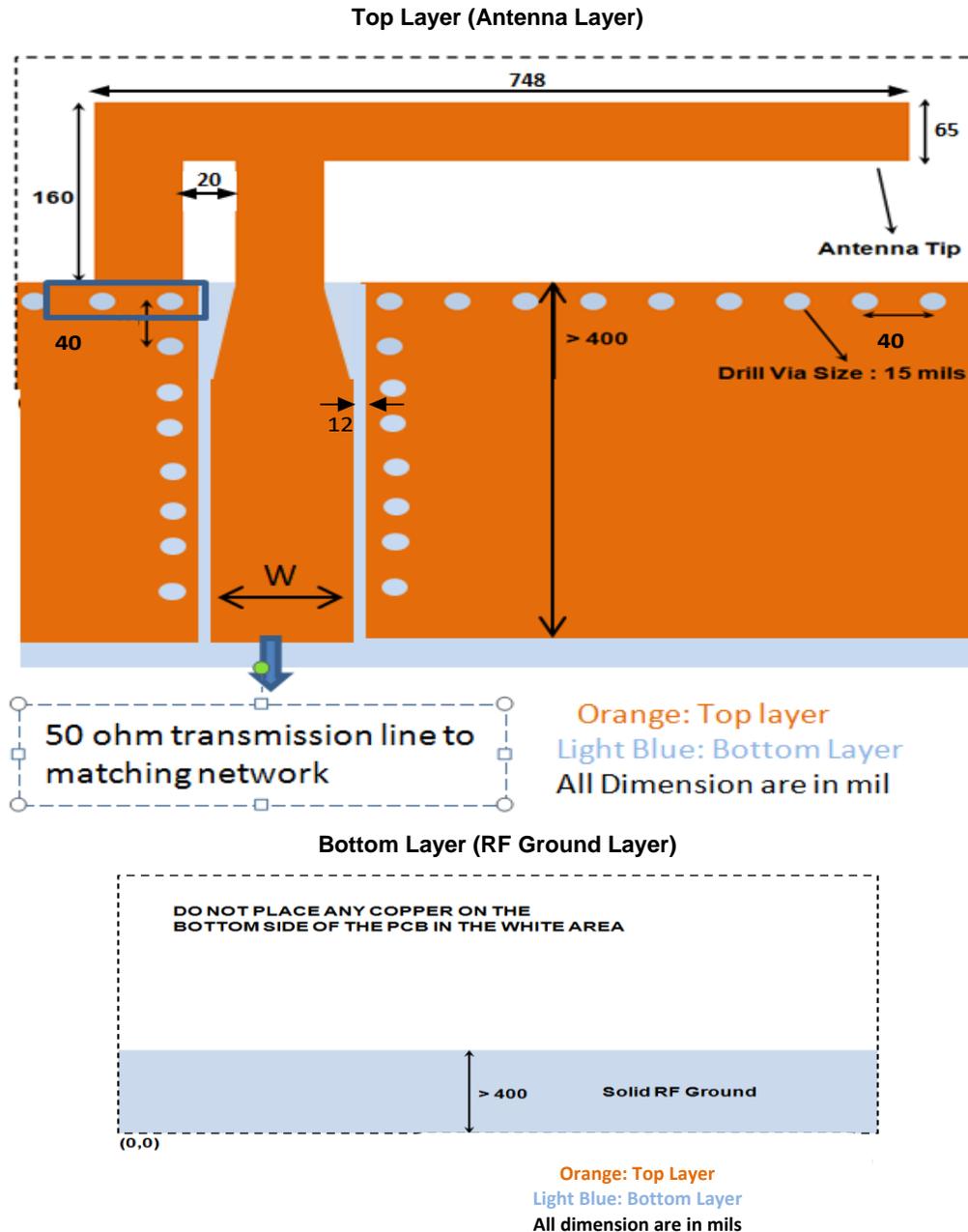
长度切割是调整天线的快速方法。如果客户有足够的空间来放置匹配的网络组件和天线调谐能力，我们建议使用匹配网络而不是长度调整。

7.4 倒 F 天线 (IFA)

与 MIFA 相比，IFA 是一种辐射更好的天线。给定空间可用性 IFA 天线比 MIFA 天线更好。它有更好的效率。但与 MIFA 相比，它需要更大的面积。

IFA 推荐用于其中一个天线尺寸受限的应用，例如心率监测器。Figure 16 显示了双层 PCB 中推荐的 IFA (顶层和底层) 的布局细节。迹线宽度为 24 密耳。IFA 的设计尺寸为 $4\text{ mm} \times 20.5\text{ mm}$ ($157.5\text{ mils} \times 807\text{ mils}$)，用于厚度为 1.6 mm 的 FR4 PCB。IFA 具有比 MIFA 更大的纵横比 (宽高比)。

Figure 16. IFA 布局



Note: 有关 1.6 mm 厚的 FR4 PCB 的 Gerber 文件 (和 .brd 文件)，请参考 www.cypress.com/go/AN91445 网页上的 AN91445.zip 文件。

如针对 MIFA 天线所解释的，馈电迹线宽度“W”取决于产品的 PCB 堆叠。Table 4 提供了用于共面波导模型的 FR4 基件 (相对介电常数= 4.3) 的顶层 (天线层) 和底层 (相邻 RF 接地层) 之间的不同 PCB 厚度的“W”值。

Table 4. FR4 PCB 的“F”值: 50-ohm 天线层与相邻射频的接地层间的厚度

Thickness (mils)	W (mils)
60	65
50	59
40	52
30	44
20	33

对于小于 3 mm 的短走线，天线馈电厚度是可以调整的。天线馈电的厚度可以与天线走线厚度相同，请参见 Figure 12。请参阅附录 B 中的共面波导计算器以计算共面传输线的宽度。

IFA 在 220 MHz 的带宽上 ($S_{11} \leq -10$ dB) 的频率约为 2.44 GHz，如 Figure 17 中所示。

Figure 17. IFA 的 S_{11} (回波损耗= $-S_{11}$)

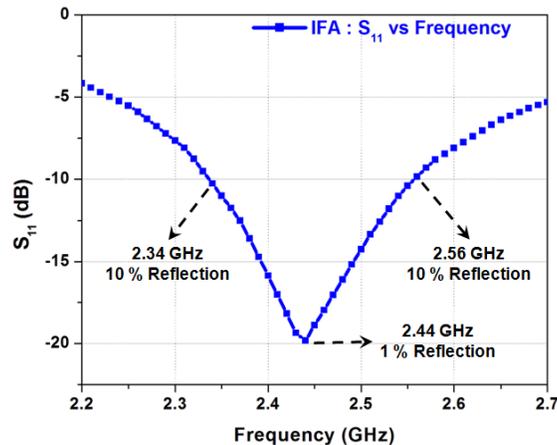
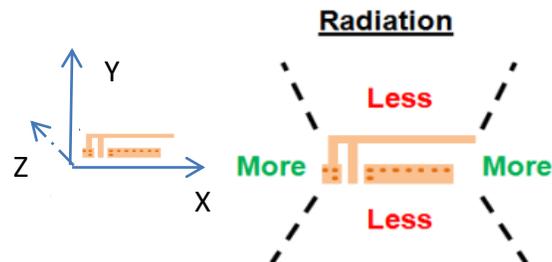


Figure 18 显示的是 IFA 在 XY 平面上的定性辐射图。在为客户应用设置 IFA 天线时，该信息非常有用，有助于在需要的方向上得到最大的辐射。为了便于观察，图中只显示了定性辐射的方向。有关所有 XY、YZ、ZX 平面上详细的辐射图，请联系赛普拉斯的技术支持。

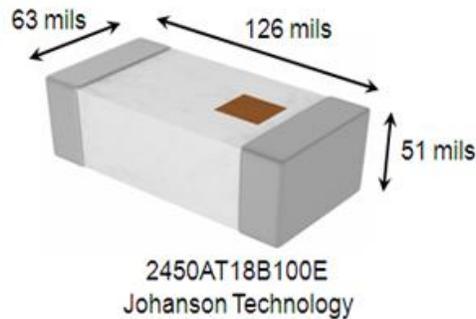
Figure 18. IFA 的定性 2D 辐射增益图



8 芯片天线

对于 PCB 尺寸非常小的应用，芯片天线不失为一种很好的办法 (Figure 19)。它们是现成的天线，占用的 PCB 空间最小，并且能够提供较好的性能。但芯片天线增加了物料 (BOM) 与装配费用。因为这些事需要订购和装配的外部组件。通常，芯片天线的价格约为 10-50 美分，具体价格取决于尺寸和性能。

Figure 19. 芯片天线



使用芯片天线时，也应考虑另一个关键因素：它受辐射接地面积的影响。所以，必须遵循厂家对接地面积的推荐。与 PCB 天线不同，芯片天线不能通过改变天线长度来调整。另外需要一个匹配网络才能调整该天线，因此会增加更多的物料成本。

赛普拉斯只推荐将芯片天线使用在要求 PCB 空间极小的特定应用中，对于这样的应用，赛普拉斯建议使用具有以下约翰逊技术的芯片天线：

1. 2450AT18B100E
2. 2450AT42B100E

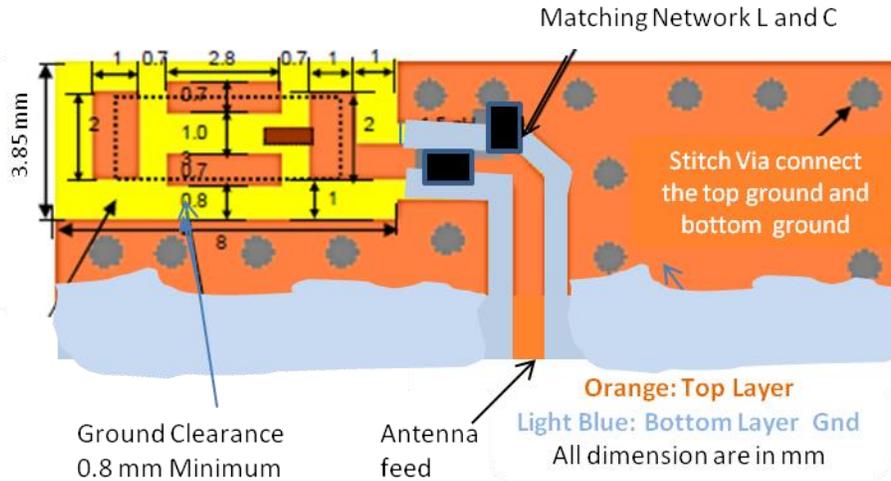
2450AT18B100E 尺寸为 63 mil x 126 mil。2450AT42B100E 尺寸更大：118 mils x 196 mils，但提供更好的 RF 性能。

赛普拉斯 BLE 模块 CYBLE-022001-00 使用 2450AT18B100E 天线，并对 RF 性能和预合规性测试进行了广泛的测定。芯片天线都需要一些布局指导以获得最佳射频性能。以下是芯片天线放置，布局和射频性能的主要注意事项：

1. 天线周围的离地间隙
2. 天线最佳辐射的位置
3. 天线馈线的注意事项
4. 天线带宽扩展的匹配网络

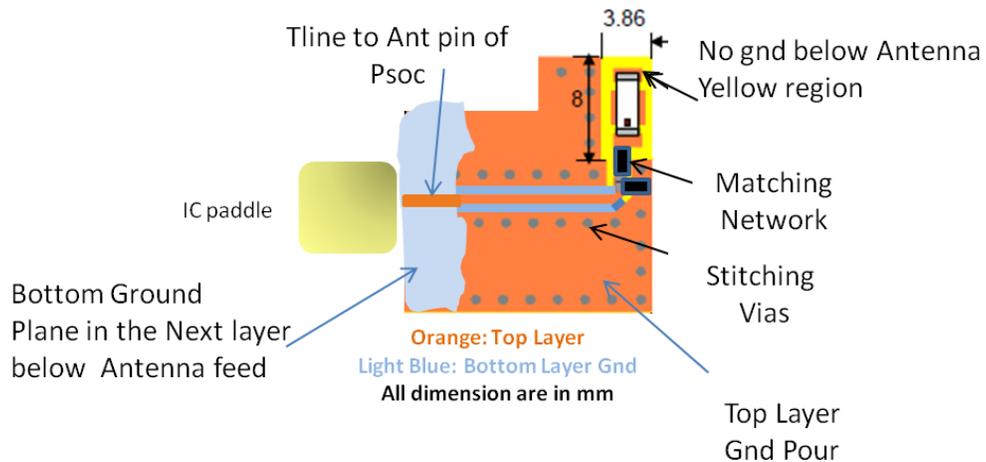
Figure 20 和 Figure 21 显示了 Johanson 技术 2450AT42B100E 芯片天线的布局指南。查看他们的[网站](#)，了解这些天线的详细指南。

Figure 20. 具有约翰森技术的 2450AT42B100E 芯片天线的布局指南



该布局也显示了 $50\ \Omega$ 的馈电传输线以及与其相匹配的组件。馈电传输线的宽度取决于电路板的厚度。Table 4 中指定了准确的电路板厚度。

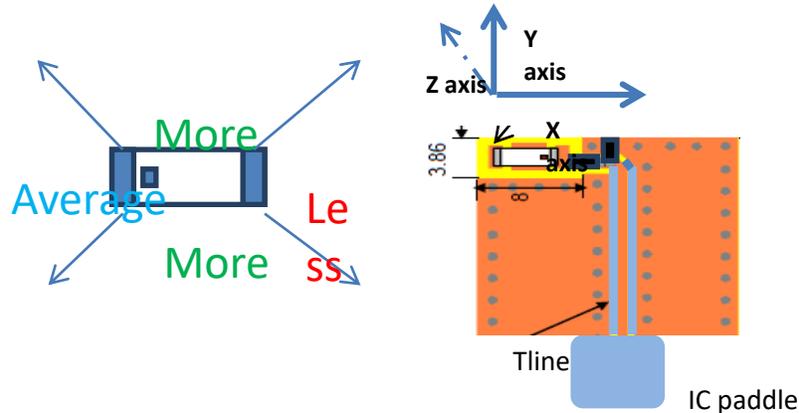
Figure 21. Johanson 24AT42B100E 天线布局指南



芯片天线的性能是由接地层决定。一般来说，它们需要更多的接地面积和更大的空间。如 Figure 21 所示，对于 2450AT42B100E 的天线，最小的接地距离为 0.8 mm。该间距为 2-3 mm 时，观察到的回波损耗会更加明显。

芯片天线不一定是严格等向性的。辐射存在某些优先的方向。根据 Gnd 间距和塑料配件，辐射最大的方向也不一样。有关约翰森技术的芯片天线 (2450AT42B100E) 的常见辐射方向，请参见 Figure 22。

Figure 22. 芯片天线的辐射图



赛普拉斯只推荐将芯片天线使用在要求 PCB 空间极小的特定应用中，例如：Nano 蓝牙收发器或超小的模块。Johansson 天线的特点在于赛普拉斯的射频性能和预合规性，适用于 Cypress EZ-BLE 模块。您可以使用 Murata, Vishay, Pulse 和 Taoglas.⁷等供应商提供的其他芯片天线。

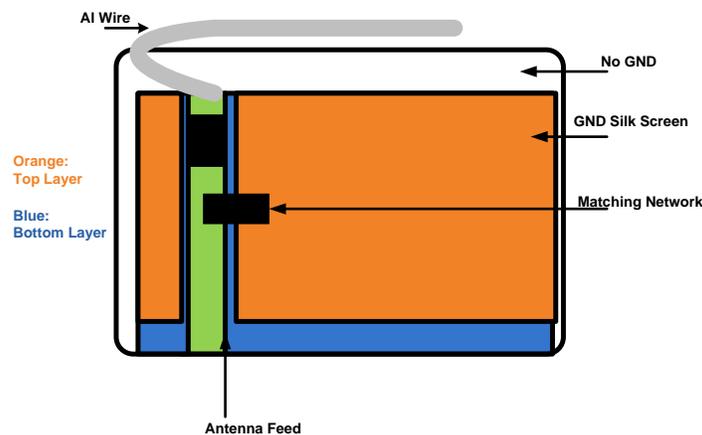
9 导线天线

导线天线是四分之一波长导体的经典天线。它们固定在 PCB 上，但是从 PCB 平面升起并突出到接地层上的空间。

由于它们作为 3D 天线暴露在空气中，因此它们具有出色的射频性能。它们具有最佳辐射范围，并且具有最全面的等向性的辐射模式。

对于需要小尺寸的 BLE 应用，它们不是首选，因为它们需要很大的空间和垂直高度。但是，如果空间无限制，就射频范围，方向性和辐射方向图而言，它们可以用作最佳天线。通常，诸如插入墙上的智能家居控制器的应用可以使用这种类型的天线。导线的形状和尺寸需要针对特定的工业设计 (ID) 进行优化。导线可以根据外壳弯曲。应特别注意导线天线的制造，因为根据外壳形状，导线天线也可以有不同的形状。

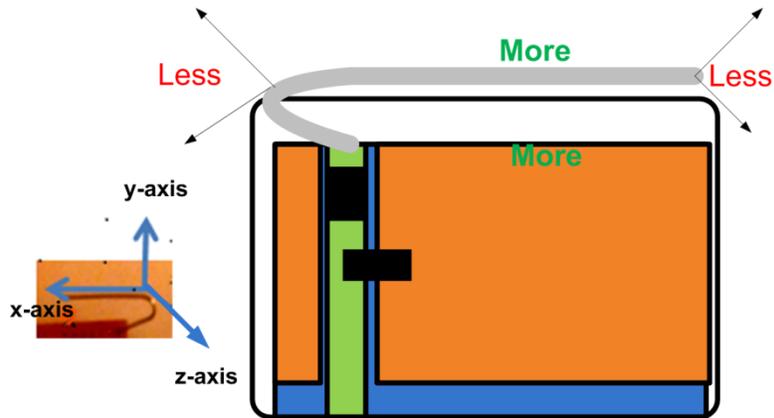
Figure 23. 导线天线布局



导线天线是射频性能最好的。与其他天线相比，它们具有最佳的天线效率和方向性。请参阅 Figure 24 了解导线天线外的定性辐射图。

⁷只验证了 Johansson 天线，其它未验证。

Figure 24. 导线天线的定性辐射方向图



10 各种天线的比较

请参考 Table 5，快速为您的应用选择合适的天线。

Table 5. MIFA、IFA、芯片和导线天线间的比较

2.44 GHz 时特性	MIFA	IFA	芯片天线	导线天线
外观				
推荐应用	面积更小 (鼠标, 键盘, 展示器)	高度限制 (心率检测仪)	小面积 (Nano Dongle, BLE Module)	更高 (6 mm) (3D) (感应器 Hub)
尺寸 (mm)	7.2 × 11.1	4 × 20.5	3.2 × 1.6	6 × 30
尺寸 (mils)	284 × 437	157.5 × 807	126 × 63	250 × 1200
Gerber 文件	Web	Web	Refer to datasheet	
成本 (US\$)	Minimal	Minimal	0.1–0.5	0.1
带宽 (MHz) ($S_{11} \leq -10$ dB)	230	220	200	200
增益 (dBi)	1.6	1.1	0.5	2

11 外壳和接地层对天线性能的影响

通常消费类产品中所使用的天线对 PCB 射频接地层的大小和产品的塑料外壳非常敏感。可将天线模拟为一个 LC 谐振器，当 L (电感) 或 C (电容) 增加时，该 LC 谐振器的谐振频率会下降。更大的射频接地层和塑料外壳会增大有效电容，从而降低谐振频率。

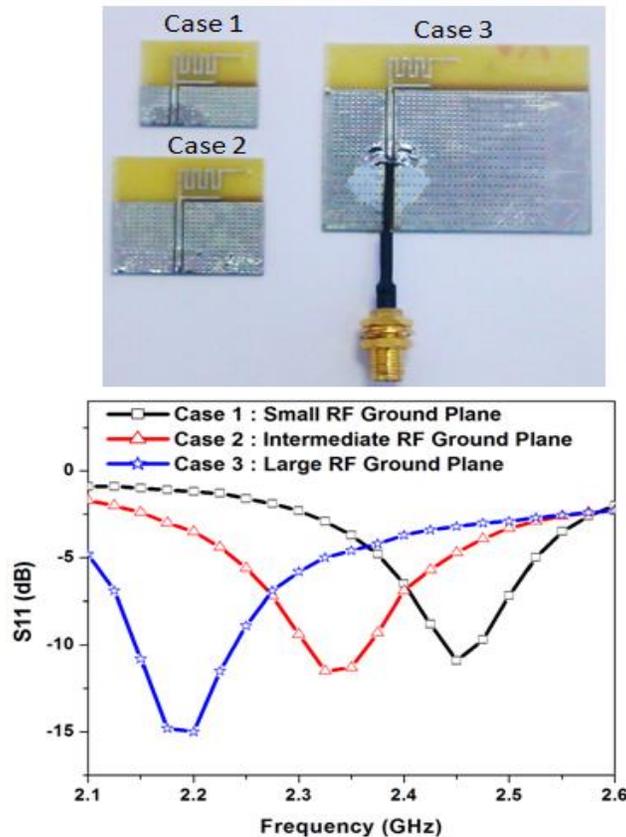
11.1 接地层的影响

如前所述，单极 PCB 天线需要接地层才能正常工作。

Figure 25 显示的是 MIFA 被放置在接地层大小不同的 PCB 上的示例。PCB 的尺寸范围为 20 mm × 20 mm 至 50 mm × 50 mm。

通过该曲线可以了解到，射频接地层的面积越大，那么谐振频率越低，并且接地层也越好，因此回波损耗也会越小。这便是好的 PCB 布局中的关键条件。给四分之一波长的天线提供的接地层越好，它与理论性能的关系也会越好。这是进行天线设计中的关键概念，可以解决没有足够空间提供给接地小型模块天线的困难。

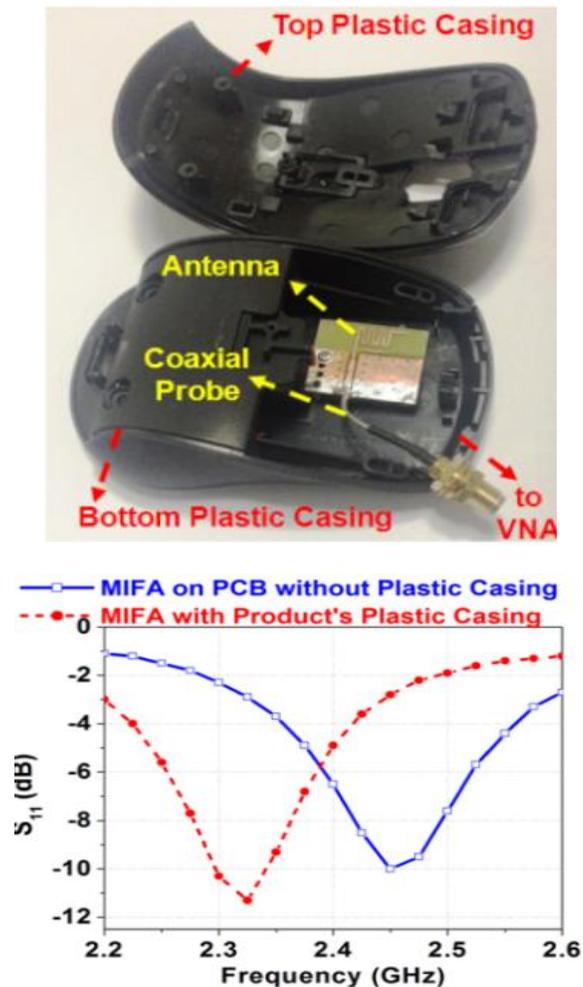
Figure 25. PCB 接地层尺寸的影响



11.2 外壳的影响

与接地层的影响类似，为了量化天线对产品塑料外壳的敏感度，实验在无线鼠标上进行，如 Figure 26 所示。赛普拉斯 MIFA 放置在无线鼠标的塑料外壳内，然后测量辐射模式和回波损耗。

Figure 26.塑料外壳的影响



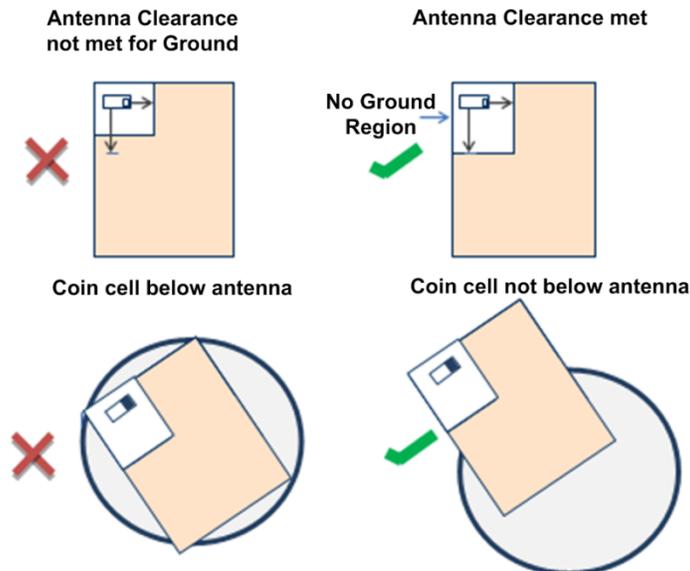
通过 Figure 25 和 Figure 26，可了解以下主要内容：

- 将天线放置在靠近塑料外壳的地方时，谐振频率会降低。
- 谐振频率的变化范围为 100 MHz 至 200 MHz。必须重新调试天线才能获得所需频带。有关天线调试的信息，请参考 [天线放置、外壳、和接地层指南](#)。

总之，加大接地层大小和塑料外壳是为了使天线的谐振频率降低到 100 MHz 至 200 MHz 的范围内。

12 天线放置、外壳、和接地层指南

- 始终将天线放置在 PCB 的一个角落，与电路的其余部分保持足够的间隙。
- 始终遵循天线设计者/制造商推荐的天线接地方式。常用的 PCB 天线是单极天线的变体。单极天线需要直接接地才能正常工作。
- 切勿在所有层的天线禁区内放置任何组件、平面、安装螺丝或迹线。实际的禁用区域取决于使用的天线。
- 不要将天线靠近工业设计中的塑料。塑料具有比空气更高的介电常数。塑料与天线的接近度导致天线看到更高的有效介电常数。这增加了天线迹线的电长度并降低了谐振频率。
- 电池电缆或麦克风线缆不得穿过天线迹线。
- 天线不能完全被金属外壳覆盖。如果产品具有金属外壳或屏蔽层，则外壳不得覆盖天线。天线近场不允许有金属。
- 天线的方向应与最终产品方向一致，以便辐射在所需方向上达到最大。
- 天线下方不得有任何接地。见 Figure 14。
- 从天线到接地层要有足够的空间 (间隙)，该接地层的宽度应该最小。请参见 Figure 10, Figure 15, 和 Figure 20。
- 计划为天线匹配网络提供配置，因为天线接近的许多参数 (塑料，接地变化，基底差异和其他组件) 可能会改变其阻抗，因此天线可能需要重新调谐。如果天线的阻抗未知，则最好为三个组件的 PI 或 T 网络提供配置，其中串联元件中填充 0 欧姆，分流元件不加载。这有助于您稍后填充匹配网络所需的任何拓扑。
- 使用天线制造商提供的匹配网络值时，请确保使用从天线到匹配网络的走线长度，这在制造商数据手册或参考设计中指定。
- 始终使用最终的塑料外壳和典型的使用案例场景中的产品验证天线匹配网络，例如，验证一只鼠标的塑料放在手上，放在鼠标垫、塑料、木材、金属或地板上。



13 射频概念与术语

射频布局和天线调谐需要了解射频特定的概念，并且需要比传统电路布局更多的关注。本节介绍 RF 设计、传输线路和特性阻抗的基础知识。

需要理解以下概念和术语来设计有效的 RF 布局。

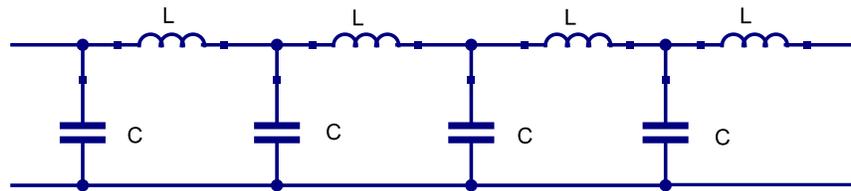
- 传输线
- 特性阻抗
- 回波损耗
- 介入损耗
- 阻抗匹配

影响射频设计与模拟设计相关的关键因素是射频电路的阻抗。在低频时，负载阻抗在距离负载走线不同距离处测量时保持不变。对于大多数应用，也不依赖于迹线宽度或其均匀性。因此，迹线仅表示为低频节点。但在高频时，RF 电路的阻抗 (Z) 会在距负载不同距离处测量时发生变化。这种变化还取决于所使用的基底和射频迹线的尺寸。因此，迹线也成为 RF 原理图中的设计元素。

传输线是通过定义的路径传输电磁能量的媒介。同轴电缆，波导以及 RF 引脚和天线之间的 RF 走线都是传输线。大多数射频迹线是诸如微带线和共面波导之类的传输线。

传输的关键特性是它的特征阻抗 (Z_0)，它是通过无损传输线传播的波的电压和电流的振幅比。对于频率为 2.45 GHz 的应用，例如 BLE，50 Ω 特性阻抗广泛用于射频迹线。

Figure 27. 传输线路的等效模型



即使 Z_0 是一个实数，它也不是 RF 走线的电阻。理想的传输由于其特性阻抗不消耗能量或具有任何损耗。传输线的等效模型如 Figure 27 所示。它是表示传输线分布式串联电感与分布式并联电容之比的属性。

$$Z_0 = \sqrt{\frac{L}{C}}$$

其中 L 和 C 分别是沿传输线任意长度的分布电感和分布电容。

特性阻抗 (Z_0) 取决于 PCB 材料，基底厚度，迹线宽度，迹线厚度以及 RF 迹线和接地填充物之间的间隙。这些参数在传统的布局和设计经常被忽略，但它们在射频设计中扮演着重要的角色。

Figure 28. 阻抗测量设置的表示

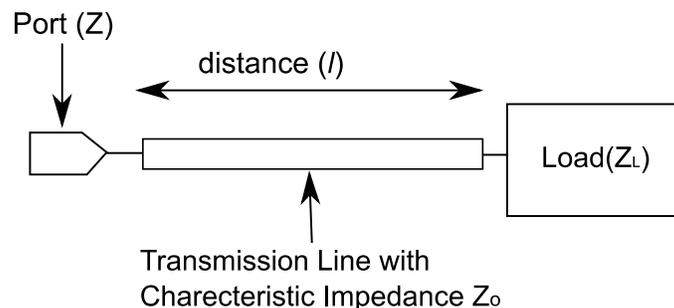


Figure 28 描述了测量 RF 电路阻抗的典型测量设置。射频走线上给定点的阻抗与走线的特征阻抗，与负载的距离和负载阻抗有关;计算方式如下面的等式:

$$Z = Z_0 \frac{(Z_L + jZ_0 \tan \beta l)}{(Z_0 + jZ_L \tan \beta l)}$$

其中 Z 是在距离负载的距离为 l 处测得的阻抗, Z_L 是在负载 ($l = 0$) 处测得的阻抗, Z_0 是传输线的特性阻抗, β 是相位常数。 j 是阻抗的反应部分。

让我们来看看阻抗在特定情况下如何变化。

当在负载下测量时, $l = 0$, 所以 Z 等于 Z_L 。

当 $Z_L = 0$ 和 $l = \lambda/4$ 时, $Z = \infty$ 。

当 $Z_L = \infty$ 和 $l = \lambda/4$ 时, $Z = 0$ 。

因此, 在四分之一波长 ($\lambda/4$) 的距离处测量时, 即使是短路, 也可视为开路, 反之亦然。在传统的电路设计中, 走线长度从不接近 $\lambda/4$, 所以没有看到过这种操作。

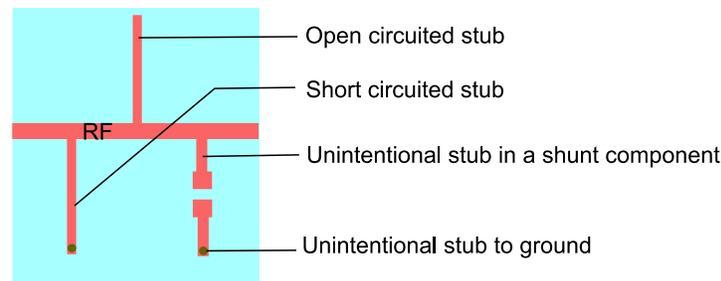
当 $Z_L = Z_0$ 时, 对于任何值 l , $Z = Z_0$ 。

因此, 当负载阻抗 (Z_L) 等于特性阻抗 (Z_0) 时, 测量到的阻抗 (Z) 在距离负载的任意距离 (l) 处测量时都保持等于 Z_0 。出于这个原因, 在将 RF 迹线传送到其他设备之前, 使用匹配网络将任何 RF 设备的阻抗变换为 Z_0 是常见的做法。

匹配网络是用于将任何给定阻抗转换 (通常) 为 RF 迹线的特征阻抗的无源电路。为了确保通过 RF 电路从源到负载的最大功率传输, 源阻抗和负载阻抗应该匹配。

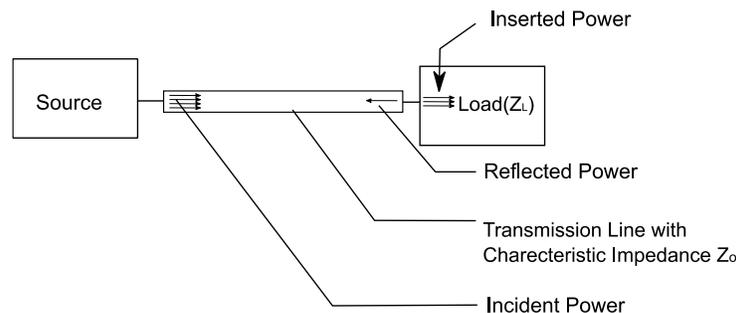
由于电路的阻抗随与电路的距离而变化, 所以用于阻抗匹配的元件的放置也取决于距被匹配电路的距离。即使射频迹线上的小短截线可用作电容器或电感器, 也可以改变阻抗。有关小短截线的示例, 请参阅 Figure 29。

Figure 29. 短截线示例



长度小于 $\lambda/4$ 的开路短截线等效于电容器, 长度小于 $\lambda/4$ 的短路短截线相当于电感器。因此, 短截线可以用于射频频率窄带应用的组件。但是, 除非有意设计, 射频迹线中的短截线或分支会影响阻抗匹配, 导致射频性能较低。

Figure 30. 在 RF 电路中源负载和传输线展示



匹配网络的有效性通过使用参数回波损耗和插入损耗来测量。

Figure 30 显示了一个典型的射频电路，其中一个射频源发射射频功率，一个负载承担大部分射频功率并反射一些射频功率。回波损耗是入射功率与反射功率之比。插入损耗指示在到达下一阶段之前通过电路损失的功率的部分。

$$\text{回波损耗 (dB)} = 10 * \log \left(\frac{\text{Incident Power}}{\text{Reflected Power}} \right)$$

$$\text{插入损耗 (dB)} = 10 * \log \left(\frac{\text{Inserted Power}}{\text{Incident Power}} \right)$$

在一个理想的匹配网络中，所有的功率都转移到下一个阶段，没有功率被反射。这会导致零插入损耗和无限回波损耗。在实际电路中，所需的回波损耗可能在 6 dB 到 30 dB 之间，具体取决于应用和使用情况。在匹配网络中，回波损耗转化为插入损耗，如 Table 6 所示。

Table 6.回波损耗与插入损耗

回波损耗 (dB)	反射功率百分比	插入功率百分比	插入损耗 (dB)
0.01	99.77	0.23	26.38
0.1	97.72	2.28	16.42
1	79.43	20.57	6.87
2	63.1	36.9	4.33
3	50.12	49.88	3.02
4	39.81	60.19	2.2
5	31.62	68.38	1.65
6	25.12	74.88	1.26
7	19.95	80.05	0.97
8	15.85	84.15	0.75
9	12.59	87.41	0.58
10	10	90	0.46
15	3.16	96.84	0.14
20	1	99	0.04
30	0.1	99.9	0

13.1 史密斯圆图

在射频设计中，了解和使用史密斯圆图 (Figure 31) 也很重要，用于绘制复杂阻抗的图形工具在设计匹配网络时也很有用。该工具使您能够快速计算许多参数，例如导纳、回波损耗、插入损耗、反射系数、电压驻波比 (VSWR) 以及复杂阻抗的透射系数。它还可以让您计算与负载距离变化时的阻抗。使用史密斯圆图，您可以使用射频短截线或射频无源器件快速设计匹配网络。

请注意图中的以下内容：

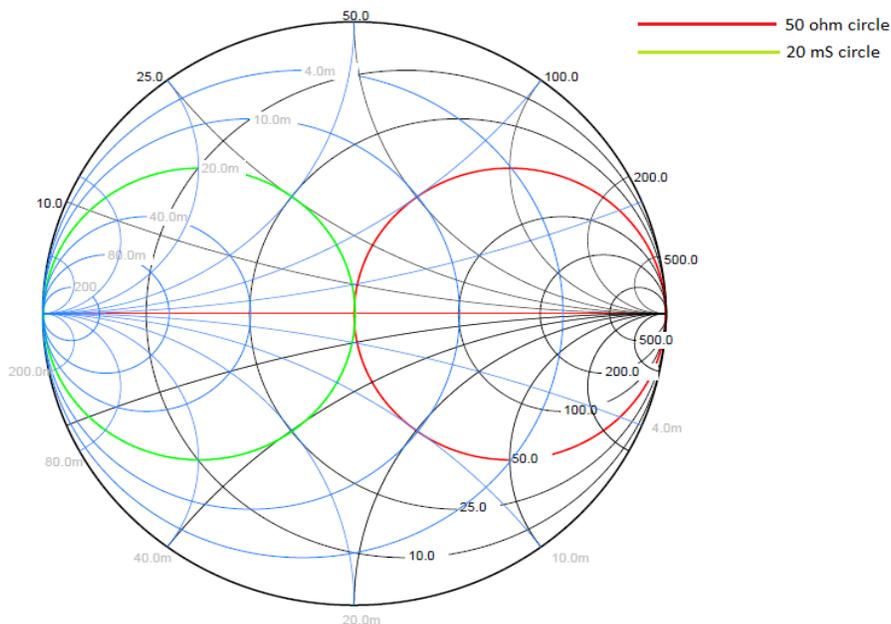
1. 史密斯圆图左侧角落表示零欧姆，右侧角落表示开路。
2. 接触右角的圆圈是恒定电阻圆圈。
3. 阻抗的实部在恒定电阻圆的所有点上都是恒定的。
4. 史密斯圆图的右角和外围之间的曲线是恒定电抗圆。
5. 阻抗的虚部在沿恒定电抗曲线的所有点处都是恒定的。
6. 史密斯圆图中接触左角的圆圈是恒定电导圆。
7. 导纳的实部沿着恒定的电导率循环不变。
8. 史密斯圆图的左边和史密斯圆图的边缘之间的曲线是常数电纳曲线。
9. 导纳的虚部沿恒定电纳曲线是恒定的。
10. 圆的中心是 Z_0 点。在我们的例子中， $Z_0 = 50$ 欧姆。这也是 20 毫西门子 (mS) 点。
11. 两个特殊圆圈是 50-ohm 圆圈和 20-mS 圆圈

阻抗匹配的第一步是转换阻抗，使其落在 50 欧姆圆圈或 20-mS 圆圈上。第二步是将阻抗从任何一个圆圈移动到 50 欧姆点。匹配的网络拓扑结构还取决于阻抗是落在这些圆圈内部还是外部。

本应用笔记介绍了如何使用史密斯圆图来设计匹配网络。有关史密斯圆图的更多信息，请参阅在线提供的用户指南和教程。其中一些链接如下：

- <http://www.microwaves101.com/encyclopedias/smith-chart-basics>
- <https://www.youtube.com/watch?v=vDU5XnvZXwc>

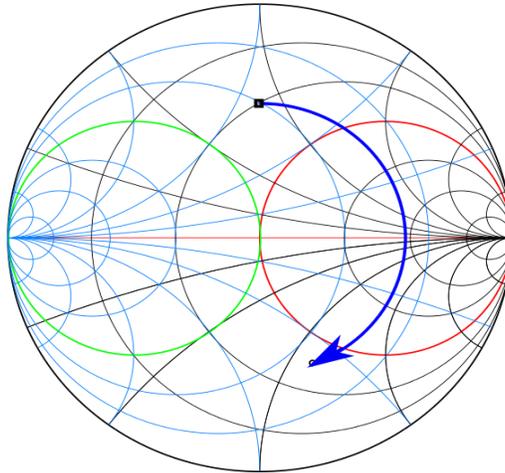
Figure 31.带有阻抗和导纳圈的史密斯圆图



14 阻抗匹配

需要进行阻抗匹配以确保来自 RF 源的大部分功率被传送到负载。在使用 PSoC BLE / PSoC BLE 的典型示例中，在传输期间，PSoC BLE 是源，而天线是负载。在接收期间，天线是信号源，PSoC BLE 是负载。当 PSoC BLE 和天线的阻抗不是 50 欧姆时，它们需要匹配到 50 欧姆。在射频频率下，测得的阻抗随离负载/源的距离而变化（当离开负载/源时，阻抗围绕史密斯圆图中顺时针旋转 RF 迹线的特征阻抗旋转）。Figure 32 描绘了迹线长度的阻抗变化。

Figure 32. 描绘阻抗随走线长度变化的史密斯圆图
Impedance Change with Increase in the Trace Length



因此，匹配网络也需要随距源/负载的距离而改变。当测得的阻抗等于特征阻抗时，它不随距电源/负载的距离而改变。因此，推荐的技术是使用靠近源的匹配网络将复数源阻抗与特征阻抗相匹配，并使用靠近负载的匹配网络将负载阻抗与特征阻抗相匹配。这样可以确保匹配的网络组件值不会随着迹线长度而改变，只要源匹配网络靠近源并且负载匹配网络保持接近负载。

对于 2.4 GHz，大多数可用设备都匹配 50 欧姆阻抗。因此，赛普拉斯使用并推荐 RF 走线的 50 欧姆特性阻抗。

任何给定的阻抗（短路和开路除外）都可以使用两个无功无源组件（电感或电容）匹配到 50 欧姆。尽管可以使用 RF 短截线来获得电感和电容，但它们通常会占用 PCB 中的额外空间。由于尺寸限制，最好使用电容和电感进行阻抗匹配。

增加一个串联电感将阻抗沿顺时针方向沿恒定电阻圆移动，如 Figure 33 所示。将史密斯圆图上的电抗移动 X_L 因子所需的电感值由下式给出：

$$L = \frac{X_L}{2\pi f}$$

添加一个串联电容可以使阻抗沿着恒定电阻圆沿逆时针方向移动。将史密斯圆图上的电抗移动 X_C 因子所需的电容值是

$$C = \frac{-1}{2\pi f X_C}$$

添加并联电感器会沿着恒定的电导圆以逆时针方向移动阻抗。通过移动电导 Y_L 所需的电感值是

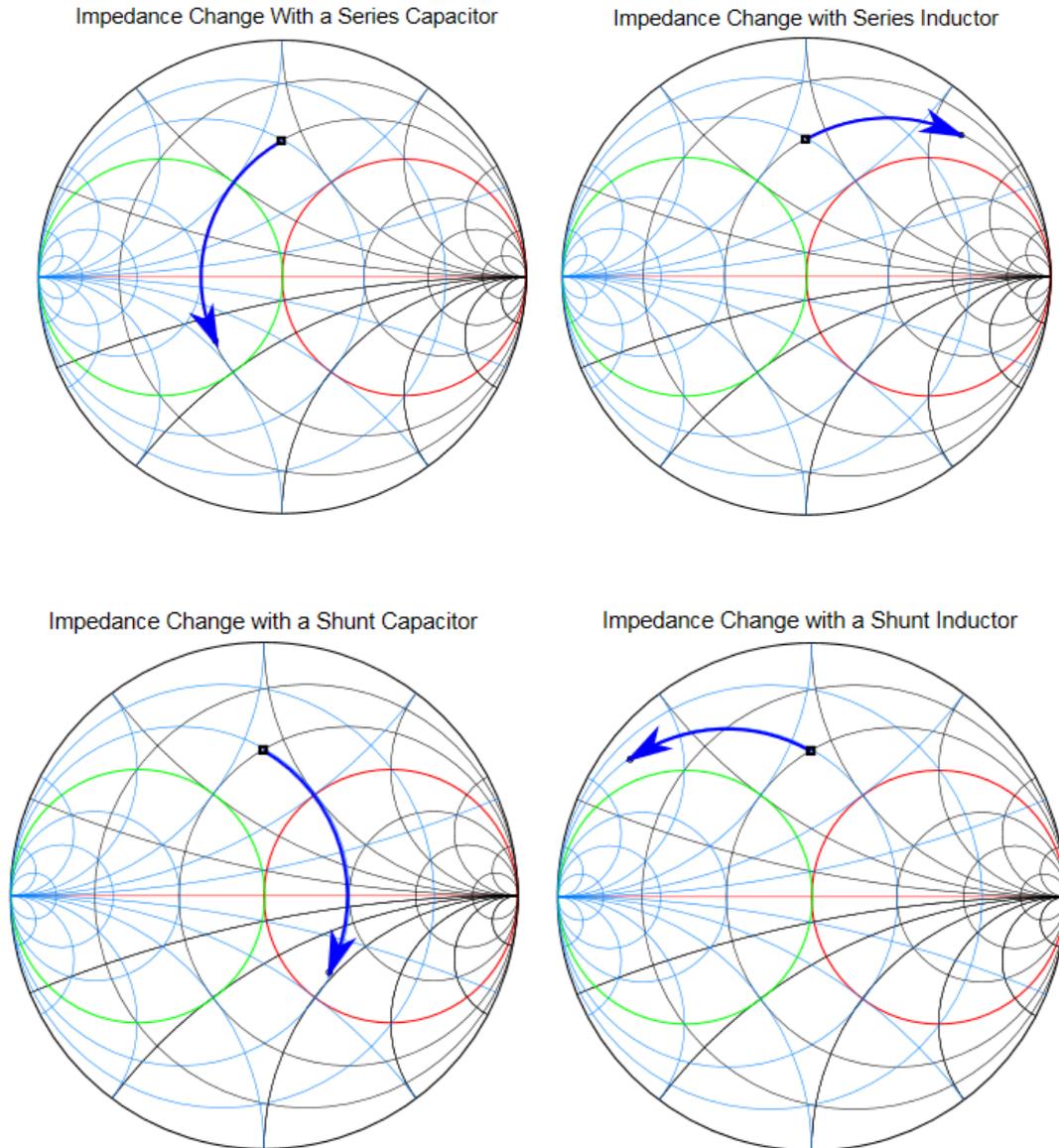
$$L = \frac{-1}{2\pi f Y_L}$$

添加并联电容器会沿顺时针方向沿恒定电导圆移动阻抗。通过 Y_C 移动电导所需的电容值是

$$C = \frac{Y_C}{2\pi f}$$

第一步是将阻抗设置为 50 欧姆的圆圈或 20-mS 的圆圈。下一步是将阻抗移至 50 欧姆点。利用这些基本信息，您可以使用史密斯圆图来设计匹配电路，方法是使用电容和电感将阻抗移动到 50 欧姆点。

Figure 33.描述随着电抗增加阻抗变化的史密斯圆图

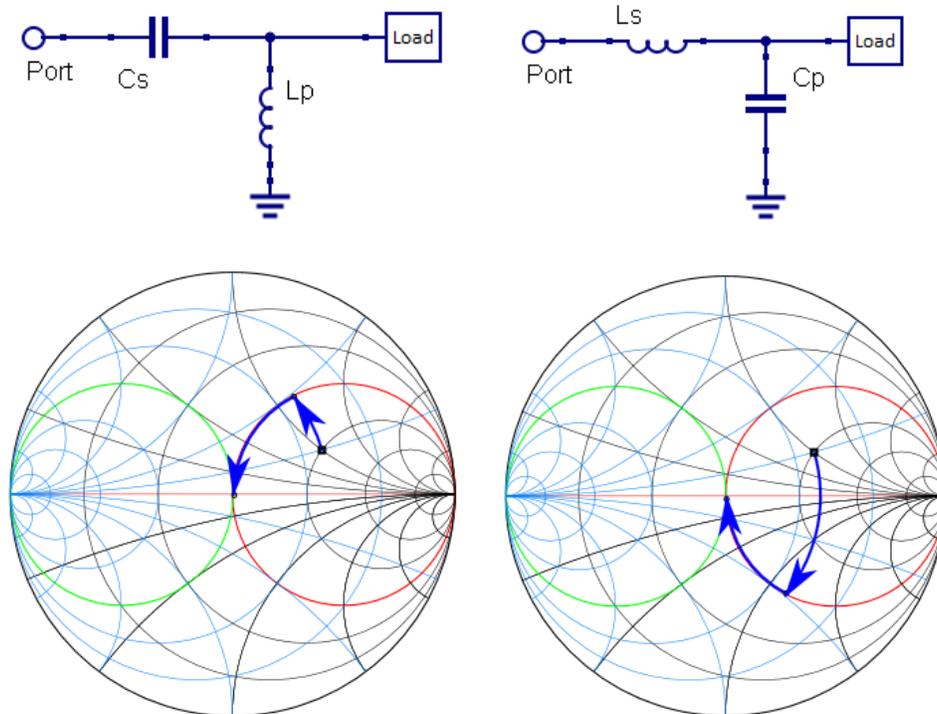


14.1 匹配网络拓扑

将任何给定阻抗转换为 50 欧姆所需的组件拓扑结构取决于测量的阻抗。可以使用矢量网络分析仪测量阻抗。必须在非常接近匹配网络的点测量阻抗。

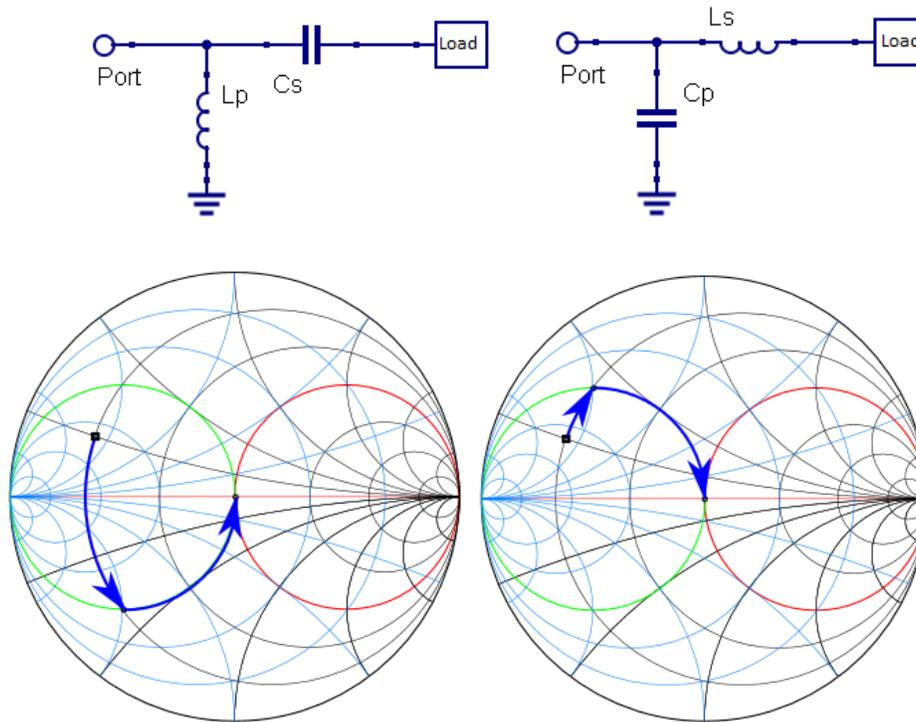
当测量到的阻抗落在史密斯圆图中 50 欧姆的圆圈内时，它需要一个并联电感器，然后串联一个电容器或一个并联电容器，然后由负载串联一个电感器，如 Figure 34 所示。分流元件可以将阻抗放在 50 欧姆的圆上。然后可以使用该串联元件将阻抗移动到 50 欧姆点。

Figure 34. 当阻抗在 50 欧姆的圆内时匹配网络拓扑



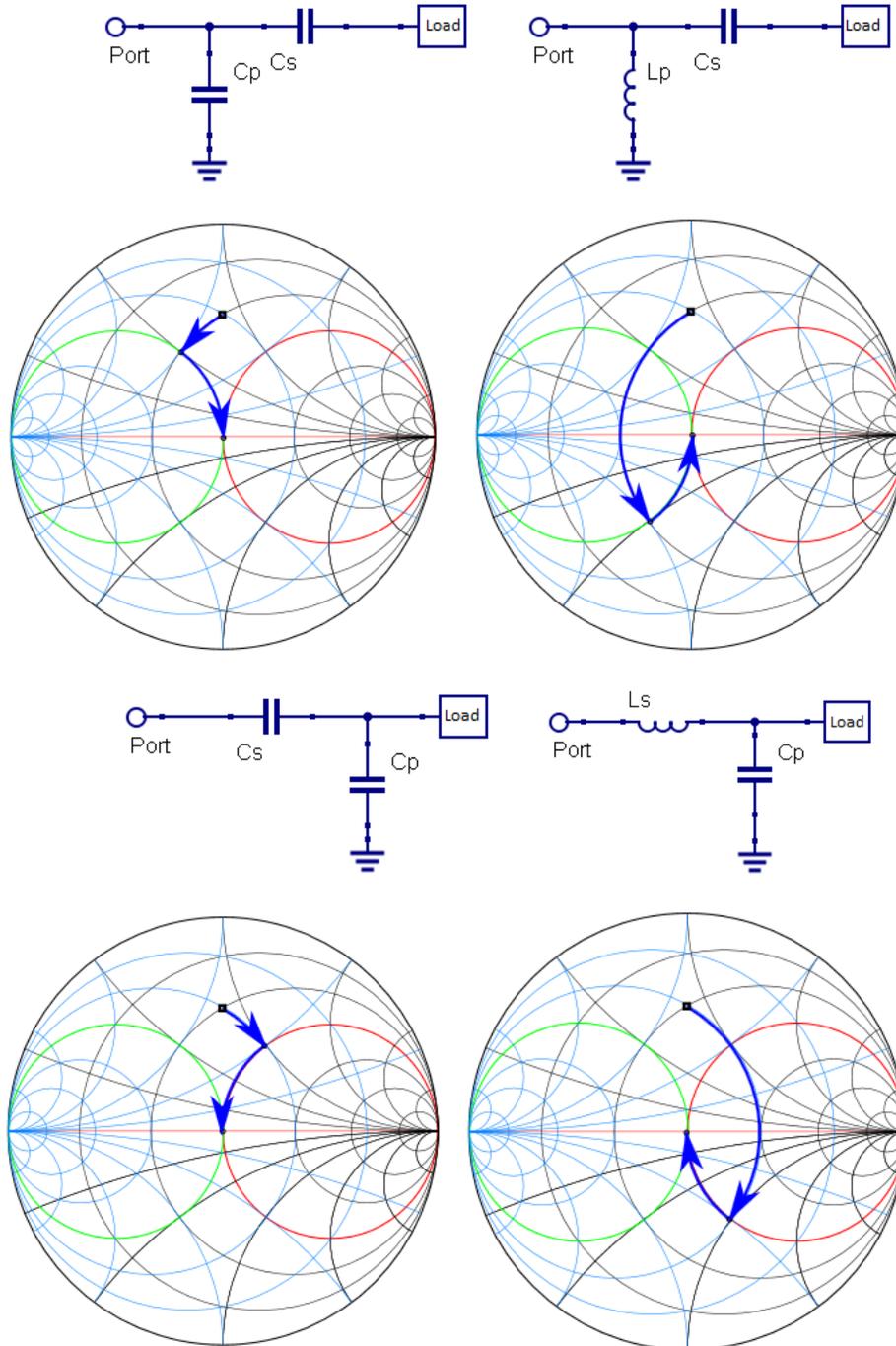
当测量到的阻抗落在史密斯圆图中 20 mS (毫西门子) 的圆周内时，它需要一个串联电容，接着是一个并联电感，或一个串联电感，然后是来自负载的并联电容，如 Figure 35 所示。使用串联组件，阻抗可以在 20-mS 的圆上。然后，使用并联组件，可将其带到 20-mS (50-ohm) 点。

Figure 35. 阻抗在 20 mS 圆圈内时使用的匹配网络拓扑



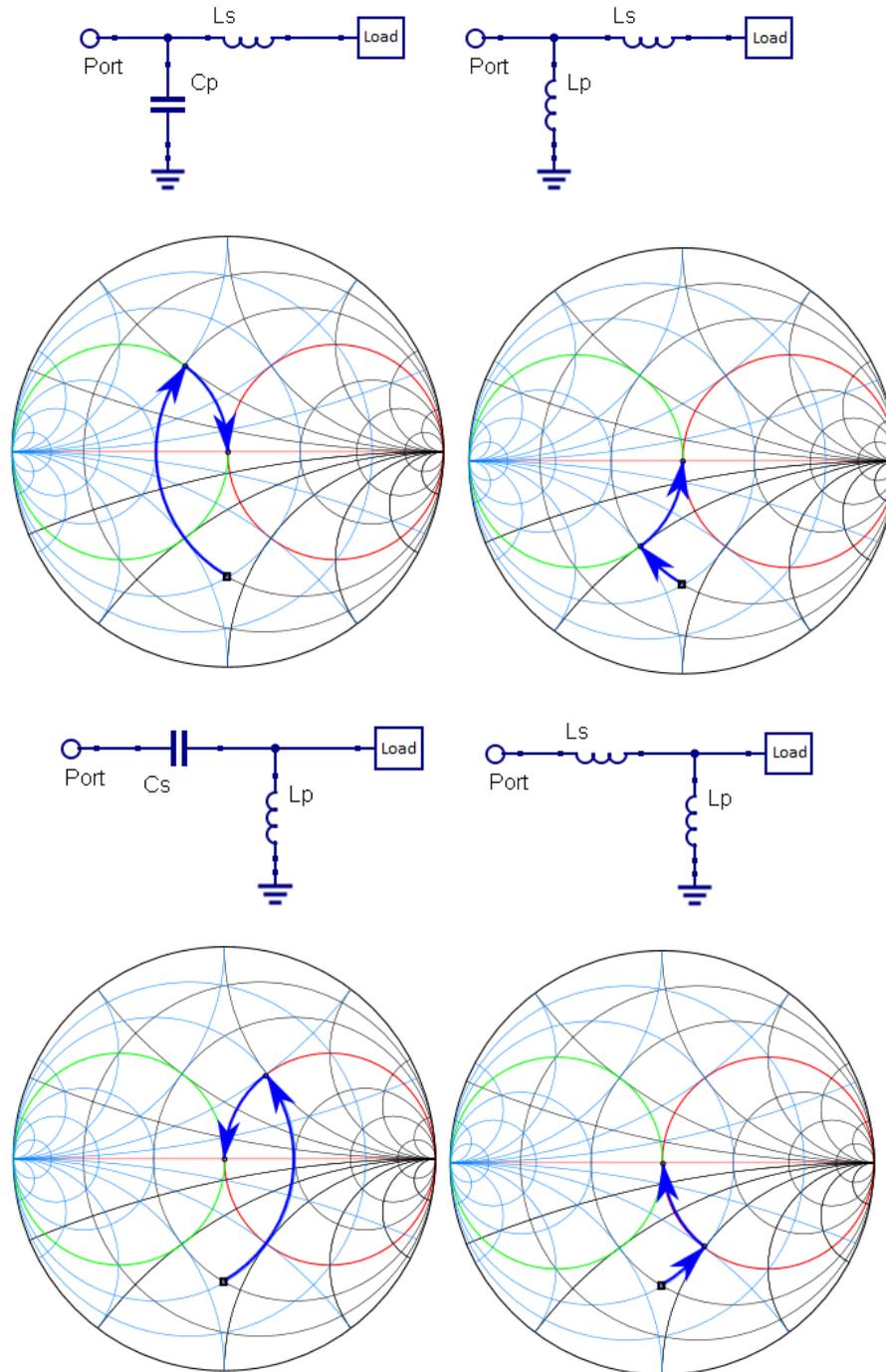
当测量到的阻抗落在这两个圆周之外时，在史密斯圆图的正半部分，可以通过使用串联电容器，然后使用并联电感器或电容器，或使用并联电容器，然后使用串联电感器或负载电容器，如 Figure 36.所示。

Figure 36.当阻抗位于两个圆之外，在史密斯圆图的正半部分上时使用的匹配网络拓扑结构



当测量到的阻抗落在这两个圆之外时，在史密斯圆图的负半部分，它可以通过以下两种方式匹配：使用串联电感，然后是并联电感或并联电容；或通过使用并联电感，然后是来自负载的串联电感或电容来匹配，如 Figure 37 所示。

Figure 37 当阻抗位于两个圆圈之外，在史密斯圆图的负半部分时要使用的匹配网络拓扑结构



14.2 匹配网络提示

使用以下提示可以最大限度地减少匹配网络设计中理论与实践之间的差距：

- 在组件必须放置的同一点测量阻抗。
- 使用电缆和连接器校准网络分析仪设置，直到阻抗测量点。
- 将分流元件放置在射频走线上。请勿使用较长的迹线连接分流器组件。
- 选择串联谐振频率至少为工作频率两倍的电容。
- 选择自谐振频率至少为工作频率两倍的电感。
- 如果数据表中提供寄生阻抗数据，请使用该数据推导出该组件可实现的实际电抗。
- 电容和电感只能使用高 Q 元件。

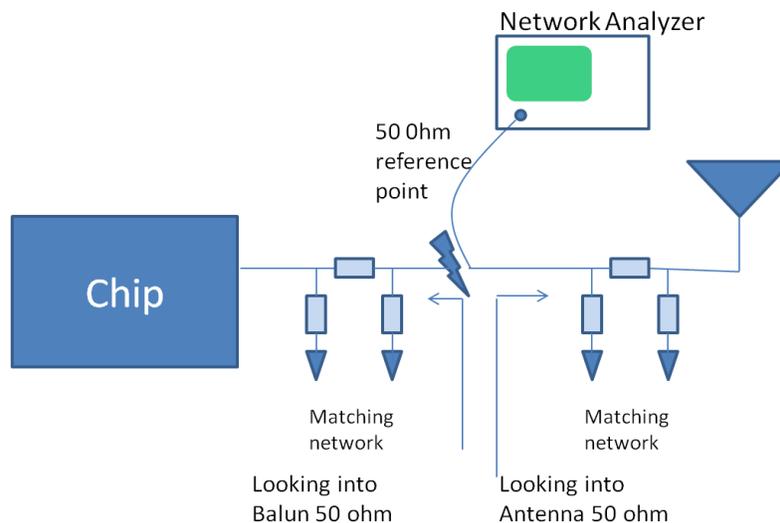
由于阻抗在设计时间内通常是未知的，因此采用 Π 或 T 方式的三个组件的设计可让您稍后使用所有可能的拓扑。

15 天线调试

天线调试过程确保在所需频带中，天线的回波损耗 (从芯片输出的方向来看) 大于 10 dB。当查看收音机并确保接收模式下的阻抗为 50 Ω 时，应遵循相同的调谐过程。回波损耗大于 10 dB，可确保芯片 90% 的功率输出传输至天线。同样，在接收模式下，可以确保 90% 的接收功率传输到无线。天线调谐和无线调谐都称为天线调谐。

通过确保无线电的输出阻抗是天线阻抗的复共轭来最大化功率传输。在大多数天线调谐中，这是通过称为匹配网络组件的无源组件将天线阻抗变换为 50 欧姆和巴伦变为 50 欧姆来实现的。有关匹配网络设计的初级入门，参考第 14 节。请参阅附录 B 以获取有关匹配网络设计的更多参考资料。

Figure 38. 调试和匹配网络的参考图



50 Ω 参考点被连接至网络分析仪端口。进行天线调试期间，通过移除 Balun 匹配组件可以断开同芯片的连接。进行无线调试期间，会断开同天线匹配组件的连接。由于大多数标准仪器适用于 50 欧姆端口阻抗，因此具有 50 欧姆参考点非常方便。

在 Figure 38 中，即使显示了六个组件，您也可以只使用两个组件来调谐天线。通过 PCB 长度设计调谐的天线不需要任何组件。无线电侧只需要两个组件即可获得 50 欧姆的阻抗。在大多数使用赛普拉斯 MIFA 的应用中，天线的长度都是 50 欧姆。无线电方最多使用 2 个组件，以便在接收模式下达到 50 欧姆。对于使用非 50 欧姆芯片天线的应用，天线可能需要两个或更多的组件才能达到 50 欧姆 (遵循芯片天线制造商的建议)。对于无线电，需要两个组件才能达到 50 欧姆。

以下章节将详细说明如何使用网络分析仪来调试天线。对于天线调谐，我们需要朝向天线。

15.1 调试过程

如 [Section 11](#) 所述，外壳和接地层的影响使天线所需的频带失调，并且影响了回波损耗。因此，天线调试过程包括两个步骤：首先，将 PCB 空板调试为所需频带；然后在确定 ID 后，通过塑料外壳和人体接触检查调试。

使用网络分析仪对天线调谐需要熟悉史密斯圆图。不失一般性，鼓励读者阅读史密斯图表。用网络分析仪检查天线调谐。网络分析仪是表征 s 参数的仪器，如 S_{11} 和 S_{21} 。 S_{11} 表示回波损耗， S_{21} 表示前向透射比。鼓励有兴趣的读者参考下面提供的任何链接。

作为第一步，对网络分析仪进行校准，然后通过调整匹配的网络组件并验证史密斯圆图中的调谐来调谐天线。

调试过程中会使用：

- 安捷伦 (Agilent) 8714ES 网络分析仪 (已校准)
- Cypress CY5682 套件鼠标 (如 DUT)
- 50 欧姆特性阻抗高达 5GHz 的半刚性电缆
- 高质量的射频组件 (本示例使用 Johanson 套件 P/N: L402DC)

调试过程主要步骤为：

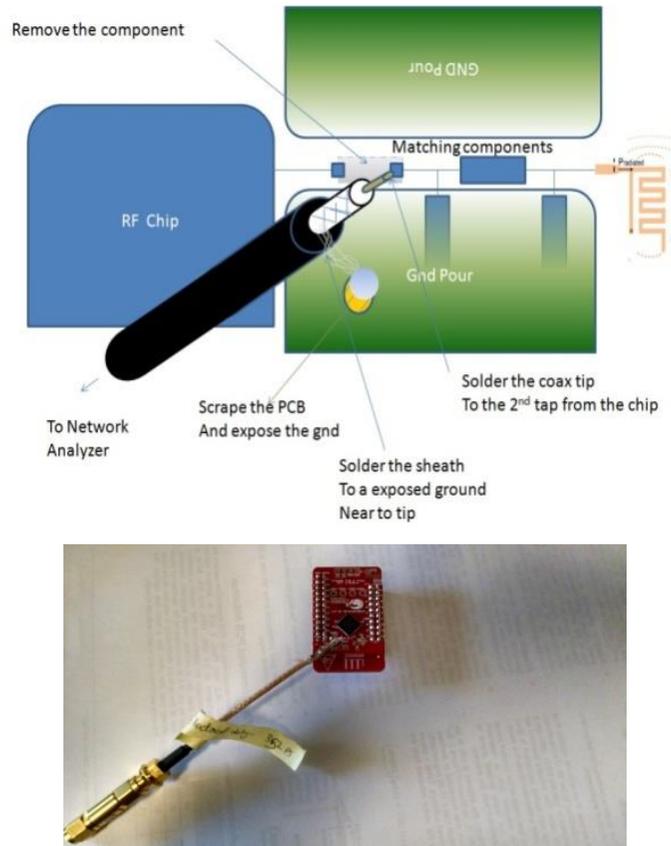
1. 准备 ID
2. 设置并校准网络分析仪
3. 调试 PCB 空板
4. 使用塑料和人体接触来调整调试
5. 通过将芯片置于接收模式来调谐无线电端

15.1.1 准备 ID

该步骤非常重要，因为同轴电缆的放置情况会使 S_{11} 的变化值为 3 dB。尽量使同轴电缆屏蔽的接地连接靠近传输线返回路径。请执行以下操作：

1. 打开塑料外壳，去掉电池或断开供电电源。
2. 使同轴电缆接近芯片的射频输出引脚。断开芯片连接。否则，不仅仅是天线，就连 Balun 也会连接到同轴电缆。请参见 [Figure 39](#)。
3. 请确保，有一个裸露接地层靠近同轴电缆头。将电缆的屏蔽或外壳接地。
将该屏蔽/外壳接地时，尽量缩短它与地面间的距离。该距离越小，调试准确度就越高。根据同轴电缆接地的位置，回波损耗测量的差值可为 3 dB。
4. 将一个 10 pF 的电容从 50 Ω 参考点的第一个焊盘连接至天线末梢。
要在同轴电缆和天线之间始终连接一个电容。这样能够阻止网络分析仪的直流电。

Figure 39. 同轴电缆的连接点



15.1.2 设置并校准网络分析仪

1. 使用 3.5 mm 校准套件进行校准。接下来，将网络分析仪的校准套件设置为 3.5 mm 后，按下 Agilent 8714ES 上的 cal (校准) 按键。您也可以使用其他校准套件，如 N 型校准套件。
2. 按下频率按键，分别将启动频率和停止频率设置为 2 GHz 和 3 GHz，将格式设为 Smith 图表。
3. 按下 marker (标记) 按键，将各标记的频率分别设为 2.402 GHz、2.44 GHz 和 2.48 GHz。
4. 按下 cal (校准) 按键，选择网络分析仪上的 S11 并将其设为用户 1 端口校准。
5. 要求连接“open”加载时，请连接“Open fixture”，并按下“measure standard”。
6. 连接“Short Fixture”并按下“measure standard”。
7. 连接至“broadband load”，并按下 measure standard。然后网络分析仪会计算系数，并将 50 Ω 负载显示在 Smith 图表上，明确标记为 50,0。
8. 通过按下‘scale’按键并正确设置电气延迟，可连接调试同轴电缆和设置电气延迟。

15.1.3 调试 PCB 空板

有两种方法可以调整天线使其接近 50 欧姆。

1. 通过切断多余的长度来调整天线的长度 (如果它是 PCB 走线或导线天线)
2. 使用匹配网络 (推荐做法)

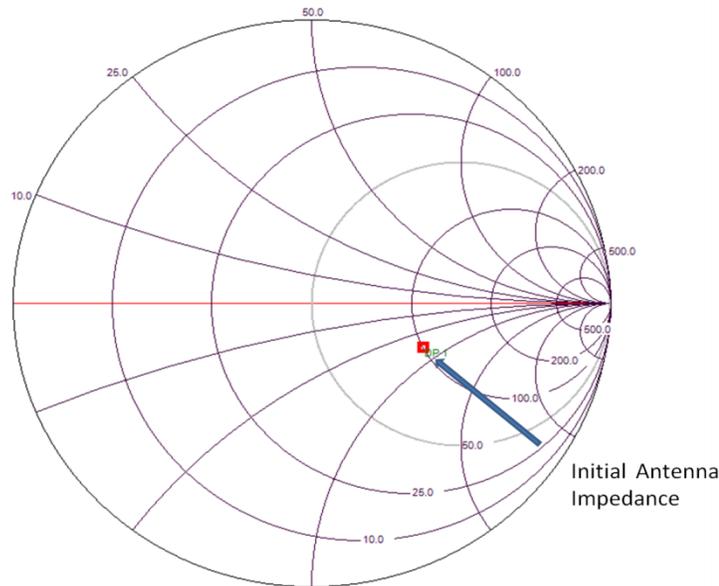
对于 PCB 走线天线或导线天线，通过刮掉天线走线末端的多余长度来调整 PCB 走线天线的长度通常更容易。为此，建议将天线的长度保持比赛普拉斯推荐的长度稍长一点，然后再切割长度以获得 2.4 GHz 左右的谐振。这是一种粗糙的方法，不需要任何额外的组件。

然而，匹配网络方法是最广泛使用的方法，因为它为将来实现用于传递 EMI / EMC 的附加滤波提供了灵活性并具有更好的可重复性。但是，匹配网络方法需要专业知识。请联系赛普拉斯技术支持部门以调整对大批量制造的支持。使用以下步骤使用匹配网络方法调整空白 PCB。

一旦阻抗被测量，Appendix B 提供了一种系统的方法来设计匹配网络。本节描述了使用匹配网络组件进行天线或无线电调谐的示例。本文假定读者对史密斯图有一定的了解。

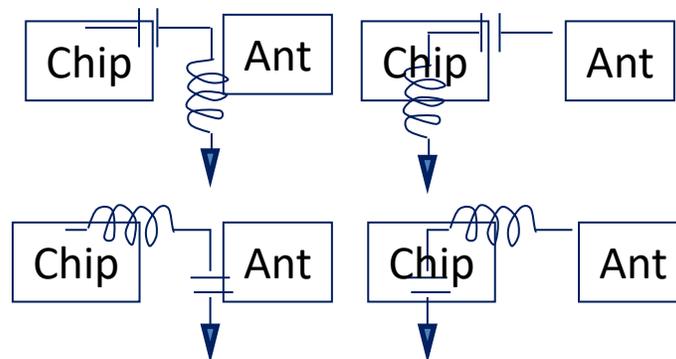
1. 将一个 8.2-pF 或 10-pF 的电容器与天线串联。在感兴趣的频段中，它表现为 $0\ \Omega$ 。这给了天线阻抗。天线阻抗为 $(100.36 - j34.82)$ ，如史密斯圆图中的点所示。

Figure 40: 仅针对天线的 Smith 图表



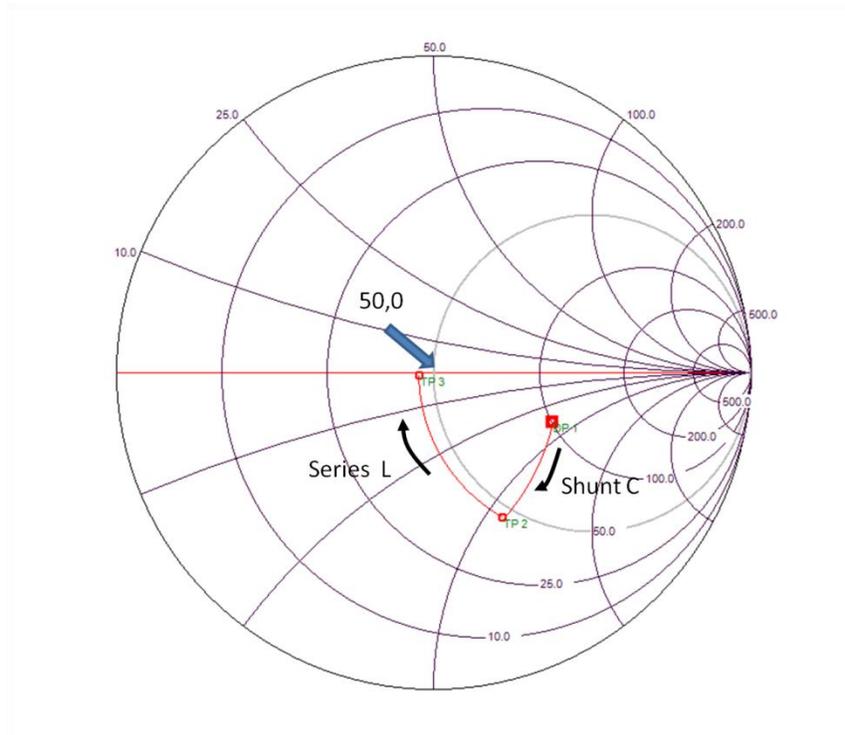
2. 确定天线阻抗后，通过执行阻抗变换，使用 L-C 组件使其达到 $50\text{-}\Omega$ 阻抗。
3. 阻抗变换网络是将一个阻抗值转换为所需阻抗而不消耗任何功率的网络。参考 L 和 C 谐振网络的阻抗变换特性。在不涉及匹配网络的细节的情况下，我们可以说大部分匹配 MIFA 或 IFA 的匹配网络 (Figure 41) 可以由两个组件来满足。

Figure 41. 匹配网络



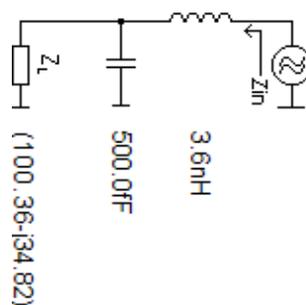
可以使用标准的开源工具 (如 Bern 研究院的 Smith V3.10) 对匹配网络组件进行仿真。通过将 $0.45\ \text{pF}$ 的并联电容和 $3.6\ \text{nH}$ 的串联电感连接到天线，可以将天线阻抗转换为 $50\ \Omega$ ，从而能够在所需的频带中去除虚拟部分。由于准确值不可用，因此我们要选择一个 $0.5\ \text{pF}$ 的并联电容和一个 $3.6\ \text{nH}$ 的串联电感。

Figure 42. 在 Smith 图表中转换为 50 Ω



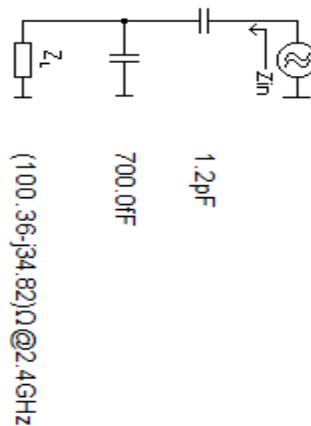
以下显示的是匹配网络的最终原理图。Z_L 表示阻抗为 0 欧姆时天线的阻抗。Z_{in} 指的是输出阻抗为 50 欧姆时网络分析仪观察到的阻抗。

Figure 43. 理论匹配网络



仿真软件有助于了解组件值。但实际组件值与仿真值的差别很大。出现这种情况是因为频率为 2.4 GHz 时，电容的走线间电感、焊盘的寄生加载以及接地返回路径构建了一个附加的寄生回路，从而完全改变了 Smith 图表。对于该应用，需要选择一个 0.7 pF 的电容和一个 1.2 pF 的串联电容，以得到谐振。在标准组件 2.4 GHz RF 调谐中，这非常普遍。

Figure 44. 实际的匹配网络



下面是该操作的简要说明。

天线阻抗来自假定阻抗为 0 欧姆的 8.2 pF 电容器。此外，该图也显示了频率为 2.4 GHz 时走线间电感的寄生电容。接地返回路径紧挨着该天线。但由于使用了匹配组件，接地返回路径将有额外的寄生电容。这样天线的电感会很大，所以要添加几个电容器以调整该电感。这是调整天线时遇到的典型问题。理论与实践间存在着明显的差别。用户可添加一个电容器，但请注意，如果添加某个电感，Smith 图会向一定的方向移动。Figure 45 显示的是使用实际组件的最终 Smith 图表。

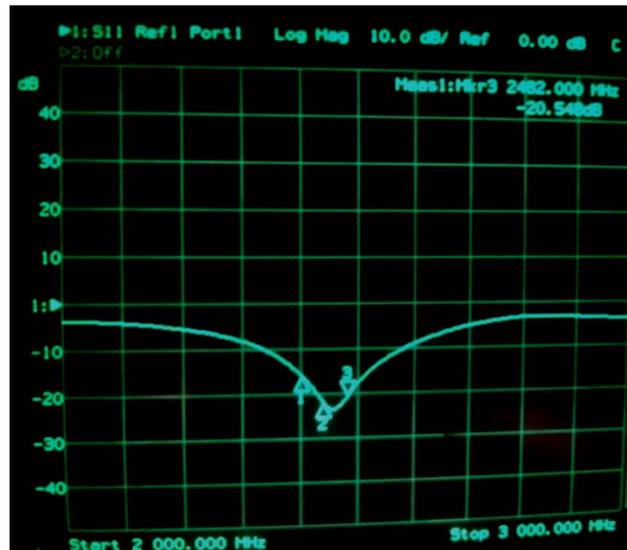
Figure 45. 使用实际组件的 Smith 图表



Figure 45 也显示了频率分别为 2402 MHz、2440 MHz 和 2480 MHz 的标志点 1、2 和 3 接近 Smith 图表上的 (50,0) 点。此图显示的是一个良好的匹配。

下面制图显示了组件值的回波损耗。大于 15 dB 的回波损耗符合我们的应用。

Figure 46. 使用实际组件时的回波损耗



如同 Figure 46,所示,标志 1、2 和 3 的回波损耗大于 15 dB。

15.1.4 使用塑料和人体接触来调整调试

PCB 上的塑料外壳改变了天线的调谐。任何天线都可能因近场物体而受到影响。近场是接近天线的区域,这里的场还没有形成。磁场和电场彼此不正交。它需要距离天线 4 毫米的距离才能形成适当的辐射电场和磁场。在这个距离之后,远场开始。在远场区域,电场和磁场彼此正交。远场区域中的辐射图相对于角位置保持相同。近场障碍物会使天线失调,并可能结束天线辐射。如果它是窄带天线,则其近场中的物体很有可能会干扰天线。

附近运行的塑料外壳或电池电缆可将天线完全失谐,并将感兴趣的频段从 2.402 GHz 降至 2.482 GHz,但其回波损耗可能低于 10 dB。因此,在空白 PCB 调整完毕后,必须将 PCB 保存在塑料外壳中,然后用手在设备上再次检查调谐情况。这很麻烦,特别是从塑料组件出来的同轴电缆。通过在 ID 上钻一个小孔,可以取出同轴电缆。最后,使用塑料检查调音,并且将手放在塑料上,模拟用户对设备的操作。观察到对回波损耗的影响很小。

Figure 47. 使用塑料装置时的 Smith Chart, 连接至 ID 的图表



15.1.5 通过将芯片置于接收模式来调谐无线电端

无线电调谐与第 13.1.3 节所述的裸 PCB 调谐类似。对于无线电调谐，天线侧断开，网络分析仪连接到 50 欧姆参考点。芯片通电并处于连续接收模式。通过使用史密斯圆图，对匹配元件进行调整，以便从网络分析仪看到芯片的 50 欧姆。

最后，我们在参考点处看到 50 欧姆的天线，从参考点看芯片的 50 欧姆。因此，我们通过确保两边是彼此的复共轭来确保最大功率传输。

16 RF 传输线

RF 传输线是通过结构化路径将 RF 功率从源传输到负载的介质。传输线路需要遵循一定的规则，以实现从电源到负载的电力传输，同时损失最小。虽然有几种类型的传输线，但在 PCB 上，两种最常见的传输线类型是：

- 微带线
- 共面波导 (CPWG)

这些都是 PCB 走线，只是它们的构造方式不同。这些传输线在高频下很流行，因为它们简单，经济高效，并且有大量工具来计算其电参数。在传输线路中，射频功率的传输是作为电磁场而不是低频电流来进行的。在这两条传输线路中，一部分电磁场存在于空气中，另一部分存在于基板中。空气的介电常数为 1，而基板的介电常数 > 1 。因此，传输线的有效介电常数小于基板本身的介电常数。

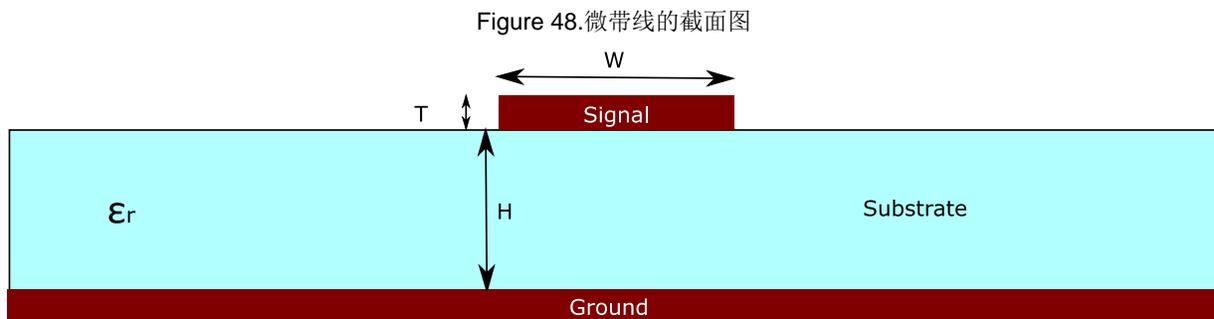
作为 PCB 设计人员，您应该确保传输线使用的 RF 走线具有 50 欧姆的特性阻抗。几种布局和设计软件包包括阻抗计算工具。还有几种免费工具，如 AppCAD 和 Quacs，可以根据 PCB 参数计算特征阻抗。以下是一些用于阻抗计算的免费在线工具的链接：

- <http://www.eeweb.com/toolbox/microstrip-impedance>
- http://www.mantaro.com/resources/impedance_calculator.htm

16.1 微带线

微带线在基板顶部具有信号迹线，基板下具有接地层。Figure 48 显示了微带线的横截面的快照。以下主要因素影响微带线的特性阻抗：

- 基板高度 (H)
- 基板的介电常数 (ϵ_r)
- 迹线宽度 (W)
- 射频迹线的厚度 (T)

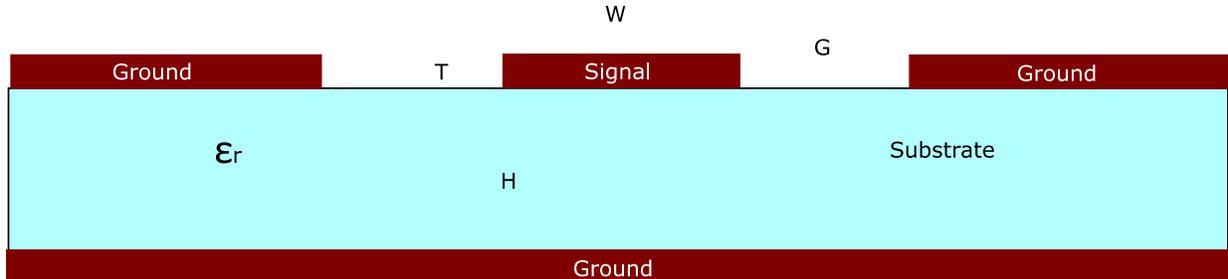


微带线的构建，模拟和制造都很简单。对于给定的基板，微带的有效介电常数大于共面波导的有效介电常数。与共面波导相比，这导致相对紧凑的布局。

16.2 CPWG (带底部接地)

CPWG 与微带相似，但它在 RF 迹线的任一侧填充了铜，两者之间有空隙，如 Figure 49 所示。

Figure 49. 具有底部接地层的 CPWG 的横截面视图



CPWG 的特性阻抗取决于以下因素：

- 基板高度 (H)
- 基板的介电常数 (ϵ_r)
- 迹线宽度 (W)
- 迹线与相邻接地填充物之间的间隙 (G)
- 射频迹线的厚度 (T)

由于以下原因，CPWG 可能优于微带：

- 它为 RF 走线提供了更好的隔离和更好的 EMI 性能。
- 它更容易支持射频迹线上分流元件的接地。
- 它减少了与其他迹线的相互干扰。
- 与微带线相比，它在非常高的频率下具有低损耗。

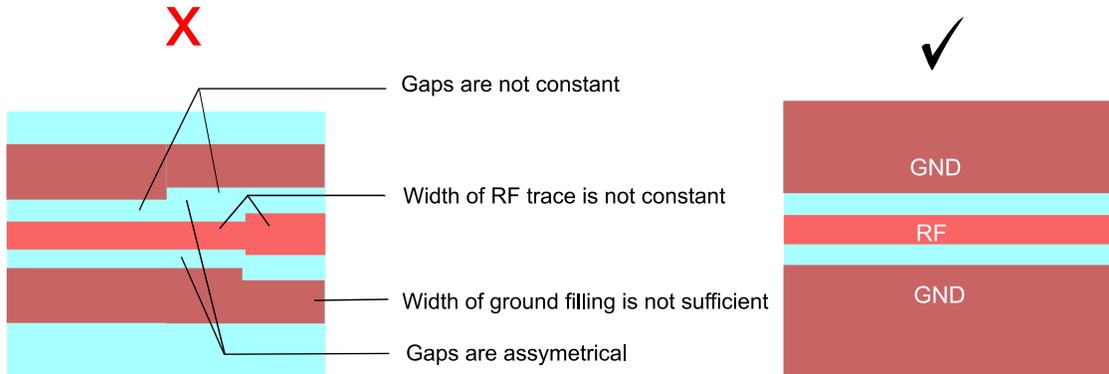
16.3 RF 迹线布局注意事项

以下是射频迹线设计的指导原则：

- 计算 50 欧姆特性阻抗所需的走线宽度时，选择正确的传输线 (微带或 CPWG)。
- 确保 RF 走线具有 50 欧姆的特性阻抗。使用阻抗计算器来计算给定叠层所需的迹线宽度和间隙。
- 整个迹线的特征阻抗必须保持不变。因此保持 RF 迹线的恒定宽度。对于 CPWG，在 RF 迹线和相邻的接地之间保持恒定的间隙。
- 对于 CPWG，确保顶层中的接地之间的间隙小于基板的高度；否则，迹线将主要是微带线。
- 对于 CPWG，确保迹线任一侧的接地灌流区域比接地之间的缝隙宽。

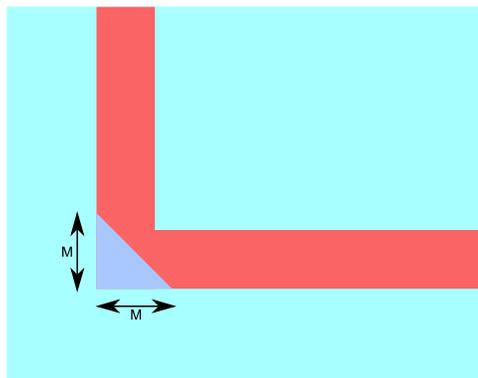
Figure 50 和 Figure 52 显示了射频迹线设计中的一些常见错误以及相应的正确方法。

Figure 50. 射频迹线中的常见错误



- 确保射频走线下面有干净，不间断的接地，而无需穿过射频走线的任何其他走线，以便为射频电流提供正确的返回路径。
- 保持射频迹线的最短可能长度，因为下面的迹线和基板衰减与长度成比例的射频信号。
- 避免在 RF 走线中弯曲。如果弯曲是不可避免的，请使用弧形弯曲而不要使用锐弯以保持均匀的宽度。对于直角转弯，可以进行调节，如 Figure 51 所示。

Figure 51. 直角转弯调节



这确保了弯曲部分的阻抗是连续的。

$$M = W(1.04 + 1.3 * e^{-1.35 \frac{W}{H}})$$

其中

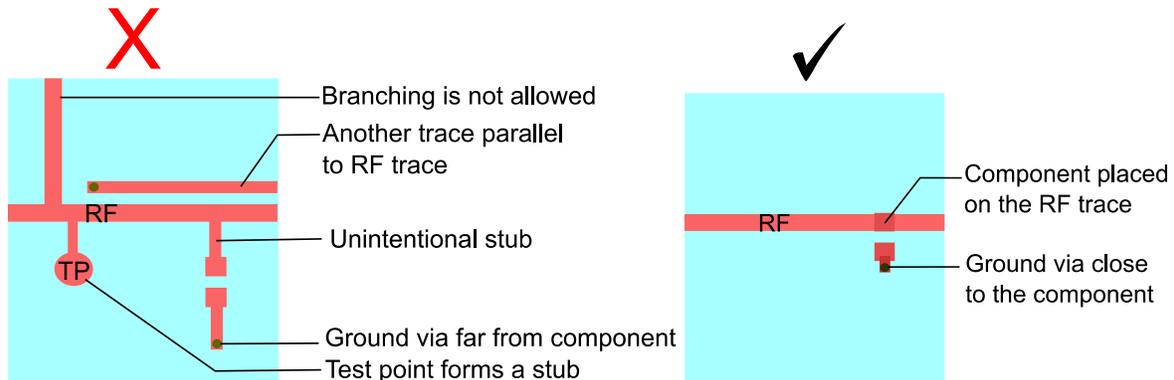
M 是斜接的宽度。

W 是射频走线的宽度。

H 基板的高度。

- 避免射频迹线中存在短路或分支。短线具有电抗阻抗并影响阻抗匹配。在遵循参考设计的同时，确保元件按照参考设计中所示的精确方式放置在 RF 走线上。例如，从 RF 走线取一个分支来放置一个分流元件将改变阻抗匹配；在这种情况下，使用与参考设计中相同的元件值可能在新设计中不适用。
- 不要将任何其他走线靠近并平行于 RF 走线。这导致迹线之间信号的相互耦合。
- 不要在 RF 走线上放置测试点。它们充当短线并影响阻抗匹配。

Figure 52. 短线，测试点和平行迹线



17 PCB 堆叠

17.1 四层 PCB

赛普拉斯强烈建议在所有 RF 设计中使用四层板。四层印刷电路板提供了完整的接地和电源平面以及更简单的信号路由。对于四层 PCB 使用以下叠层：

顶层 射频 IC 和组件，RF 走线，天线，去耦电容和其他信号

第 2 层 接地面

第 3 层 电源层

底层 非射频组件和信号

完整的电源层提供低电阻和分布式去耦电容以及接地层。50 欧姆特性阻抗的射频走线宽度取决于射频走线与其下面的接地层之间的基板厚度。相同板厚的 PCB 可能在金属层之间具有不同的间距，这可能因制造商而异。建议您在设计之前咨询 PCB 供应商并获取堆叠。当更换 PCB 供应商时，如果新供应商不提供相同的堆叠，需要使用新堆叠计算获得 50 欧姆阻抗所需的 RF 迹线宽度，并且需要将布局中的 RF 迹线修改为新的宽度。

17.2 两层 PCB

通常选择双层板以实现更简单和成本敏感的应用。使用时，它们应尽可能薄，因为给定特性阻抗的 RF 走线宽度与基板高度成正比。因此，较厚的 PCB (大于 0.8 毫米) 会导致更宽的射频走线，并使信号路由变得困难。更宽的 RF 走线还会触发虚假寄生波模式。

为了布线电源，仅在顶层上使用厚迹线。

对于双层板使用以下计划：

顶层 射频 IC，所有组件，RF 走线，天线，去耦电容，电源，和其它信号

底层 坚固接地平面

如果底部不可能有完整的接地层，请尝试确保整个无线电部分下方有完整的接地层。

18 接地平面

RF PCB 设计中，接地层非常重要。RF 信号的返回路径位于 RF 走线下方的接地层中。为了获得良好的 RF 性能，返回路径应该不间断且尽可能宽。如果接地平面中断，返回电流会在中断周围发现下一个最小的路径。这形成一个电流回路，增加不需要的电感，影响无线电和天线之间的阻抗匹配，并显著衰减 RF 信号。如果 RF 走线下方的接地层很窄，它不会像微带线那样工作，并且可能有更多的信号泄漏。

18.1 接地平面注意事项

- 不要在接地平面上的 RF 迹线上有迹线。最好将一层完全专用于接地，即使是双层 PCB。
- 将顶部和底部的未使用区域填满，并将其与接地平面连接，许多过孔的间距不超过工作频率波长的二十分之一。
- 不建议为 CSP 封装使用双层电路板，因为信号需要通过第二层引出。这使得 RF 信号难以设计不间断的接地层。
- 除非您确保回路中的电流没有电流回路形成，否则不要有分流接地。
- 允许 RF 走线下方有宽敞的接地层。狭窄的接地层允许寄生传播模式并增加泄漏。
- 底部接地平面与两个接地平面之间的顶部接地平面和过孔一起确保所有迹线均被良好屏蔽。这种安排显着提高了 EMI 和 EMC 性能。
- 建议使用连接电源层两侧接地层的通孔来覆盖电源层的角落。这有助于阻止任何通过电路板边缘从电源平面发出的不需要的 EMI。

19 电源解耦

电源需要去耦电容来滤除 IC 噪声，以防止其到达其他器件，反之亦然。无线电中的电源噪声会增加频率合成器的相位噪声，导致信号质量差。它可能会导致射频输出的不稳定性，导致不希望的干扰和杂散辐射超过监管限制。在接收器中，它增加了分组错误并降低了灵敏度。

可能需要多个并联电容来滤除不同频率下的噪声。电容在自谐振频率 (SRF) 处阻抗最小。因此，电容器在其 SRF 周围最有效。为了提供最佳的噪声隔离，最好是识别所有噪声频率元件，查阅电容器数据表，并选取具有接近这些频率的 SRF 的电容器。

此外，最好提供一个能够满足 IC 突然涌入电流需求的大电容 (例如在 RF 传输或接收开始时)。电容的值取决于浪涌电流和允许的电压下降量。可以使用以下公式来计算在持续时间 dt 内电压下降 dV 时支持 I 浪涌电流所需的电容 (C)：

$$C = I / (dV / dt)$$

例如，为了支持从 3.3 V 的最大 300 mV 下降 15 μ s 的浪涌电流，需要的电容为 1 μ F。

对于 PSoc 4 BLE / PRoC BLE，建议在所有电源引脚上使用 0.1 μ F 电容，并为每个网络使用 1 μ F 的大容量电容 (一个用于 VDDD，一个用于 VDDA，另一个用于 VDDR)。此外，建议在引脚 15 上为 QFN 封装提供一个 10pF 的去耦电容，为 CSP 封装提供引脚 J6 以滤除电源上的任何 PLL 噪声。

对于具有蓝牙低功耗 (BLE) 连接的 PSoc 6 MCU，建议 VRF 使用 3.3 μ F 电容，VDCDC 使用 2.2 μ F 电容，VBUCK1 使用 4.7 μ F 电容，VDD_NS 使用 10 μ F 去耦电容，0.1 μ F 电容。对于具有蓝牙低功耗 (BLE) 连接的 PSoc 6 MCU 的所有其他电源引脚，建议使用 1 μ F 和 0.1 μ F 电容。使用低 ESR 电容器进行有效的去耦。

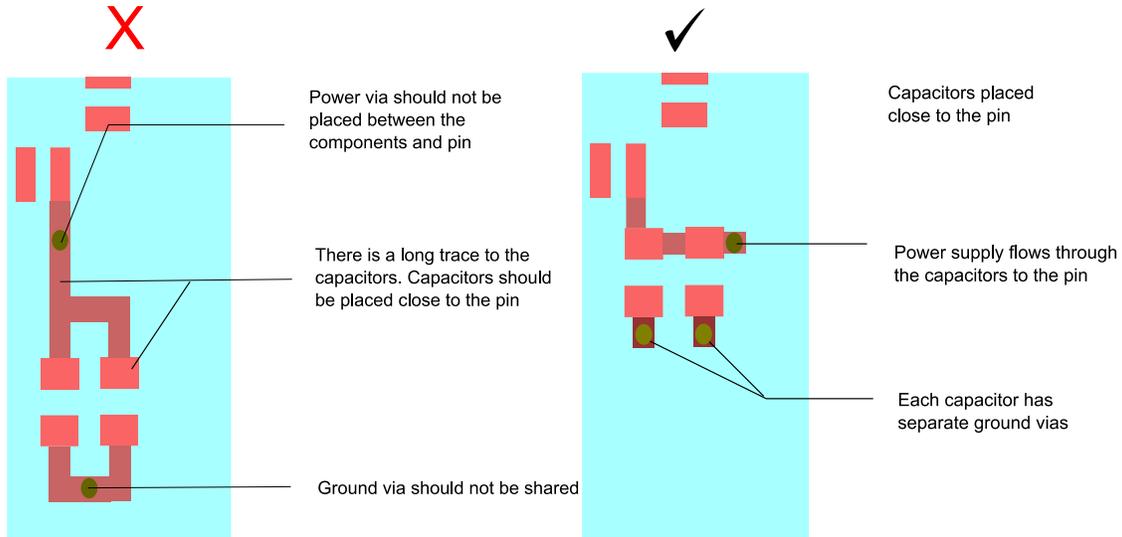
19.1 电源解耦布局注意事项

布置电源走线时请注意以下最佳实践：

- 将组件尽可能靠近电源引脚。
- 将最小值电容放置在离电源引脚最近的地方。
- 将去耦电容放置在与 IC 相同的层上。如果无法将所有电容器放置在同一层上，请优先考虑较小的值。
- 电源应通过去耦电容流到 IC 的电源引脚。避免在组件和引脚之间使用电源通孔。
- 为每个去耦电容使用单独的过孔接地。不要共享过孔。
- 对于具有单独电源层的四层电路板，对于每个电源引脚使用独立的过孔电源层。建议不要共享过孔。

- 与电源去耦有关的一些常见布局问题如 Figure 53 所示。

Figure 53. 电源去耦错误



20 过孔

过孔对于实现多层板中各层间的信号连接至关重要。但是，它们是高度寄生的，如果使用不当，会对 RF 频率造成严重破坏。例如，在电路的两个不同部分之间共用通孔会增加它们之间的共模噪声。远离分流器组件放置的接地过孔会改变在迹线处看到的器件阻抗，导致阻抗不匹配。在高频下，寄生电感将导致过孔具有相当大的阻抗。

以下指南有助于确保正确的 RF 布局：

- 在顶层和内部接地层的接地填充物之间使用大量间距不超过 RF 信号波长的二十分之一的过孔。
- 将接地过孔立即放置在顶层的引脚/焊盘旁边。尽可能放置更多过孔。并联更多的过孔可减少寄生电感。
- 不要与多个引脚或焊盘共用一个过孔。为每个引脚或焊盘分别设置过孔。
- 避免使用过孔将 RF 迹线路由到不同的层。
- 为 QFN 封装中的中央接地焊盘提供大量过孔。这可以最大限度地减少寄生电感，并使 IC 看到与电路板其他部分相同的接地。
- 尽可能使用过孔在射频部分周围形成一个接地栅栏，以隔离电路的其余部分。

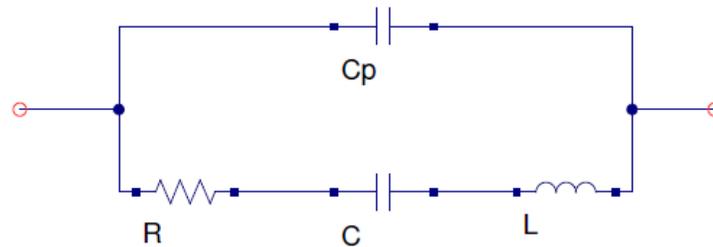
21 电容器和电感器

本节介绍高频电容和电感的非理想行为，并帮助您选择合适的电容和电感用于匹配网络，DC 模块，晶体和电源去耦等应用。

21.1 电容器

除了预期的电容外，所有电容器还包含寄生电阻、寄生电容和寄生电感。Figure 54 显示了典型电容器的理论模型。

Figure 54. 电容器模型



C 是电容器设计的电容。由于电容 (Cp) 引起的电抗 (Xc) 和寄生电容 (Cp) 引起的电抗 (XCp) 分别为

$$X_C = \frac{-1}{2\pi f C}, \quad X_{Cp} = \frac{-1}{2\pi f C_p}$$

从等式中可以看出，电容的电抗随着频率的增加而降低。Cp 是通常非常低的寄生电容。因此，该元件的电抗在低频下非常高。由于该元件与主电容并联，因此在低频下，Cp 没有影响。

通过电容器的电流变化引起电容器周围的磁场变化，其中一部分由导体感应，引入 EMF，反抗电流的变化导致寄生电感。这个寄生电感的电抗是

$$X_L = 2\pi f L$$

寄生电感的电抗随频率增加。通常 L 在电容器中是非常小的值；所以，在低频率下，XL 可以忽略不计。

R 是电容器的有效串联电阻。它通常是一个非常低的值。

电容的有效阻抗是

$$X_{\text{eff}} = \frac{((X_L + X_C + R) * X_{Cp})}{(X_L + X_C + R + X_{Cp})}$$

在低频时，XCp 非常高，有效阻抗为

$$X_{\text{eff}} = X_L + X_C + R$$

在低频时，电路主要是电容式的。Xeff 与 XC 几乎相同。但随着频率的增加，XC 持续下降，XL 持续增加。最后，在某个频率下，XL 等于 XC，电容的阻抗等于 R。该频率是电容器的串联谐振频率 (SRF)。

当选择电容器进行阻抗匹配时，请确保 SRF 远高于工作频率。这确保了电容器的电抗因为公布的电容值而占优，并且有效电抗不会被寄生电感降低。

在选择去耦电容器时，最好选择具有接近噪声频率的 SRF 去耦的值。这确保了噪声寻求一个低阻抗接地路径。

在更高的频率下，电抗 XCp 变得等于另一个电抗臂的电抗 (现在大部分等于 XL)。在这个频率下，电容器表现得像开路。该频率是并联谐振频率。避免在并联谐振频率下使用电容器。

电容器的品质因数

电容器 (C) 的品质因数 (Q) 是在给定频率 (f) 下电容器的电抗与其电阻 (R) 的比值。

$$Q = \frac{1}{2\pi fCR}$$

高 Q 电容器具有较少的不需要的电阻。确保在 RF 电路的工作频率下使用高 Q 值电容; 否则, 射频能量会作为热能浪费在电容器的电阻中。

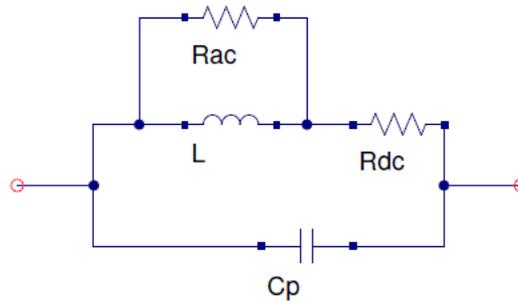
21.1.1 电容器推荐

- 对于匹配网络的组件, 只能使用 C0G / NP0 电容器。这可确保匹配网络在整个温度范围内不发生变化。
- 对于晶体负载, 只能使用 C0G / NP0 电容。这确保了时钟定时和 RF 频率在整个温度范围内不会改变。有关晶体的更多详细信息, 请参见 [AN95089 - PSoC 4 / PSoC BLE 晶体振荡器选择和调谐技术](#)。
- 对于匹配网络, 选择在远低于 SRF 时工作正常的电容器。
- 射频电路只能使用高 Q 电容。
- 对于去耦电容, 可能不需要 C0G 电容的精度。通常使用 X5R 或 X7R 电容器 (取决于温度范围)。使用低 ESR 电容器进行有效的去耦
- 对于去耦电容, 选择在噪声频率下具有 SRF 的元件值。
- 建议使用较小的元件 (0402 或 0201), 因为它们的寄生电抗较小。
- 将直流模块添加到已匹配的射频走线时, 最好使用 SRF 接近工作频率且 ESR 较低的电容, 因为 SRF 的电容有效电抗变为零。所以它不会改变阻抗匹配。

21.2 电感器

除电感外，电感器还包含寄生电容和寄生电阻。Figure 55 描述了一个真实电感器的模型。

Figure 55. Inductor Model



R_{dc} 是欧姆电阻，因为电感的导电性是有限的。 R_{ac} 是代表电感磁芯损耗的频率相关电阻。寄生电容是电感线圈之间电容的结果。 R_{ac} 在低频时非常高，通常被忽略。电感的有效阻抗是

$$X_{eff} = \frac{X_{Cp} * (X_L + R_{dc})}{X_{Cp} + X_L + R_{dc}}$$

寄生电容在低频时具有非常高的阻抗，对整体阻抗影响很小，因为它与电感平行。随着频率的增加，由电容 (X_{Cp}) 产生的阻抗减小，并且由电感产生的阻抗增加 (X_L)。 X_L 和 X_{Cp} 最终在某个频率上变得相等。该频率是电感的自谐振频率 (SRF)。由于 R_{dc} 通常非常低，因此电感器在此频率下表现为开路或高阻抗。

匹配网络中使用的电感器 (电感值非常重要) 应该具有远高于工作频率的 SRF。当电感器用于电源滤波时，选择 SRF 接近噪声频率的电感值是明智的选择。

电感器的品质因数

电感器 (L) 的品质因数 (Q) 是在给定频率 (f) 下电感器的电抗与其电阻 (R) 的比值。

$$Q = \frac{2\pi fL}{R}$$

确保在匹配网络中使用的工作频率的 Q 因数为高很重要。Q 值较低的电感具有很大的阻抗。在使用低 Q 元件时，在匹配网络中，即使阻抗匹配不好，也可能误导 S11，因为大部分能量不会传递到负载，而是作为热量在电阻中浪费。

21.2.1 电感器推荐

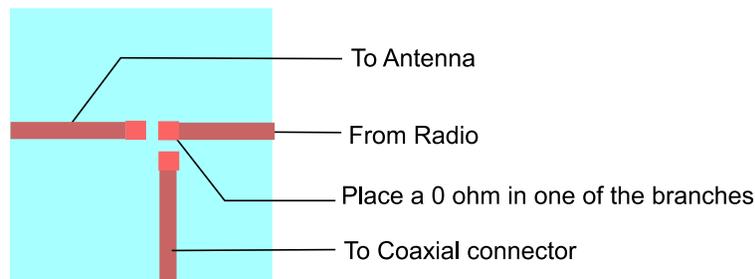
- 对于匹配网络，只使用 SRF 远高于工作频率的高 Q 电感。
- 对于电源滤波，请使用 SRF 接近噪声频率的电感。
- 不要将电感平行放置并彼此靠近。它们之间的互感引起串扰。让电感器或无关联部分彼此正交。
- 射频陶瓷电感器成本效益高，SRF 高，但 Q 和电流容量更低，尤其是对于值更高的电感器。请参阅电感器数据手册并确定在 2.4 GHz 下 Q 值是否足够好，然后再使用它。
- 绕线电感器具有较低的直流电阻，因此具有较高的 Q 和电流容量。对于高值电感器，线绕电感器优先于陶瓷电感器使用。

22 可检验性设计

测量射频参数，如发射功率电平、接收机灵敏度或误包率 (PER)，以验证组件装配的正确性。但是，RF 部分不能使用常规测试方法进行测试，例如电路内测试，因为不建议在 RF 迹线上放置测试点。

- 整个无线电路径可以通过使用 Anritsu MT8852B 或 R & S CBT 测试仪等 BLE 测试仪测量射频参数进行间接测试。
- 更便宜的选择是使用黄金板 (GB) 作为测试仪，并在预先校准的衰减下测量 PER，使接收功率电平达到可接受的灵敏度极限。双向执行 PER (DUT 到 GB 和 GB 到 DUT) 确保接收器和发送器都良好。
- 对于所有辐射测试，建议将发射器和接收器放在法拉第笼或屏蔽室等受控环境中。应通过测试设备配置空中和电缆的损耗。所有设备必须保持发射器和接收器之间的距离以及它们彼此的方向。
- 监管测试包括引导测试，如果提供连接器 (U-FL, MMCX 或 SMA) 可能会有所帮助。该连接器不需要在最终制造中增加。通过适当的规划，连接器还可以帮助验证匹配网络。
- 当为 RF 连接器采取分支时，布置走向天线的走线和走向分支的走线，以便在隔离走线时，另一走线不会充当短线。Figure 56 给出了一个例子。

Figure 56. 支线示例

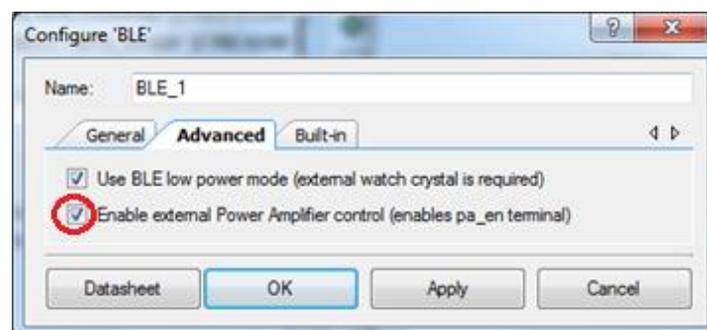


23 支持外部功率放大器/低噪声放大器/ RF 前端

某些应用程序可能需要比芯片组通常支持的范围更高的范围。在这种情况下，可以使用外部功率放大器和/或低噪声放大器来提高链路预算。在 2.4 GHz 时，有很多前端 IC 包括功率放大器、低噪声放大器以及控制它们所需的开关和控制。这些控制需要根据实际的发送和接收时间精确定时。如果产品必须保持 BLE 兼容，请确保发射功率电平不超过 20 dBm。

PSoC 4 BLE / PRoC BLE 具有控制信号，用于控制需要额外范围的应用的外部功率放大器。信号 EXT_PA_EN 在端口 5.0 上可用，在传输期间为高电平有效，否则为低电平。该信号可用于启用功率放大器，并在发送路径和接收路径之间进行选择。这可以在 BLE 组件的“高级”选项卡中启用。

Figure 57. 启用 BLE 组件中的外部 PA/LNA 控制信号



有关具有蓝牙低功耗 (BLE) 连接的 PSoC 6 MCU 的外部功率放大器/低噪声放大器支持的配置详细信息，请参见应用笔记 AN218241 - PSoC 6 MCU 硬件设计注意事项。

24 支持与 WiFi 共存

能否承受来自其他无线电的干扰取决于无线电彼此之间的隔离程度以及无线电的阻塞特性。

为了在共存无线电的情况下实现最佳性能，请尝试在空间、频率和时间方面实现尽可能高的隔离度。

24.1 空间隔离

天线是无线电中的发射/接收元件。为了使共存无线电之间的干扰最小化，有必要尽可能地隔离天线。要增加天线之间的隔离度，请遵循以下准则。你需要有一些天线的知识才能达到这个目标。

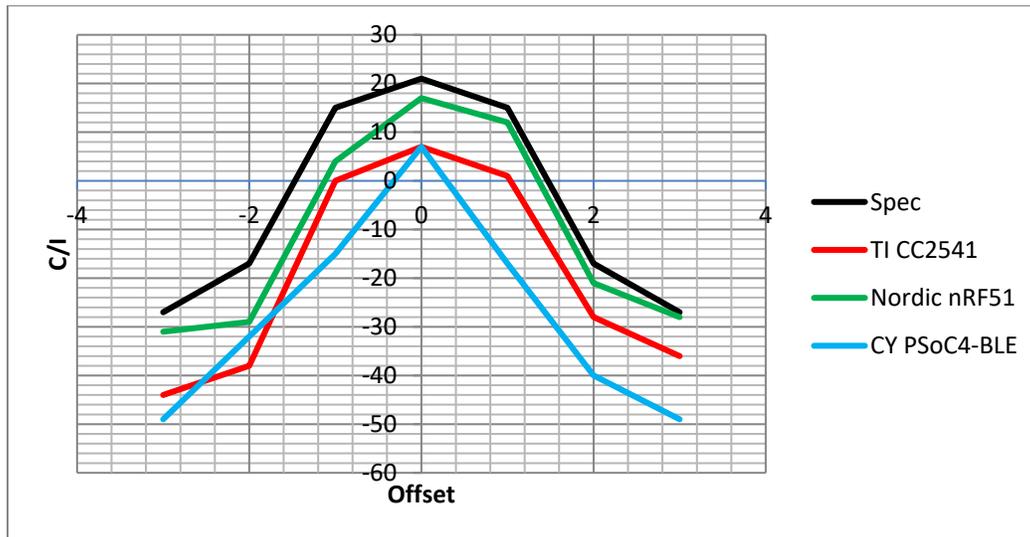
- 将 BLE 天线和 Wi-Fi 天线尽可能分开。
- 对于线性极化的天线，将天线定向为使它们彼此电气正交。
- 如果可能的话，调整天线的方向以使天线的零点方向共线。
- 在电路板的 BLE 和 Wi-Fi 部分之间通过围栏放置，以减少通过 PCB 的泄漏。

24.2 频率隔离

BLE 执行自适应跳频。跳频确保 BLE 数据包在不同的时间在不同的频道上传输，并且对单通道 (如 Wi-Fi, ZigBee) 工作的无线电有更好的免疫力。自适应跳频确保避免具有较高干扰的信道，并且跳频仅发生在具有低干扰的信道子集中。

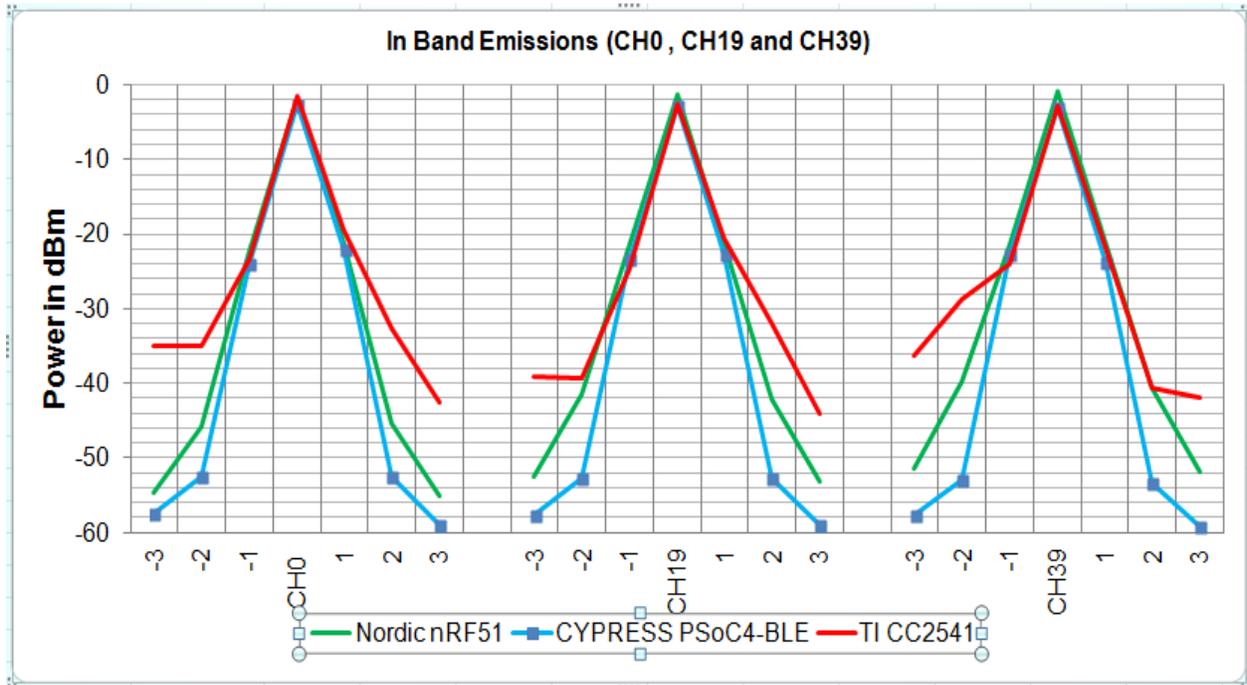
只有当 BLE 无线电的接收机在 2.4GHz 频带内具有良好的选择性/阻塞时，自适应跳频才有效。PRoC BLE / PSoC 4 BLE 在 BLE 市场中提供了最佳的阻塞规范，从而在干扰或与其他无线电共存时获得最佳性能。请参阅 Figure 58，以便与流行的 BLE IC 进行比较。

Figure 58. PSoC 4 BLE / PRoC BLE 与其他 BLE 芯片组的 C/I 性能



PSoC 4 BLE / PRoC BLE 在 BLE 市场中也具有最低的 n 波段杂散发射。低带内杂散发射确保了共存 Wi-Fi 的接收因 BLE 传输而受到的影响最小。请参见 Figure 59 以与其他产品进行比较。

Figure 59. BLE PSoC 4 BLE / PRoC BLE 与其他 BLE 芯片组的带内杂散发射



24.3 时间隔离

大多数 Wi-Fi 芯片组都支持通过某些控制信号控制与其他无线电的共存。PSoC 4 BLE / PRoC BLE 可以生成这些控制信号，以控制并与板载 Wi-Fi 无线电共存。使用符合 IEEE 802.15.2-2003 标准 (无线个人区域网络与工作在非授权频段的其他无线设备共存) 的第 15.2 部分的三线接口的 Wi-Fi 共存示例项目。使用的三个信号如下：

BT_REQ: 输出引脚 - 请求 Wi-Fi 以允许蓝牙传输或接收。

BT_PRI: 输出引脚 - 指示蓝牙传输或接收的优先级。

WL_ACT: 输入引脚 - 来自 BT_REQ 的 Wi-Fi 芯片组的响应。

该项目位于 <https://github.com/yourskp/BLE/tree/master/BLE%20Coexistence>。

25 总结

本应用笔记介绍了如何使用 PSoC BLE / PRoC BLE 轻松设计用于定制产品的最佳天线。应用笔记还介绍了射频概念以及设计和布局检查清单，以推动 PSoC BLE / PRoC BLE 的成功电路板设计。此外，它记录了一些系统级要求的设计考虑因素，例如可测试性设计、使用外部功率放大器以及在同一系统中与 Wi-Fi 共存。

26 相关应用笔记

- [AN48610](#) - 用于 WirelessUSB™LP 系列的匹配网络和天线的设计和布局指南
- [AN64285](#) - WirelessUSB NL 低功耗无线电推荐用法和 PCB 布局
- [AN5033](#) - WirelessUSB 双天线设计布局指南
- [AN48399](#) - WirelessUSB LP / LPstar 收发器 PCB 布局指南
- [AN91267](#) - PSoC 4 BLE 入门
- [AN88619](#) - PSoC 4 硬件设计注意事项
- [AN91184](#) - PSoC 4 BLE - 设计 BLE 应用
- [AN95089](#) - PSoC 4 / PRoC BLE 晶体振荡器选择和调谐技术
- [AN218241](#) - PSoC 6 MCU 硬件设计注意事项
- [AN210781](#) - 具有蓝牙低功耗 (BLE) 连接的 PSoC 6 MCU 入门

关于作者

姓名: Tapan Pattnayak

职务: 高级主管系统工程师

学习背景: Tapan 于 2002 年获得印度理工学院 Kharagpur (IIT Kharagpur) 的电子工程学士学位。目前, 他在美国圣何塞的赛普拉斯半导体技术公司工作。

姓名: Guhapriyan Thanikachalam

职务: 高级主管应用工程师

学习背景: Guhapriyan 于 2002 年毕业于 Trichy 城的 Regional 工程学院, 获得电子与通信工程学士学位。他目前正在进行赛普拉斯的 BLE 产品开发工作。

Appendix A. 检查清单

在设计天线时，您可以使用 Table 7 中的清单以跟踪进度。

Table 7.最佳天线设计检查清单

检查	步骤
	根据手头的应用确定 PCB 天线类型：MIFA，IFA，线路天线或芯片天线。 见 Table 5。
	请注意所选的天线布局 (尺寸)。从 www.cypress.com/go/AN91445 下载 Gerber 文件。
	适当调整天线方向，以便在所需方向上获得最大辐射。 对于 MIFA，请参见 Figure 14。 对于 IFA，请参见 Figure 18。
	根据 PCB 厚度 (堆叠) 确定天线布局中使用的“W”值。 见 Table 2 和 Table 4。
	选择 MIFA 的天线尖端长度或腿长，Figure 15。
	检查接地！这是关键。检查 MIFA，IFA 或芯片天线的离地间隙。检查底层最小接地宽度以获得更好的 s11。请看布局图片。
	确保天线馈源下方有一个坚固的 Gnd 平面。确保芯片的 RF 输出路由像 Tline 一样。
	做好天线的 ID 准备步骤
	校准 VNA (单端口校准就足够了)。
	使用完整的产品外壳测量 S11 (dB)。 见 Figure 46。
	通过匹配网络 S ₁₁ (倾角) 调谐转移到希望的裸露 PCB 和完整产品外壳的 2.44 GHz。 参见 Figure 47。
	请注意天线的最终匹配网络组件，并将其用于批量生产。

Appendix B. 参考资料

以下参考资料提供了更详细的信息：

天线基础知识

- Constantine A. Balanis, *天线理论: 分析与设计*, 第三版. Wiley - Interscience, 2005 (第 2 章和第 5 章).
- 多折叠天线, Philip Pak-Lin Kwan, Paul Beard, 美国专利 7936318 B2
- [AN48610](#), 赛普拉斯半导体, *Wireless USB LP 系列匹配网络与天线设计和布局指南*

史密斯图表基础知识

- David M. Pozar, *微波工程*, 第四版, Wiley, 2011 (第 2 章, 第 4 章和第 5 章).
- Christopher Bowick, John Blyler, Cheryl Ajluni, *射频电路设计*, 第二版, Newnes, 2007 (第四章).
- Smith v3.10, Bern Institute

有用的免费在线软件

- Transmission line calculator: Grounded CPW (air gap = 12 mil, $\epsilon_r = 4.3$ for FR4):
www1.sphere.ne.jp/i-lab/ilab/tool/cpw_g_e.htm
- Smith Chart-based matching: L or Pi matching:
<http://cgi.www.telestrian.co.uk/cgi-bin/www.telestrian.co.uk/smiths.pl>
- Smith Chart Bern Institute
<http://www.fritz.dellsperger.net/>

芯片天线布局

- <http://www.johansontechnology.com/datasheets/antennas/2450AT42B100.pdf>

文档修订记录

文档名称: AN91445 – 天线设计和射频布局指南

文档编号: 001-96160

版本	ECN	变更者	提交日期	变更描述
**	4641528	LIP	01/30/2015	本文档版本号为 Rev**, 译自英文版 001-91445 Rev*A。
*A	6271796	XITO	08/03/2018	本文档版本号为 Rev. *A, 翻译自 001-91445 Rev. *G

销售、解决方案以及法律信息

全球销售和设计支持

赛普拉斯公司具有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想查找离您最近的办事处，请访问赛普拉斯所在地。

产品

Arm® Cortex® 微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmic
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC®解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

Arm and Cortex are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

© 赛普拉斯半导体公司，2014-2018 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC (“赛普拉斯”) 的财产。本文件，包括其包含或引用的任何软件或固件 (“软件”)，根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可 (无再许可权) (1) 在赛普拉斯特软件著作权项下的下列许可权 (一) 对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和 (二) 仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供 (无论直接提供或通过经销商和分销商间接提供)，和 (2) 在被软件 (由赛普拉斯公司提供，且未经修改) 侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。(如果发现此类问题，赛普拉斯会提供勘误表) 赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用者应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统 (包括急救设备和手术植入物)、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途 (“非预期用途”)。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。